

基于 FPGA 的组合鉴频鉴相设计与验证

陈 思¹, 陈红飞², 张荣良¹

(1. 上海机电工程研究所, 上海 201109; 2. 上海卫星工程研究所, 上海 201109)

摘要: 为实现锁相解调设备鉴相数字化, 研究了计数鉴频器、门电路锁相器、RS 触发计数鉴相器, 采用周期计数测频、异或门鉴相、RS 触发计数鉴相相结合的方法实现鉴相数字化, 提出了锁相解调器总体设计方案, 开展锁相解调设备数字信号处理硬件设计, 完成了异或门鉴相、RS 触发计数和数字融合鉴相设计的试验验证; 结果表明, 数字鉴频鉴相融合设计方法便于融入数字信号处理设计, 节省了鉴相器的硬件成本, 并增加了数字鉴频功能, 提升了产品的截获性能。

关键词: 锁相解调设备; 鉴频鉴相; 数字化设计; 鉴相器; RS 触发计数鉴相器

Design and Verification of Combined Frequency and Phase Discrimination Based on FPGA

CHEN Si¹, CHEN Hongfei², ZHANG Rongliang¹

(1. Shanghai Electro-Mechanical Engineering Institute, Shanghai 201109, China;

2. Shanghai Satellite Engineering Institute, Shanghai 201109, China)

Abstract: To achieve phase locked demodulation equipment by using Digital, this article investigates Gate circuit phase-locked device and RS trigger counting phase-locked device. Combined methods is proposed of cycle counting frequency measurement, XOR gate phase detection and RS trigger counting phase-locked detection. Composition principles block diagram of phase locked demodulation equipment is elaborated on detail. Digital signal processing hardware of phase locked demodulation equipment is designed on detail and verified by experiments. The results indicate that the combined methods is easy to integrate design of digital signal processing design. Hardware costs for phase discriminators are saved, digital frequency discrimination function is increased, and produce interception performance is improved.

Keywords: phase locked demodulation equipment; frequency and phase discrimination; digital design; phase discriminator; RS trigger counting phase-locked device

0 引言

解调设备用于从接收带调制的微波载频中恢复原调制信息的设备, 通常采用锁频、锁相接收机锁定载波频率后, 再对调制信号进行解调^[1]。锁相接收机因锁定后, 仅存在相位差, 不存在频率差, 而被广泛应用于军用雷达、通信、电子侦察和干扰等领域^[2]。鉴相器也被称为相位比较器, 是对其两个输入正弦信号的相位进行比较, 形成与两个信号相位误差实时变化的误差电压或电流信号。鉴相器用于监测两个输入的相位关系, 是锁相解调设备的关键部件之一^[3]。现有设计为了实现高灵敏度解调, 确保产品解调信息稳定、可靠, 通常采用独立鉴相器完成相位检测功能, 需要进行额外的硬件设计

布局布线。

锁相解调设备可以采用模拟鉴相、数字鉴相两种。传统的锁相解调器的设计采用模拟鉴相设计, 在解调设备的研制、调试和生产中, 时常出现因锁相解调器的链路时延引发解调设备的解码稳定性问题^[4]。首先, 模拟锁相实现的解调时延受设计使用电路的电阻、电容的容差影响而变化; 其次, 在温度变化时, 模拟锁相电路的延迟时间也会出现变化, 并随着器件老化, 出现延迟时间等性能的偏移。这些不可控、不确定的因素使模拟锁相解调设备的调试过程变得复杂。在实际生产过程中, 通常设计一系列的复杂调试和筛选过程, 以确保模拟锁相解调器的时延等性能指标, 以确保锁相解调设备的产品质量。通过该方法生产的产品, 延迟时间等技术性能

收稿日期: 2025-03-26; 修回日期: 2025-06-04。

作者简介: 陈 思(1987-), 男, 硕士, 高级工程师。

通讯作者: 张荣良(1989-), 男, 硕士, 工程师。

引用格式: 陈 思, 陈红飞, 张荣良. 基于 FPGA 的组合鉴频鉴相设计与验证[J]. 计算机测量与控制, 2025, 33(6): 298-304.

指标将出现一定的离散性,产品性能偏移程度将与生产人员的能力、责任心和调试偏好相关。

通过采用数字鉴相器可以解决这一问题,但数字鉴相器又带来了新的问题。选择异或门的鉴相器要求输入尽可能为方波,即希望波形兼顾上升沿陡、波形对称等要求;而选择RS触发器、D触发器、JK触发器等器件又被相位抖动的问题所困扰;选择希尔伯特鉴相器、现代信号处理等鉴相器,存在计算延迟而产生的相位阶跃变化,任何高速实时计算,只能降低阶跃相位的数字,而不能彻底消除相位阶跃噪声后反馈给锁相环路。

为彻底解决这些问题,设计上对锁相解调设备的鉴相器进行多种数字鉴频鉴相融合设计,从根本上解决生产中的个性差异问题,同时避免模拟、单一数字单体制鉴相器的锁相环引起的缺陷。

基于数字鉴频鉴相融合的设计思想,应用现代数字信号处理技术和可编程逻辑芯片技术,对鉴相器进行数字化,提出采用基于FPGA的数字鉴频鉴相融合设计方法,同时实现了产品的数字化,满足现代电子设备小型化的设计需求。该方法中,数字融合鉴相器能够很好地融入数字信号处理硬件,避免使用额外的鉴相器芯片、异或门鉴相所固有的对输入波形有对称性要求的缺陷^[5],在FPGA内实现了鉴频鉴相融合功能,解决了数字化带来的相位抖动引起的相位噪声恶化,提升了锁相环路检测、快速捕获和锁定载波信号的性能。

1 锁相解调设备原理

锁相解调器设备采用长环锁相体制的超外差接收机^[6],由混频、放大、鉴相、环路滤波、射频VCO本振、信息解析组成,最终形成解调信息输出,原理如图1所示。

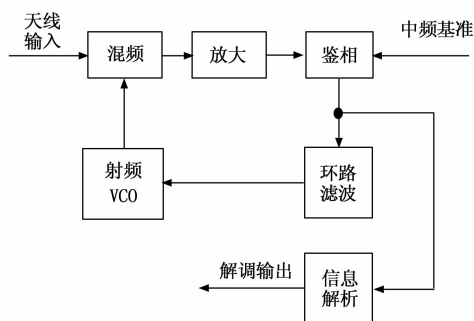


图1 锁相解调设备原理框图

图中,混频单元选用超外差器件将射频VCO单元输出的射频基准信号与解调器天线接收的微波信号进行相乘并滤除射频信号,送出携带有待解调信息的中频信号。射频VCO单元实现射频压控振荡器的功能,加电后直接产生覆盖解调器工作频段的射频基准信号,并根据环路滤波模块输出的电压信号实时调整。放大单元完

成待解调中频信号进行滤波和放大,滤除混频中产生的射频等其他无用信号,并通过限幅放大或者可控增益放大,使解调器输入最小信号和最大信号的大动态范围下,放大单元送出满足鉴相单元工作的信号大小。鉴相单元根据对中频基准信号和放大模块输出的信号进行实时相位监测,送出包含相位差信息的复杂信号,不同的鉴相器输出的信号存在较大差异,如稳定锁定后模拟乘法器鉴相器输出双倍频信号、相位差信号、待解调信号以及器件非线性产生的其他信号,该信号通常幅度较小。环路滤波单元对鉴相单元的信号进行放大、滤波,滤除输入信号中的双倍频信号、待解调信号、非线性噪声等信号,对于异或门鉴相器,还要滤除方波中所携带的各次谐波信号,形成纯净的相位差信号,并采用低频放大器,将相位差信息放大到射频VCO单元需要的控制信号幅度。信息解析单元对鉴相单元输出的信号进行滤波、放大、和信息解调,滤除双倍频信号、环路误差信号、非线性噪声等信号,并对待解调信息进行放大和信息解析,通常采用模拟滤波、AD采样后进行数字解调。

锁相解调设备总体以长环锁相为基础,在锁定后,进行信息解析,再送出解调信息^[7]。锁相解调设备接收天线输入的信号,通过混频、放大后与中频基准进行鉴相,鉴相输出经过环路滤波、射频VCO送回给混频器,形成锁相接收机的环路闭环。其中,鉴相器输出分出一路信息解调支路,经过数字信号处理完成信息的解析,最终形成解调输出。

从锁相解调设备工作过程可以看出,采用乘法鉴相器、鉴频鉴相器,将仍然需要采用数字信号处理进行信号的采样、检测、处理,最终形成解调输出,需要更多的硬件资源。本文在锁相解调设备原理设计的基础上,为减小产品的体积,降低成本,进行数字化设计改进,采用边缘触发鉴相器、异或门鉴相器和简单的计数测频相融合的方法进行环路鉴频鉴相融合功能设计,鉴相器与信息解调在FPGA内无缝连接,自动切换鉴相状态。

2 数字鉴频鉴相设计

大部分鉴相器均具备一定的鉴频功能,为了提升鉴相器的效率,芯片设计和研发通常将鉴频器和鉴相器集成在一起,形成鉴频鉴相器,并随着数字芯片技术发展,数字鉴频鉴相使用越来越广泛。

广义上的鉴相器大致可分为模拟乘法器、数字比较器和模拟鉴频鉴相器,数字比较器又可以分为边沿触发式和电平比较式^[8]。模拟乘法器和模拟鉴频鉴相器通常采用专用芯片实现,数字比较器则较为灵活,可以在FPGA中实现,有两种数字鉴相器方式较为容易实现^[9]。

第一种数字鉴相器是锁相环路设计中最常见的一种数字鉴相器:门电路构成数字鉴相器(如异或门鉴相

器)。这类鉴相器由门电路直接组成,其工作模式是以正弦信号整形成 TTL 脉冲作为输入,按照门电路构成的模拟电路进行工作,它们与射频压控振荡器、环路低通滤波器形成的锁相环,其本质上是带有数字器件环节的模拟锁相环。

第二种数字鉴相器,是全数字锁相环的重要组成部分,这类锁相环通过 AD 采样、数字取样、鉴相算法、计数鉴相等方法,对鉴相器的两个输入的数字信号进行相位差的检测和处理。典型的数字鉴相器包括计数鉴相器、JK 触发器、RS 触发器、抽样鉴相器、希尔伯特鉴相器、超前滞后取样鉴相器和过零取样鉴相等^[10]。

第一种数字鉴相器仅采用异或门等门电路实现,可以集成在数字信号处理的硬件电路中,无法发挥现代数字信号处理技术的性能优势。第二种数字鉴相器,以 RS 触发鉴相、脉冲计数鉴相和希尔伯特变换处理等鉴相器为典型代表,下面分别介绍这几类鉴相原理进行分析,并讨论具体实现。

2.1 计数鉴频器

数字鉴频通常采用最简洁的计数测频,对中频放大输入、中频基准进行频率检测,为避免噪声干扰、竞争冒险出现的多余脉冲触发,可以连续测试几个周期(如 5 个)的频率,其频率测试结果相互之间小于一定的值(如 10 kHz),即认为此时测量的频率基本可信,可用于频率差的检测^[11]。如图 2 所示,采用高速采样时钟对待测的输入信号 T_0 进行测试,当一个周期中存在 N 个周期的采样时钟 T_s 时,并且持续 5 个周期保持基本一致时,待测信号周期在 NT_s 和 $(N+1)T_s$ 之间,测频精度约为 F_s/N 。如中频频率 $f_{jx} = 2\text{ MHz}$ 、 $F_s = 320\text{ MHz}$,那么测频精度约为: $320/160$,即 2 MHz 。

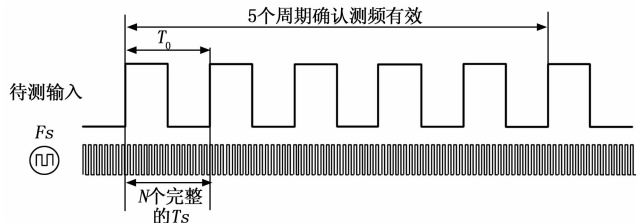


图 2 计数鉴频示意图

从上述分析可知,该方法测频精度较差,如需进一步提高精度,需要进行积累。如积累 5 个周期,计算采样时钟的数量,测频精度将提高 5 倍,再增加积累,可以进一步提高测频精度。在实际使用时,可以根据使用需求,进行权衡。该方法测频时间短,占用资源少,但在输入信号存在噪声毛刺时,将出现计数偏差,从而出现较大的测频误差。

2.2 门电路鉴相器

最为常用的门电路鉴相器为异或门鉴相器,其逻辑真值如表 1 所示,异或时域如图 3 所示。

表 1 异或门真值表

输入		输出
引脚 A	引脚 B	引脚 F
0	0	0
0	1	1
1	0	1
1	1	0

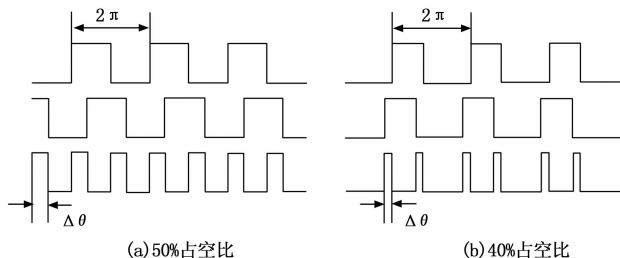


图 3 异或门工作示意图

异或门的性能与输入端的对称性相关,即输入最优波形为 50% 占空比的方波。如图 3 (a),如果输入端 A 和 B 分别送入占空比为 50% 的信号波形,则当两者存在相位差 θ 时,输出端 F 的波形的占空比与 θ 有关。将 F 输出波形通过积分器平滑,则积分器输出波形的平均值,它同样与 θ 有关,这样,我们就可以利用异或门来进行相位到电压的转换,构成相位检出电路。于是经积分器积分后的平均值(直流分量)为:

$$U = V_d * \Delta\theta / \pi$$

不同的 $\Delta\theta$ 有不同的直流分量 V_d ,两者呈简单线形关系: $U_d = K_d * \Delta\theta$, K_d 为鉴相灵敏度。

如图 3 (b),如果输入端 A 和 B 分别送入占空比为 40% 的信号波形,则当两者存在相位差时,输出端波形的占空比明显小于占空比为 50% 的波形,且将图 3 (a) 中的一个波形分成了两个小的脉冲,对于单个脉冲不再是周期脉冲,这些都为锁相环路的锁定增加了额外的扰动。

占空比 40% 的信号波形在鉴相曲线上,也存在缺陷。按照“相异为一”的逻辑,两个占空比为 40% 的信号将至少有 20% 的时间无法形成“1”;而两个占空比为 50% 的信号完全错开 180° 时,所有的时间均能形成“1”。占空比 40% 的信号波形的鉴相曲线短了 20%,使锁相环路的捕捉和跟踪范围缩短 20%。

因而,异或门鉴相器要求输入信号为 50% 的方波,才能使鉴相曲线的特性处于最优状态,同时扰动最小;但异或门鉴相器直接进行直流工作点调整、滤波、放大后,可直接与环路滤波单元连接,保持了模拟电路特性,避免了数字电路采样量化所带来的噪声和抖动。

2.3 RS 触发器计数鉴相器

如图 4 所示,该鉴相器使用一个高速的时钟,对相位误差进行计数,它的准确程度直接取决于 F_s 与中频

放大输入频率。这种方法中, 高速时钟可以由 FPGA 的时钟经过内部锁相环模块倍频后产生。高频时钟在 FPGA 内部, 不会对外产生辐射干扰同时也降低了对电路板 PCB 布局布线方面的设计要求。

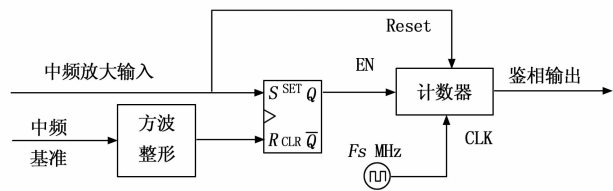


图 4 RS 触发型计数鉴相器的工作原理框图

从图 4 可以看出, 中频放大输入和中频基准信号在形成方波后, 送给边沿触发型 RS 触发器的置位或复位。在触发器 Q 输出端的信号为逻辑“1”的持续时间内, 是与相位误差 θ_e 成正比。Q 端的信号作用到计数器的使能端, 作为使高频时钟信号进入计数器的计数脉冲, 在 Q 端跳变为 0 时, 停止计数, 并在中放限幅输出的每一个上升沿使计数器复位。高频时钟的频率通常是 $2^M f_{jx}$, M 是正整数, 该鉴相器最小相位误差为 $2\pi/2^M$ 。计数鉴相器的输出是一个 N 位的计数输出, 保证 $2^N > 2^M$ 即可。

从上述原理分析可以看出, 这种鉴相器的最小鉴相误差取决于高频时钟和中频频率的比值, 即鉴相器的量化误差。因而, 中频频率越低, 量化误差越小, 环路受数字化的影响越小。该鉴相方式通常采取较低的中频频率, 如中频频率 $f_{jx} = 2$ MHz、 $F_s = 160$ MHz, 那么最小鉴相步进为: 4.5° , 在环路锁定的时候, 相位偏差将远大于步进 4.5° , 并存在起伏, 大多数的应用场合很难承受这么大的锁定后持续起伏的相位偏差。

因而, RS 触发计数鉴相通过对 Reset 电平进行计数的鉴相输出, 实现锁频环路的闭环, 该方法的优点在于可以在每一个中频基准信号和中频放大单元信号周期的时间内, 粗略的测量出两个信号相位差, 实现锁相环路的快速闭环。该方法可以轻松与计数鉴频器融合设计, 实现对目标载波信号跳跃式的跟踪, 避免了通过环路负反馈跟踪所耗费的大量时间, 大大缩短锁相环路的捕捉时间和进入环路假锁的可能性。

2.4 希尔伯特鉴频鉴相器

比 RS 触发器更进一步采用信号处理进行鉴频鉴相设计, 这种方案可以将整个鉴相过程与解调设备数字信号处理机融入一个硬件中实现, 从而实现硬件资源的共享公用。希尔伯特鉴频鉴相器实现的原理如图 5 所示^[12]。

中频放大输入信号经过带通滤波器滤除限幅所产生的谐波成分, 形成标准的正弦信号: $v_1 = \cos(\omega_{jx} t + \theta_e)$, θ_e 为待求的相位误差。这个信号经过 A/D 采样后

送给数字信号处理模块。回波多普勒信号经过 A/D 采样后, 进行正交, 形成两个信号, 即: 同相信号 $I = \cos\omega_{jx} t$, 正交信号 $Q = \sin\omega_{jx} t$ 。 v_1 、 I 、 Q 三个信号同时送给数字信号处理模块, 在数字信号处理机中完成 90° 移相和相位误差的解算, 送出相位误差的数字量^[13]。

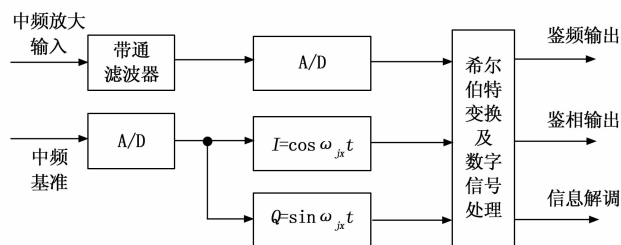


图 5 希尔伯特鉴频鉴相器实现框图

在分别对两个输入信号进行采样后, 运用数字信号处理算法计算相位误差信号的算法很多, 包括取样鉴相器、数字平均鉴相器等方法基本相似。采用这类算法, 需要采用高速数字信号处理技术, 采用 DSP 依靠时钟周期进行计算的方式将导致系统延迟时间非常长的时间才能实现相位锁定, 甚至无法锁定。采用 FPGA 来完成这些数字信号处理, 也存在较长的时间, 因此, 该方法常用来对锁定时间要求不高的场合, 或仅用于鉴频器使用, 配合 RS 触发器一起使用。

希尔伯特鉴频鉴相器可以更多地采用现代信号处理技术, 实现对目标信号低、中、高等各种精度的检测, 适用于实时性要求不同的各种场合。在对计算速度要求非常高时, 可以采用计数的方法, 替代希尔伯特鉴频鉴相器, 以较少的资源实现快速、低精度的鉴频鉴相功能^[14]。

2.5 数字鉴频鉴相融合设计

通过上述分析, 可以看出采用门电路作为鉴相器, 保留了模拟电路特性, 有较好的连续性, RS 触发型计数鉴相器引入最小数字鉴相精度, 后续处理有较多的数字算法供选择, 更方便进行信息解调的数字化。这两种鉴相方法进行数字融合, 就可以他们的优势互补, 是锁相环路能够既保持模拟环路特性, 又能够更好地融入信息的数字解调, 同时还可以实现数字鉴频, 为进一步加快鉴频鉴相速度, 又不增加太大的资源, 采用计数器的鉴频方式解决频差较大时的快速锁定问题, 如图 6 所示。

图中, 数字鉴频鉴相融合设计包括: 计数鉴频器、RS 触发型鉴相器、异或门鉴相器。3 种模式在 FPGA 内部进行融合, 主要流程和切换机制见图 7, 形成鉴频输出、鉴相输出、信息解调输出^[15]。

图中表明, 锁相环路从开机开始工作在计数鉴频状态, 其检测的频差接入环路实现锁频环路控制; 直到环路的频差小于锁相环路半捕捉带带宽后, 环路启动 RS 触发器鉴相工作, 其检测的相差接入锁相环路控制; 在环路频差小于锁相环路半快捕带带宽后, 启动异或门鉴

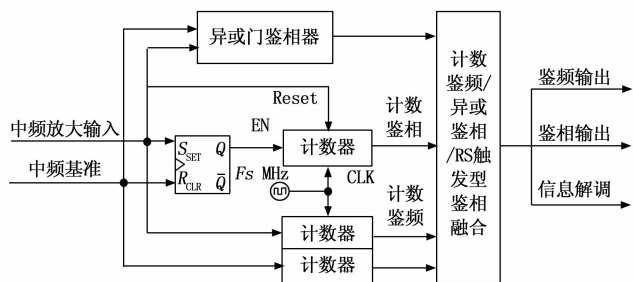


图 6 数字融合鉴相器

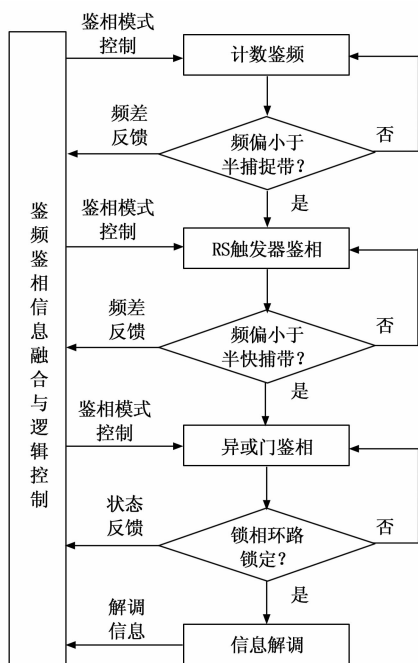


图 7 3 种模式融合工作流程

相工作,其检测的相差接入锁相环路控制,最终实现环路锁定。在全流程的工作过程中,计数鉴相、RS 触发器鉴相、异或门鉴相将频差、状态等相关信息反馈给鉴频鉴相信息融合与逻辑控制单元,实时的根据各鉴相模式反馈的数据和是否锁定的状态,在短暂性失锁、长时间失锁等状态下根据环路频差状态选择计数鉴相、RS 触发器鉴相、异或门鉴相模式中最优的一种环路接通。

上述数字鉴频鉴相融合设计解决了单个鉴频、鉴相器的缺陷。通过计数鉴频的方法直接将射频 VCO 信号调整到半捕捉带宽的频率点, 仅使用了鉴相曲线的中间段, 大大降低对输入信号对称要求, 即不需要方波, 也能满足截获锁定要求, 从而弥补了异或门鉴相器对波形对称性的缺陷; 通过计数鉴频、RS 触发计数鉴相器的先后工作, 弥补异或门鉴相器搜索能力的短板; 而在 RS 触发计数鉴相器将频率拉入锁相环半快捕带频率点后, 由异或门鉴相实现锁相环的最终锁定, 最终实现良好的相位噪声, 通过 3 种鉴相器的融合, 实现了各阶段的性能最优。

3 锁相解调器设计与试验

3.1 总体设计

按照数字化、低成本的设计思路,在天线输入混频放大后,采用限幅放大的方式,直接将模拟信号整形形成FPGA可识别的数字脉冲,采用FPGA直接进行高精度鉴相信号处理,锁相解调器设备的详细设计如图8所示^[16]。

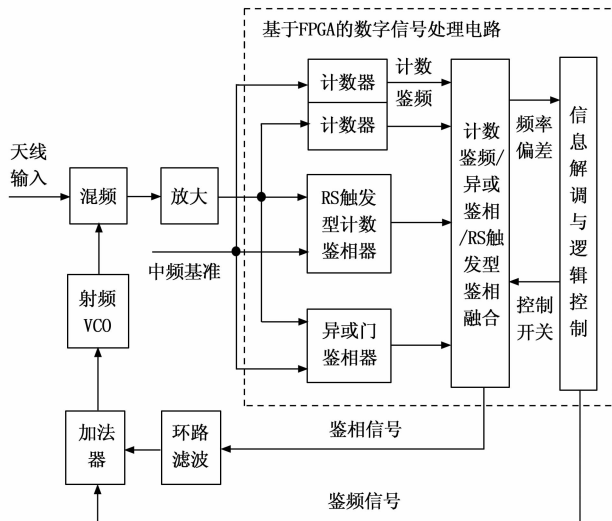


图 8 锁相解调设备原理框图

从图中可以看出，锁相解调设备在混频到中频后，必须放大至 TTL 波形，即进入数字信号处理电路。数字信号处理输出鉴相信号通过环路滤波后，与鉴频信号相加后控制射频 VCO，最终形成环路。

锁相解调设备的工作过程设计为频率粗捕、触发器鉴相、高精度相位锁定 3 个阶段。

在频率粗捕阶段,主要完成天线输入信号与频率基准信号大频差的检测和反馈,避免锁相环路进入假锁、错锁状态。该阶段通过对中频输入信号和基准信号的计数测频,完成频率分析,迅速检测出频差,通过加法器直接控制射频压控振荡器,实现将射频压控振荡器的频率大步进的向天线接收信号的方向进行控制,该方法可以避免异或门鉴相器进入假锁和错锁状态。

在触发器鉴相阶段,主要完成天线输入信号与频率基准信号的 RS 触发器鉴相,鉴相结果送给低通滤波器,控制射频压控振荡器。该阶段通过对中频输入信号和基准信号的 RS 触发器鉴相自动监测,在计数鉴频减小频差后开始鉴相,将射频压控振荡器的频率快速的控制到天线接收信号附近。由于 RS 触发器固有的量化误差,触发器鉴相使射频压控振荡器的输出相位在天线接收信号频率附近小幅度震荡。

在高精度相位锁定阶段,主要完成天线输入信号与频率基准信号的异或门鉴相,控制射频压控振荡器。该阶段在 RS 触发器鉴相基本完成后,断开 RS 触发器鉴

相, 接通异或门鉴相, 通过对中频输入信号和基准信号的模拟鉴相方式, 实现将射频压控振荡器的频率的高精度稳定锁定天线接收频率, 输出稳定的相位差。

在具体实现上, 基于 FPGA 的数字信号处理电路首先对中频放大输入、中频基准进行计数测频, 在频率偏差较大时, 送出鉴频信号直接通过加法器控制射频 VCO。在频率偏差减小后, 采用 RS 触发计数鉴频器进行数字鉴相, 并融合计数鉴频结果判断送出数字鉴相信号, 进一步缩小频差, 缩小到一定程度后, 切换到异或门鉴相的状态。该设计方案可以解决锁相环的假锁、错锁问题, 并在输入信号占空比不为 50% 时, 也能实现解调设备截获天线信号。

3.2 硬件设计

依据软件无线电的设计思路, 按照鉴频鉴相计数器、异或门鉴相器、RS 触发型计数鉴相器和相关信号处理的计算量和逻辑需求, 采用单片机、FPGA、DSP 均可以完成上述功能, 但单片机、DSP 按照时钟周期的方式处理根本无法满足接收机实时性的要求, 因此, 采用 FPGA 完成鉴相数字化硬件设计^[17]。

当前, FPGA 在速度、资源密度、功耗、可配置性等关键性能方面的发展迅猛, 采用 FPGA 实现数字鉴频鉴相融合设计的硬件方案具有较多优势^[18]。

FPGA 具有良好的在线、在系统可编程性。FPGA 内部丰富的硬件资源可以根据数字鉴频鉴相融合需要随意配置, 管脚可按需定义^[19]。FPGA 的乘法器、RAM 和 IP 资源使其功能更加强大灵活, 方便在同一硬件条件下, 鉴频鉴相计数器、异或门鉴相器、RS 触发型计数鉴相等方案的试验。

FPGA 计算速度快, 且具有硬件特性。与 DSP 的单流、串行的处理方式不同, FPGA 采用多流、并行的运算处理, 因而 FPGA 具有更强的稳定性和较高的运算速度。它避免了 DSP 系统中速度瓶颈、跑飞等不稳定问题, 可同时进行鉴频鉴相计数器、异或门鉴相器、RS 触发型计数鉴相等算法处理。

FPGA 开发便利, 具有较好的多元性。即可以采用绘制原理图的设计方法, 也可以采用硬件描述语言 (VHDL 或 VerilogHDL 等) 进行并行软件开发, 还可以采用原理图和硬件描述语言混合的方式。同时各 FPGA 厂商也推出了各种集成化的开发工具, 能对设计进行仿真校验, 提高设计的质量, 降低开发周期。如: Alter 公司的 Quartus II, 集成了丰富的 IP 资源, 功能非常强大。

基于 FPGA 的数字鉴频鉴相融合电路采用高速、高性能的 FPGA 作为处理器, 配合必要得输入逻辑转换、DA 输出硬件, 该电路硬件整体如图 9 所示^[20]。

如图 9 所示, 硬件电路板的设计以 FPGA 为中心,

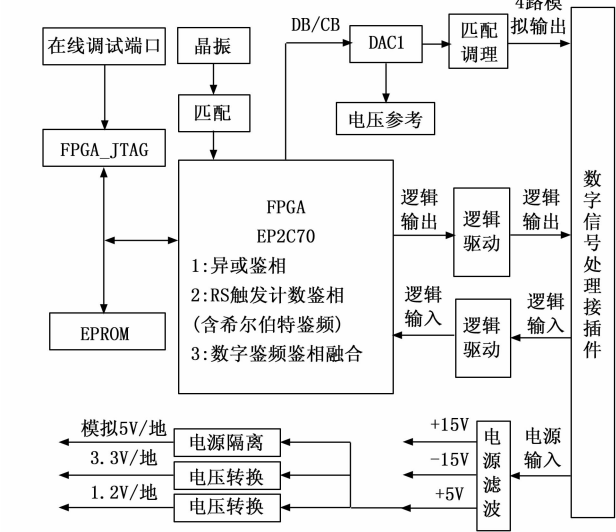


图 9 电路硬件设计框图

配置相应的晶振、EPROM 等辅助器件, 完成异或鉴相、RS 触发计数鉴相、融合鉴相、鉴相开关控制、鉴相逻辑控制等算法的实现。在电路输入输出方面, 设计了高速逻辑输入、逻辑输出和 4 路模拟输出。在电源设计上, 采用数字 5 V 和模拟 5 V 隔离的方式, 降低数字电路对模拟电路的影响。

从速率、容量、经费上考虑, 选用 Altera 公司的 Cyclone II 系列的 EP2C70 (672 引脚封装) 作为核心信号处理器。该芯片具有 68 416 个逻辑单元 (LE)、4 个内部锁相环 (PLL)、RAM 总计 1 152 000 bit, 乘法器 (18×18) 150 个, 能够满足数字算法的使用要求。

3.3 试验验证

在图 9 所示的硬件平台上, 针对异或鉴相、RS 触发计数鉴相、数字融合鉴相的 3 种状态的数字鉴相器, 假定天线接收的输入微波最大频率偏差为锁相环捕捉带的 5 倍, 按照信号捕捉能力、锁定时间和锁定后的相位噪声性能的顺序开展试验。

试验情况如表 2 所示。

表 2 验证结果汇总

序号	鉴相算法	捕捉能力	捕捉时间	相位噪声
1	异或门鉴相器	1 倍捕捉带	信号在捕捉带边缘, 与模拟环路捕捉时间理论值一致	好
			信号在捕捉带外, 不能锁定	
2	RS 触发计数鉴相器	5 倍捕捉带	信号在捕捉带边缘, 大于模拟环路捕捉时间的 1.8 倍	差
			信号在 5 倍捕捉带边缘, 约为模拟环路捕捉时间理论值的 2 倍	
3	数字融合鉴相器	5 倍捕捉带	信号在捕捉带边缘, 约为模拟环路捕捉时间理论值的 90%	好
			信号在五倍捕捉带边缘, 约为模拟环路捕捉时间理论值 1.2 倍	

试验结果表明异或门鉴相器只能捕获锁相环理论计算的捕捉带内的微波信号,输出的相位噪声也较好,如图 10 (a) 所示;该鉴相器最大的缺陷是:对于带外信号无法锁定,与锁相环的理论保持一致。RS 触发计数鉴相器能够截获和锁定五倍锁相环捕捉带宽的信号,当信号在带外需要更长的时间锁定好;该鉴相器最大的缺陷是:锁定后,相位噪声较差,由于 RS 触发器计数的间隔产生量化误差,环路锁定后,其相位一直在调整,产生较大的相位噪声,如图 10 (b) 所示。数字融合鉴相器,综合了 RS 触发计数鉴相器和异或门鉴相器的优势,同时,由于计数锁频环路的采用,大大缩短了从五倍捕捉带边缘调整到环路带宽内的时间,同时 RS 触发器也快速的将信号从环路捕捉带拉入到半环路快捕带内,从而实现了比异或门鉴相器具有更快截获锁定的能力,同时,由于数字融合鉴相器最后工作于异或门鉴相器,其相位噪声继承了异或门鉴相器的良好相位噪声性能,相位噪声如图 10 (a) 所示。

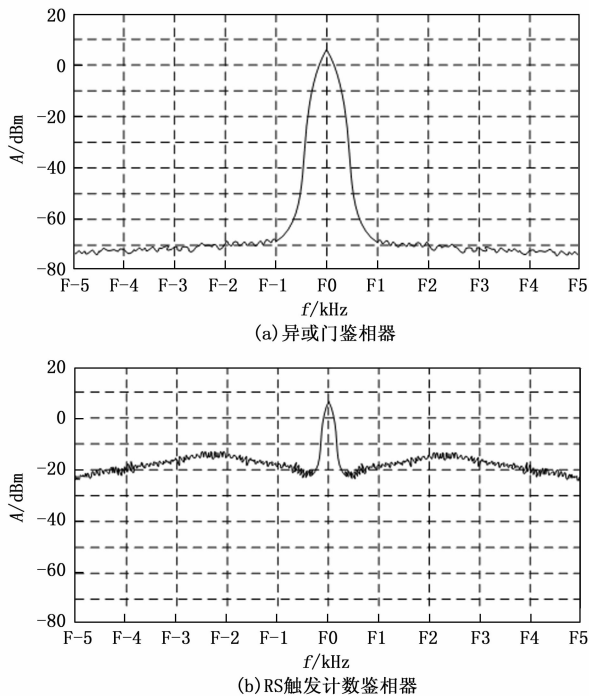


图 10 不同类型鉴相器的环路频谱输出对比

4 结束语

本文为实现锁相解调设备的数字化设计,提出采用周期计数测频、RS 触发计数鉴相,并融合异或门鉴相方法,结合成数字鉴频鉴相融合设计方法。通过软、硬件设计和验证试验表明:该鉴相算法兼顾了 RS 触发计数鉴相和异或门鉴相的优点,实现了鉴相速度快、锁定后相位噪声低的预期效果。该方法在提升鉴相性能的同时,便利了鉴相和数字解调的融合,节省了鉴相器硬

件,也避免了模拟鉴相器不可避免的受器件容差、老化、环境等因素变化对锁相解调设备解调性能所带来的影响。

参考文献:

- [1] 唐吉祥,贾德宇. 高效 QAM 信号解调设备的研制 [J]. 电子设计工程, 2014, 22 (10): 119-123.
- [2] 庞博,李艳红,田义,等. 雷达/红外复合导引及半实物仿真技术发展与展望 [J]. 空天防御, 2023, 6 (4): 17-23.
- [3] ROLAND E. Best, phase-locked loops: design, simulation, and applications (5th edition) [M]. McGraw-Hill, New York, 2003: 171-179.
- [4] 段庆光,吴有杏. 链路时延对测控设备跟踪及解调性能影响分析 [J]. 无线电工程, 2020, 50 (2): 143-147.
- [5] 张铭昊,张文旭,陆满君. 一种随机相位多频点循环叠加梳状谱干扰波形设计 [J]. 空天防御, 2023, 6 (4): 74-79.
- [6] 黄红云,李英博. 基于 PSPICE 的锁相环设计与分析 [J]. 制导与引信, 2011, 32 (3): 19-23.
- [7] 肖世伟,彭嵘. 高码率锁相 FM 解调器设计 [J]. 电讯技术, 2002, 42 (4): 9-12.
- [8] 司圣平,郭强. 高灵敏度接收机通道特性分析 [J]. 空天防御, 2023, 6 (1): 78-84.
- [9] 李银波,陈华俊. 鉴相方法的分析与比较 [J]. 电视技术, 2008, 48 (6): 78-81.
- [10] 胡宗恺,饶志宏. 高精度数字鉴相技术的 FPGA 实现 [J]. 通信技术, 2010, 43 (12): 171-179.
- [11] 韩艳峰. 直接计数法瞬时测频的误差分析 [J]. 测控技术, 2014, 33 (9): 154-156.
- [12] 李兴林,刘军良. 基于 Hilbert 变换的数字鉴相器研究 [J]. 时间频率学报, 2019, 42 (4): 310-318.
- [13] 宦澄. 基于 Hilbert 鉴相算法的全数字 BPSK 解调方法研究 [J]. 电子测试, 2010, 43 (10): 32-42.
- [14] 景亚冬,王可宁. 多普勒加速度测量的数字相关鉴相算法 [J]. 光子学报, 2019, 48 (12): 53-59.
- [15] 唐霜天,陈真. 数字锁相环频率合成器的环路分析与设计 [J]. 雷达与对抗, 1997, 33 (2): 53-59.
- [16] 贺为婷,裴广利. 一种基于 FPGA 的高精度数字鉴相器 [J]. 科学技术与工程, 2012, 30 (12): 8047-5051.
- [17] 李海滨,房建成. 基于 FPGA 的一种新型数字鉴频鉴相器的设计 [J]. 微电机, 2011, 44 (3): 84-88.
- [18] 房海松,司伟建. 基于 FPGA 的二维谱峰搜索算法硬件架构设计 [J]. 空天防御, 2020, 3 (1): 58-64.
- [19] 史毅俊,朱杰. CIC 滤波器的优化设计及 FPGA 实现 [J]. 电子测量技术, 2007, 30 (3): 88-90.
- [20] 赵赛果,王海波. 基于 FPGA 实现直波接收机辅助捕捉电路 [J]. 制导与引信, 2008, 29 (1): 44-46.