

基于 GaAs 工艺的 6~24 GHz 超宽带时延幅控双向放大多功能芯片设计

杨蕊澜¹, 邬海峰², 林倩², 胡柳林³

1. 中国电子科技集团 第 29 研究所, 成都 610036;
2. 青海民族大学 物理与电子信息工程学院, 西宁 810007;
3. 成都嘉纳海威科技有限责任公司, 成都 610000)

摘要: 针对电子对抗应用收发组件对小型化多功能芯片需求, 提出了新型双端口电路链路架构, 并基于 0.15 μm GaAs pHEMT 工艺, 设计了一款 6~24 GHz 具有时延和衰减功能的超宽带双向放大多功能芯片, 实现了发射态和接收态的双向放大及芯片多功能集成, 降低了电路结构的复杂性, 同时减小了芯片面积; 芯片内部集成了接收低噪声放大器、发射功率放大器以及两个单刀双掷开关、5 bit 数控衰减器、2 bit 数控延时器; 采用 RC 负反馈网络和 RC 并联网络对放大器性能进行优化, 采用层叠结构提升了射频开关的功率容量, 采用附加相移优化网络减小了衰减器的附加相移, 使得该芯片在工作频段内, 每个通道实现了大于 9 dB 的增益, 输入、输出回波损耗分别小于 -8 dB、-6.5 dB, 接收通道噪声系数小于 5.1 dB, 实现了 0~15.5 dB 的衰减以及 0~15 ps 延时功能, 核心芯片面积为 $4.64 \times 1.44 \text{ mm}^2$ 。

关键词: 超宽带; 双向放大; 低噪声放大; 数控衰减; 数控时延

Design of a 6~24 GHz Ultra-Wideband GaAs-Based Multifunctional Chip with Time-Delay and Amplitude-Controlled Bidirectional Amplification

YANG Ruilan¹, WU Haifeng², LIN Qian², HU Liulin³

1. The 29th Research Institute of CETC, Chengdu 610036, China;
2. School of Physics and Electronic Information Engineering, Qinghai Minzu University, Xining 810007, China;
3. Chengdu Ganide Technology Co., Ltd., Chengdu 610000, China)

Abstract: In response to the demand for miniaturized multifunctional chips in electronic warfare application transceiver components, a new dual-port circuit link architecture is proposed. Based on 0.15 μm gallium arsenide pseudomorphic high electron mobility transistor (GaAs pHEMT) process, a 6~24 GHz multifunctional chip with time delay and attenuation ultra-wideband bidirectional amplification is designed, which realizes bidirectional amplification of transmission and reception states and multifunctional integration of the chip, reducing the complexity of the circuit structure and decreasing the chip area. The chip integrates a low noise amplifier for reception, a power amplifier for transmission, two single-pole double-throw switches, a 5 bit numerical control attenuator, and a 2 bit numerical control time delay device. The RC negative feedback network and RC parallel network is used to optimize the amplifier performance, the stacked structure is used to enhance the power capacity of the RF switch, and an additional phase shift optimization network is used to reduce the additional phase shift of the attenuator. The results show that the chip achieves a gain of greater than 9.0 dB for each channel within the operating frequency band, the input and output return losses are less than -8.0 dB and -6.5 dB respectively, and the receiving channel noise factor is less than 5.1 dB, achieving an attenuation range of 0~15.5 dB and time delay range of 0~15 ps, and core chip area of $4.64 \times 1.44 \text{ mm}^2$.

Keywords: ultra-wideband; bidirectional amplifier; low noise amplification; digital attenuation; digital time delay

收稿日期: 2024-11-14; 修回日期: 2025-04-08。

作者简介: 杨蕊澜 (1999-), 女, 硕士研究生。

引用格式: 杨蕊澜, 邬海峰, 林倩, 等. 基于 GaAs 工艺的 6~24 GHz 超宽带时延幅控双向放大多功能芯片设计[J]. 计算机测量与控制, 2025, 33(5): 220-229.

0 引言

随着电子技术的发展, 电子技术广泛应用于电子战、卫星导航、信息处理与通讯等各个领域^[1]。相控阵雷达作为对电磁信号进行发射和接收的重要天线模块, 在通讯与电子战领域中起到重要作用^[2], 它由大量相同的天线收发 (T/R, transmitter and receiver) 模块组成阵面, 各个模块能独立实现对波束的控制与变形。T/R 组件对相控阵雷达的性能具有决定性作用, 目前 T/R 组件正朝着高性能、低成本、小型化方向发展。

随着集成电路技术的发展与进步, 为实现 T/R 组件的小型化和多功能化, 电路芯片在 T/R 组件中实现了大量的集成^[3], 是 T/R 组件中的核心部件之一, 其中幅相控制放大多功能芯片是常见的多功能芯片之一。最常见的链路结构为三端口链路结构, 常见三端口结构包括: 收发分离结构和公共支路结构。其中, 收发分离结构的接收与发射链路完全分离, 电路具有较好的隔离度, 但插入损耗恶化严重且芯片占用面积大; 公共支路结构通过共用移相器、衰减器 (ATT, attenuator) 功能单元, 使用多个开关单元对导通支路和方向进行切换, 具有较好的电路性能, 也是 T/R 组件中微波集成电路目前最常使用的链路结构, 但该结构也因开关器件数量过多从而具有芯片占用面积过大、电路插入损耗恶化明显等问题。

目前, 针对 T/R 多功能芯片的研究很多: 基于 Si 制作的多功能芯片应用广泛, 但由于 Si 的电子迁移率较低^[4], 不适用于高频电路。GaAs 材料的电子迁移率达到 $8\ 500\ \text{cm}^2/\text{V}\cdot\text{s}$, 是 Si 材料的 6.3 倍, 高频性能良好; GaAs 材料的禁带宽度大, 为 1.42 eV, 在制作功放器件时具有更小的静态损耗; 同时 GaAs 工艺发展成熟, 芯片综合性能相对较好, 但大多基于三端口链路结构^[5-6], 导致较大的芯片面积从而导致高成本。

使用双端口链路结构, 可减少链路中开关数量, 有效减小芯片面积^[7-8]。同时, 超宽带系统中使用移相器对信号相位进行控制时, 难以保证不同频率分量上相位响应一致, 易导致信号失真, 使用延时器 (TTD, true time delay) 代替移相器可保证所有频率分量具有一样的时间延迟^[9]。

目前, 基于 GaAs 工艺且具有时间延迟和幅度控制功能的超宽带双向放大多功能芯片研究较少, 具有很大的研究潜力。针对上述问题, 本文基于 $0.15\ \mu\text{m}$ GaAs pHEMT 工艺设计了一款工作于 6~24 GHz 的具有延时和衰减功能的双向放大多功能芯片, 使用新型链路双向放大结构, 将开关与低噪声放大器 (LNA, low noise amplifier)、功率放大器 (PA, power amplifier) 相匹配融合, 实现双端口链路和双向放大操作, 减少了电路中

开关 (SPDT, single pole double throw) 个数, 简化了电路结构, 并在链路中集成 TTD、ATT 等电路模块, 电路具有双向收放放大、时间延迟和幅度衰减功能。

1 双向放大器多功能芯片的整体分析

本文设计的宽带双向放大器主要构成功能单元包括: LNA、PA、2 个 SPDT、5 位数控 ATT 以及 2 位数控 TTD。超宽带双向放大器整体需要满足系统对超宽带、高增益、高线性度的要求, 这也对每个功能单元提出了高性能要求: SPDT 需要具有低的插入损耗和高隔离度; LNA 和 PA 需要具有高增益和高线性度; 数控衰减器和延时器需要具有高精度和高端口匹配性。

图 1 为本文提出的创新架构图, 该电路有两个端口, 当 SPDT 与 PA 连接导通时, 处于发射态, 射频信号依次经过 SPDT、PA、SPDT、5 bit ATT 和 2 bit TTD; 当 SPDT、LNA 连接道路导通时, 处于接收态, 信号依次经过 2 bit TTD、5 bit ATT、SPDT、LNA 和 SDPT。其中, 两个 SPDT、接收 LNA 和发射 PA 构成双向放大器。

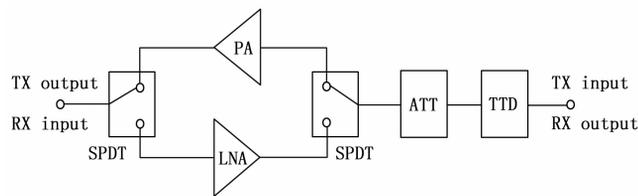


图 1 多功能芯片整体链路结构示意图

2 电路分析与设计

2.1 射频开关功率容量以及层叠结构

功率容量是射频开关的一项重要指标, 它决定了晶体管所能承受的最大功率, 当超出晶体管承受范围时, 晶体管会被击穿, 从而影响开关正常工作。图 2 为晶体管层叠结构示意图, 通过使用层叠结构, 将开关中并联部分的多个晶体管串联堆叠^[10], 可以使得交流大信号的摆幅均匀分布在各层叠晶体管上, 降低了单个晶体管承受的电压从而提高了开关的整体耐压能力, 此时所能传递的最大功率表示为:

$$P_{\text{MAX}} = \frac{N^2 (V_B - V_P)^2}{2Z_0} \quad (\text{dBm}) \quad (1)$$

其中: N 表示堆叠晶体管数量, V_B 、 V_P 分别表示晶体管的雪崩电压、夹断电压、 Z_0 为特征阻抗 $50\ \Omega$ 。晶体管最大功率容量与层叠晶体管个数的平方成正比, 层叠个数越多, 电路承压能力越强, 但实际情况中层叠结构会导致支路的阻抗增加, 从而恶化插入损耗, 因此层叠数量存在一个最佳值。该开关并联管的击穿电压 BV_{ds} 为 10 V, 当开关设计指标要求至少能承载 30 dBm 的峰值功率容量时, 晶体管需承受的电压摆幅为:

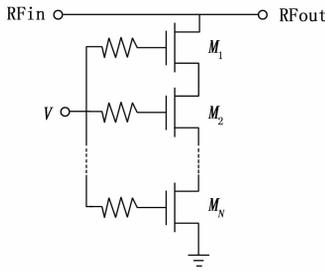


图 2 射频开关层叠结构示意图

$$P_{\text{signal}} = 10^{30/10} \times 0.001 = 1(\text{W}) \quad (2)$$

$$V_{\text{peak}} = \sqrt{2 \times P_{\text{signal}} \times Z_0} = 10(\text{V}) \quad (3)$$

由于工作过程中阻抗失配会产生一定的电压摆幅^[11], 考虑输出端失配比为 $VSWR = 4:1$, 晶体管堆叠数目为:

$$V_{\text{peak|mismatch}} = V_{\text{peak}} \left(1 + \frac{VSWR - 1}{VSWR + 1}\right) = 16(\text{V}) \quad (4)$$

$$N = \frac{V_{\text{peak|mismatch}}}{BV_{\text{ds}}} = 1.6 \quad (5)$$

从计算结果可得, 为满足最大功率容量、插入损耗要求, 开关采用 2 个晶体管进行堆叠。

2.2 放大电路基本结构和结构优化

如图 3 所示, 晶体管 M_1 、 M_2 串联构成 Cascode 结构, 输出阻抗、电压增益表达式为:

$$R_{\text{out}} = (1 + g_{m1} r_{o1}) r_{o2} + r_{o1} \approx g_{m1} r_{o1} r_{o2} \quad (9)$$

$$A = -G_m R_{\text{out}} \approx -g_{m1} g_{m2} r_{o1} r_{o2} \quad (10)$$

其中: g_{m1} 、 g_{m2} 和 r_{o1} 、 r_{o2} 分别为晶体管 M_1 、 M_2 的跨导与本征阻抗, 可见在同等条件下该电路结构具有更高输出阻抗, 可提高电路稳定性、拓展带宽、实现高增益。电路中共源级主要用于提供增益, 共栅极保证电路具有高输出电阻并进一步提高增益, 相较共源级、共栅级结构, Cascode 结构结合了二者的优点, 具有高增益、高阻抗、低噪声系数且适用于超宽带的的应用, 常用于 LNA 的设计, 通过对静态偏置点进行选取, 该结构也可适用于 PA 的电路设计。

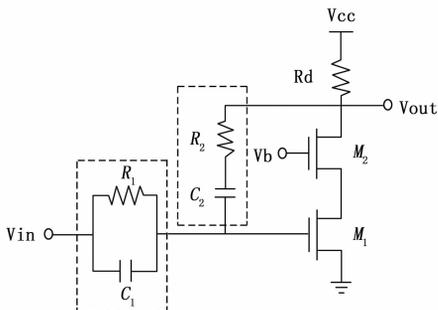


图 3 放大器基本结构及优化措施

放大电路首先需保证全频带内绝对稳定, 电路输入端串联电阻可以提高输入阻抗从而提高电路稳定性^[12], 还可防止电路产生高频振荡, 但单个电阻的串联易恶化

高频增益, 在电阻上并联电容形成 RC 并联网络可以对射频信号进行耦合从而补偿高频增益的下降。如图 3 所示, 输入端 R_1 与 C_1 并联形成并联网络以改善电路稳定性^[13], 其中电阻阻值通常较小, 通过对电容、电阻值进行调整优化可最终保证放大电路在全频带内保证无条件稳定。

对于电路增益平坦度, 如图 3 所示, Cascode 结构的共栅晶体管的漏极和共源级晶体管的栅极之间 R_2 和 C_2 串联构成栅漏 RC 负反馈网络, 电路增益、输入输出阻抗可表示为:

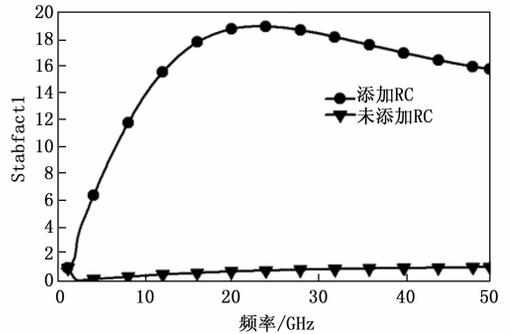
$$Z_m = \frac{R_f + R_L}{1 + g_m R_L} \quad (6)$$

$$Z_{\text{out}} = \frac{R_f + R_s}{1 + g_m R_s} \quad (7)$$

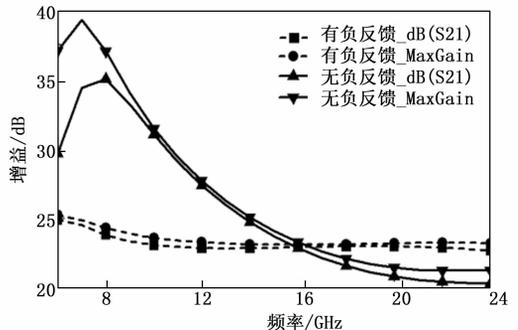
$$A_v = \frac{R_L(1 - g_m R_f)}{R_f + R_L} \quad (8)$$

其中, 电路的增益受到负反馈电阻 R_f 、晶体管跨导 g_m 以及负载电阻 R_L 的影响, 当晶体管尺寸确定时, R_f 的增大会导致电路增益下降和输入输出阻抗的增大, 它通过牺牲部分增益换取了电路稳定性的提升和增益平坦度的改善^[14]。

通过 RC 稳定网络、RC 负反馈网络优化电路性能, 并保持电路其他性能几乎保持不变, 最终确定电阻 R_1 为 29Ω , R_2 为 250Ω , 电路稳定性和增益平坦度优化情况分别如图 4 (a)、(b) 所示, 可以看出在增益下限、噪声系数和输出功率波动不大情况下, 电路的稳定性和增益平坦度得到了大幅优化。



(a) 添加RC并联网络稳定性对比



(b) 添加RC负反馈前后增益平坦度对比

图 4 放大器添加 RC 并联稳定网络对比

2.3 整体电路设计

双向放大器内集成两个 SPDT、接收 LNA 以及发射 PA, 如图 5 所示, 左右两侧分别为对称的射频开关。接收态输入端是发射态输出端, 接收态输出端也为发射态输入端。射频开关为三端口器件, 分别连接了 PA、LNA 和公共支路端口。

射频开关采用串并联结构, 结合了串联结构与并联结构的优点, 具有低插入损耗以及可观的隔离度, 为提升开关功率容量对并联晶体管采用两层层叠结构。

开关晶体管使用耗尽型晶体管, 控制电压为 $-5/0\text{ V}$ 分别控制晶体管关断/导通的切换。晶体管导通时存在导通电阻, 会对电路插入损耗造成影响, 晶体管导通电阻与晶体管宽长比有关, 为保证电路导通时插入损耗较小, 串联晶体管尺寸应较大, 但尺寸过大会占用过多芯片面积, 串联晶体管选用尺寸为 $4 \times 50\ \mu\text{m}$, 并联晶体管选用尺寸为 $2 \times 40\ \mu\text{m}$ 。射频开关端口串联电感用于端口阻抗匹配, 同时与并联支路的寄生电容产生谐振从而减小信号泄露以提升开关性能。

接收 LNA 与发射 PA 均采用两级 Cascode 结构, 电路中晶体管的栅极偏置都采用固定直流偏置, 串联了 $15\ \text{k}\Omega$ 偏置电阻、偏置电感以及耦合电容, 串联大电阻对电路电流大小和变化起到限制作用, 减小了功率损耗, 同时提高电路稳定性和抗干扰能力; 电感放置于靠近有源器件端, 它对射频信号呈高阻抗, 防止信号泄漏到偏置网络中, 起到隔离作用, 同时可调整输入阻抗; 耦合电容避免了射频信号流入偏置电源中。该偏置相较于其他偏置结构具有电路简单的特点, 有利于芯片面积的节

省, 对于 PA 还可保证电路固定工作在同一状态下。

对于 LNA, 第一级电路需实现低噪声系数, 第二级电路实现高增益。偏置电压和晶体管的尺寸对于放大器的工作性能具有决定性作用, 在 $5\ \text{V}$ 电源电压下对晶体管进行直流扫描, 得到电路最大增益和最小噪声系数分别随不同偏置电压和晶体管尺寸变化的曲线, 最终结合性能指标确定偏置点和晶体管尺寸。对于 LNA, 最终确定第一级电路晶体管尺寸为 $4 \times 35\ \mu\text{m}$, 偏压分别为 $0.6\ \text{V}$ 和 $3.4\ \text{V}$; 第二级电路晶体管尺寸为 $4 \times 45\ \mu\text{m}$, 偏压分别为 $0.8\ \text{V}$ 和 $3.2\ \text{V}$ 。

电路采用 RC 负反馈网络以及输入端 RC 并联稳定网络对电路的稳定性和增益平坦度起到改善作用。LNA 的输出匹配以及级间匹配采用共轭匹配, 级间与输出匹配都串联电容起到隔直作用。对于输入端匹配, 为实现低噪声系数, 采用 Sopt 匹配^[15], 通过 Smith 圆图可到等噪声圆和等增益圆, 折中选取合适阻抗值进行阻抗匹配。性能曲线如图 6 所示, 在工作频段内, LNA 具有大于 $24.5\ \text{dB}$ 的增益, 小于 $-9\ \text{dB}$ 的输入输出回波损耗, 电路噪声系数小于 $2.4\ \text{dB}$ 。

对于 PA, 第一级电路重点关注高增益, 第二级电路重点关注输出功率和功率附加效率 (PAE, power added efficiency)。PA 的工作类型与静态工作点的选取有关, 过高或者过低都易导致增益下降, 且静态工作点设置过高会产生较大电流导致晶体管功耗增加, 从而降低工作效率; 静态工作点设置过低一定程度上会增加电路的工作效率但容易出现失真情况。为保证电路具有高线性度且避免交越失真的产生, 对于第二级电路, 晶体管偏置

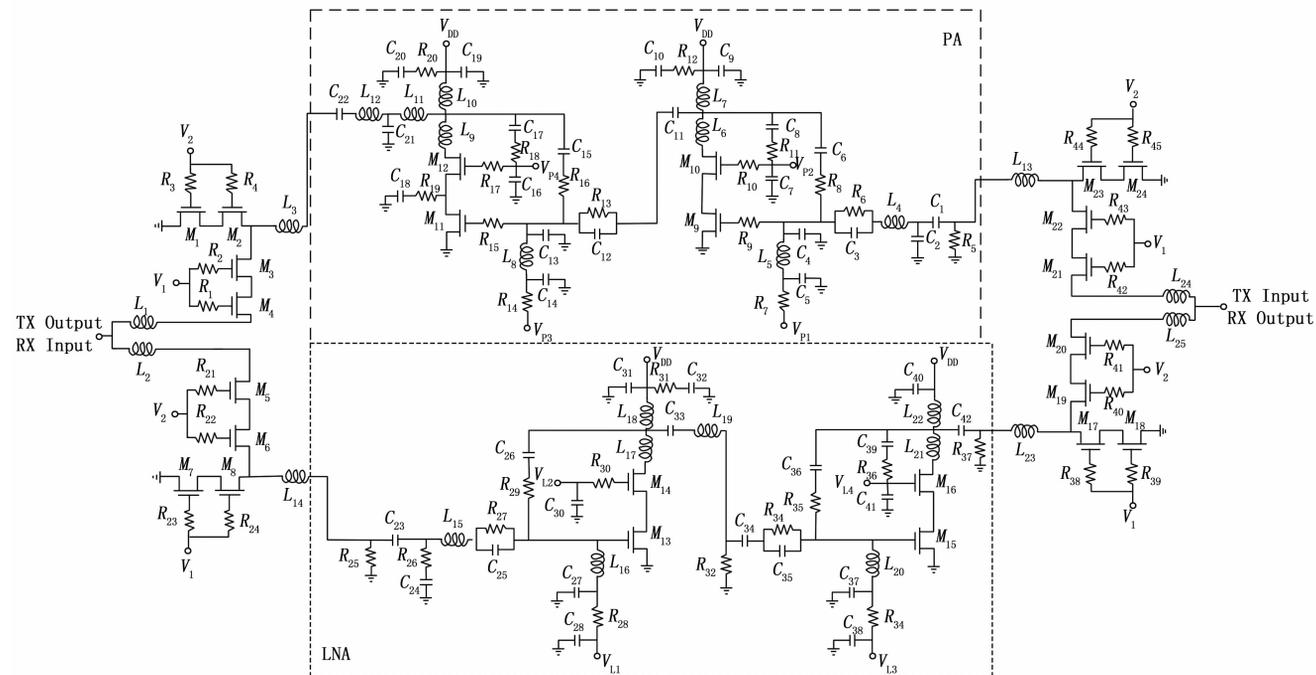


图 5 双向放大器原理图

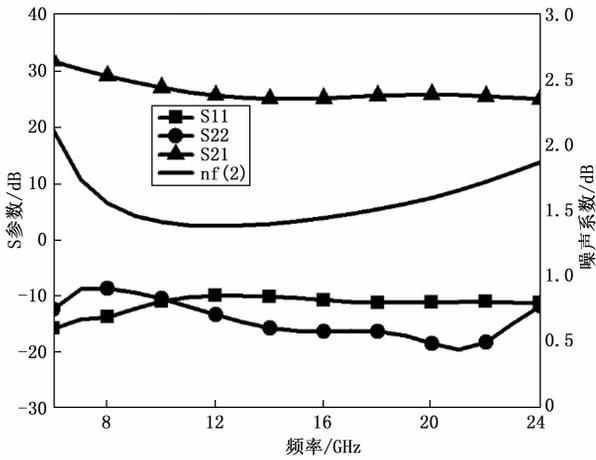


图 6 LNA 性能曲线

确定为 0.6 V 和 3.3 V，电源电压为 5 V，晶体管尺寸为 $6 \times 60 \mu\text{m}$ ，保证电路工作类型始终为 A 类放大器。第一级晶体管尺寸为 $4 \times 50 \mu\text{m}$ ，偏压分别为 0.6 V 和 3.1 V。

电路采用 RC 负反馈网络以及 RC 并联稳定网络优化电路的增益平坦度和稳定性。为保证功率指标，功放的设计应从最后一级往前设计。对于最后一级的输出匹配，为满足电路对输出功率和功放效率的要求，使用 ADS 中的 Loadpull 模板得到不同负载阻抗下的输出功率圆和功放效率圆，根据性能指标进行最佳负载阻抗点的选择。

图 7 (a) 展示了 PA 在工作频率范围内 S 参数和输出功率随频率变化曲线，在工作频率内，PA 增益恒大于 22.5 dB，输入回波损耗小于 -6 dB，输出回波损耗小于 -8.5 dB；在工作频率内，电路的输出功率恒大于 16 dBm。图 7 (b) 为在中心频点 15 GHz 处电路功放效率 PAE 随输入功率变化曲线，当输入功率为 5 dBm 时达到最大功放效率，为 19.3%。

3 5 bit 衰减器分析与设计

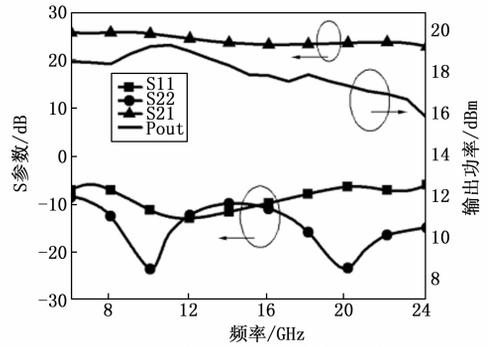
本小节主要介绍了衰减器的基本原理，各衰减位的定性分析以及优化方法。

3.1 衰减结构分析

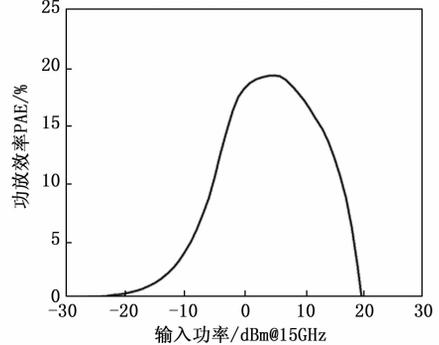
常见的数控衰减器结构包括：T 型、桥-T 型、 π 型结构，电路为对称结构。衰减值由信号经过参考态和衰减网络产生不同插损值的差值决定，不同衰减结构中衰减量与端口特性阻抗值、衰减网络中电阻值有关^[16-17]。

图 8 (a) 为典型 T 型结构衰减器，其衰减量由 R_1 、 R_2 构成的 T 型衰减网络决定，此结构通常具有较低的插入损耗、高衰减精度和低芯片占用面积，适用于小衰减位的设计。对于 T 型结构，当电路两端阻抗都匹配到 $Z_0 \Omega$ ，衰减量为 A dB 时， R_1 与 R_2 的阻值可通过下式进行计算：

$$R_1 = \frac{10^{A/10} + 1}{10^{A/10} - 1} Z_0 - R_2 \quad (11)$$



(a) S 参数以及输出功率随频率变化



(b) 功放效率PAE随输入功率变化@15GHz

图 7 功率放大器的 S 参数以及输出功率随频率变化图

$$R_2 = \frac{2Z_0 \sqrt{10^{A/10}}}{10^{A/10} - 1} \quad (12)$$

图 8 (b) 为典型桥-T 型结构衰减器，电阻 R_3 的值始终与输入输出阻抗值相等，其衰减量由 R_4 、 R_5 构成的 T 型衰减网络决定，此结构相较于 T 型结构在输入输出端之间多串联了一个桥电阻 R_1 ，具有更好的回波损耗且对左右级联单元影响较小。对于桥-T 型结构，当电路两端阻抗匹配到 $Z_0 \Omega$ ，衰减量为 A dB 时， R_3 、 R_4 与 R_5 的阻值可通过下式进行计算：

$$R_3 = Z_0 \quad (13)$$

$$R_4 = Z_0 (10^{A/20} - 1) \quad (14)$$

$$R_5 = \frac{Z_0}{10^{A/20} - 1} \quad (15)$$

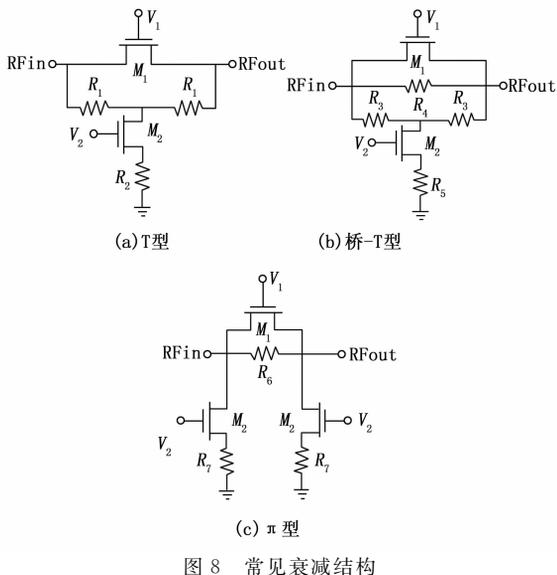
图 8 (c) 为典型 π 型结构衰减器，它的衰减量由 R_6 、 R_7 组成的 π 型衰减网络决定，此结构较为复杂且插入损耗较大，通常适用于大衰减单元的设计。各单元结构的衰减量还与端口阻抗有关，通常将端口阻抗固定为标准阻抗 50Ω 。对于 π 型结构，当电路两端阻抗匹配到 $Z_0 \Omega$ ，衰减量为 A dB 时， R_6 与 R_7 的阻值可通过下式进行计算：

$$R_6 = Z_0 \frac{10^{A/10} - 1}{2 \sqrt{10^{A/10}}} \quad (16)$$

$$R_7 = \left[\frac{10^{A/10} + 1}{(10^{A/10} - 1) Z_0} - \frac{1}{R_6} \right]^{-1} \quad (17)$$

3.2 附加相移分析

当开关电路在参考态和衰减态之间切换时，信号经



过路径会产生一定的相位偏差, 称之为附加相移^[18]。图 9 展示了附加相移网络添加前后的电路原理图和小信号电路图, 虚线框中为添加的附加相移并联网路结构。对图 9 (a) 所示 T 型衰减结构进行分析, 当电路处于参考态时, 如图 9 (b) 所示, 晶体管导通时等效为导通电阻 R_{ON} , 晶体管关断时等效为关断电容 C_{OFF} , 电路可视为一个低通滤波器, 低通滤波器相位具有滞后性; 反之, 如图 9 (c) 所示, 当电路处于衰减态时电路可视为一个高通滤波器, 高通滤波器相位具有超前性。电路在参考态和衰减态之间切换时会产生相位差及附加相移, 对于高敏感、高精度应用场景, 附加相移过大不利于系统稳定性, 因此需要尽量减小电路的附加相移。

通过相移补偿技术在衰减网络中添加相位补偿网络来进行优化, 常用的补偿网络方法包括: 电感补偿和电容补偿^[19], 由于电感补偿占用面积较大且恶化插损, 不作详细讨论。对于电容补偿, 通过在衰减网络中电阻上并联电容可实现附加相移减小^[20]。如图 9 (a) 所示, 对于参考态等效电路, 由于 M_2 截止且 M_1 导通电阻远小于衰减网络中电阻 R_1 的阻值, 并联电容 C 对参考态

的相移几乎无影响; 如图 9 (c) 所示, 当电路处于衰减态时, 补偿电容 C 接地形成一个低通滤波器, 低通滤波器的相位滞后作用对衰减网络构成的高通滤波结构导致的相位超前产生了一定的抵消作用, 从而有效减小了附加相移。

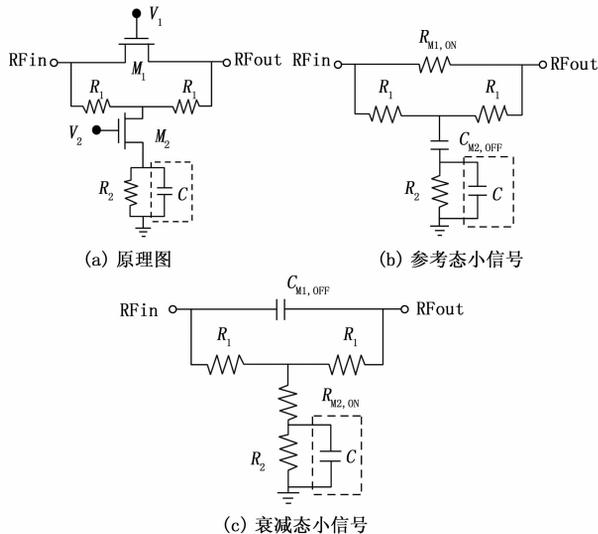


图 9 T 型衰减网络添加附加相移补偿网络前后电路图

3.3 整体电路设计

图 10 为完整的衰减器电路结构, 共包含 0.5、1、2、4、8 dB 五位衰减单元。

0.5 dB 和 1 dB 位的设计采用简单 T 型结构, 相较于传统 T 型结构仅保留了衰减网络中的控制晶体管以及接地电阻, 具有较小的附加相移。0.5 dB 和 1 dB 衰减位采用管芯尺寸为 $2 \times 25 \mu\text{m}$ 的耗尽型 Switch 管, 当控制电压 V_2 为低电平时, 电路处于衰减态; 控制电压 V_2 为高电平时, 电路处于参考态。电路依靠衰减网络中电阻阻值不同来产生不同量的衰减值。

2 dB 和 4 dB 衰减位采用 T 型结构, 其中 4 dB 位由于实现的衰减量更大, 在设计时难以做到附加相移和衰减量之间的平衡优化, 因此添加了并联电容的附加相移优化网络。2 dB 和 4 dB 衰减位的衰减网络中晶体管皆为

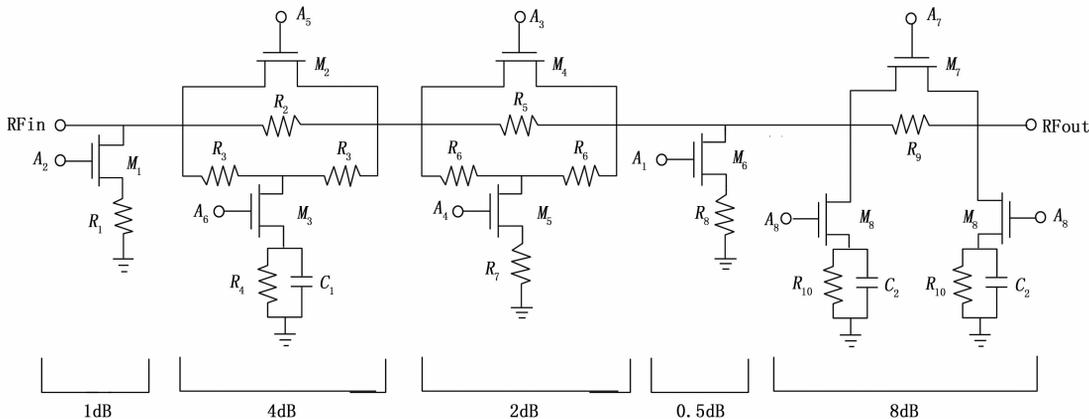


图 10 衰减器电路

$2 \times 25 \mu\text{m}$, 参考路径中采用较大的晶体管尺寸以实现小的插入损耗值, 尺寸分别为 $4 \times 40 \mu\text{m}$ 和 $6 \times 75 \mu\text{m}$ 。

8 dB 衰减位由于衰减量较大且容易产生较大附加相移, 设计采用 π 型结构且添加了并联电容的附加相移优化网络。当 V_1 处于高电平, V_2 处于低电平时, 电路处于参考态; 当 V_1 处于低电平, V_2 处于高电平时, 电路处于衰减态。并联晶体管为 $2 \times 25 \mu\text{m}$, 串联晶体管为 $8 \times 70 \mu\text{m}$ 。

对于 5 bit 衰减器的级联, 需要保证尽可能使电路的输入输出回波损耗、插损、衰减精度以及附加相移达到最优情况, 通常需要将性能波动较大的衰减器放置于中间, 大衰减单元间用小衰减单元进行隔离, 将驻波性能较好的衰减单元放置在两侧端口。由于前期设计已将各衰减单元端口匹配至标准阻抗 50Ω , 在进行级联时不额外添加元件进行端口匹配, 另外, 在进行版图搭建时, 需要逐步替换并实时优化以防止替换完毕后整体性能与原理图相差较大。所有晶体管的栅极与外接电源之间都串联了约 $15 \text{ k}\Omega$ 的大电阻, 限制电流大小并对芯片电路起到保护作用。电路最终级联顺序为 1 dB、4 dB、2 dB、0.5 dB、8 dB, $A_1 \sim A_8$ 分别为各衰减单元的控制电路, 其中 $A_3、A_4; A_5、A_6; A_7、A_8$ 互为相反电平, 该电路可实现 $0 \sim 15.5 \text{ dB}$ 共 32 种不同衰减态。

4 2 bit 延时器分析与设计

本小节主要介绍延时器的基本原理和结构, 然后介绍了电路的设计与级联。

4.1 延时器结构分析

延时器通过开关在延时态和参考态之间进行切换, 其差值为延时量。常见的延时器结构包括: 自开关恒阻网络、单刀双掷开关延时网络^[21]。在通道切换产生延时量的同时, 常常希望两态之间的幅度波动较小, 因此延时器通常具有较大的插入损耗。

自开关恒阻网络不需要额外的开关器件, 通过两个晶体管的通断进行状态的切换, 该结构常用于小单元延时量结构的设计, 具有较好的插损和小的芯片占用面积, 基本结构如图 11 (a) 所示。为实现更好的回波损耗和不同单元位之间隔离度高, 本小节不采用此方法进行电路设计。

单刀双掷开关延时器由恒阻网络、开关以及参考通道构成^[22], 利用开关对通道进行切换, 基本结构如图 11 (b) 所示, 延时量可通过延时通道中恒阻延时网络的数量决定, 此结构虽然占用芯片面积较大, 但具有能实现大延时量、高隔离度以及驻波

优异等优点。2 bit 延时器的两基本单元位都采用微带线进行设计, 电路具有良好的输入输出回波损耗。

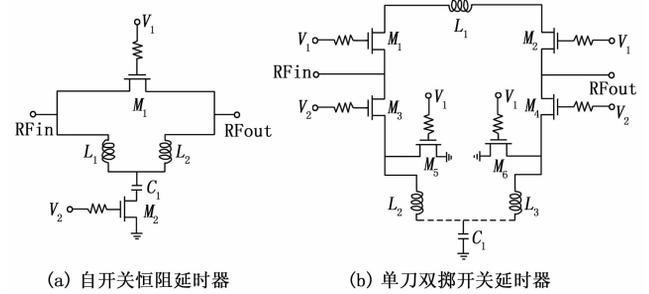


图 11 延时器典型电路结构

4.2 整体电路设计

图 12 为延时器整体电路结构, 共集成了 5 ps 和 10 ps 延时两个基本单元。

对于 5 ps 延时单元的设计, 具体电路结构如图 12 右半部分所示, 电路中采用大尺寸串联晶体管以实现小的插入损耗, 控制晶体管采用耗尽型 Switch 管, 最终确定参考路径中 $M_1、M_3$ 为 $4 \times 45 \mu\text{m}$, 延时路径中 $M_2、M_4$ 为 $4 \times 45 \mu\text{m}$ 。当 V_1 处于高电平时, V_2 处于低电平时, 电路处于参考态; 当 V_1 处于低电平时, V_2 处于高电平时, 电路处于延时态。参考态中添加电感 L_1 产生部分插入损耗以尽量保证电路幅度波动小, 在使用微带线设计时将输入输出端口阻抗匹配至 50Ω 。

对于 10 ps 延时单元的设计, 具体电路结构如图 12 左半部分所示, 控制晶体管采用耗尽型 Switch 管, 参考路径中 $M_5、M_7$ 为 $4 \times 50 \mu\text{m}$, 延时路径串联晶体管 $M_6、M_8$ 为 $4 \times 50 \mu\text{m}$, 并联晶体管采用较小尺寸以实现高隔离度, 最终 $M_9、M_{10}$ 为 $2 \times 10 \mu\text{m}$ 。当 V_1 处于高电平时, V_2 处于低电平时, 电路处于参考态; 当 V_1 处于低电平时, V_2 处于高电平时, 电路处于延时态。相较于 5 ps 电路的设计, 在延时态中添加了并连接地晶体管, 提高了电路的隔离度, 在使用微带线设计时将输入输出端口阻抗匹配至 50Ω 。

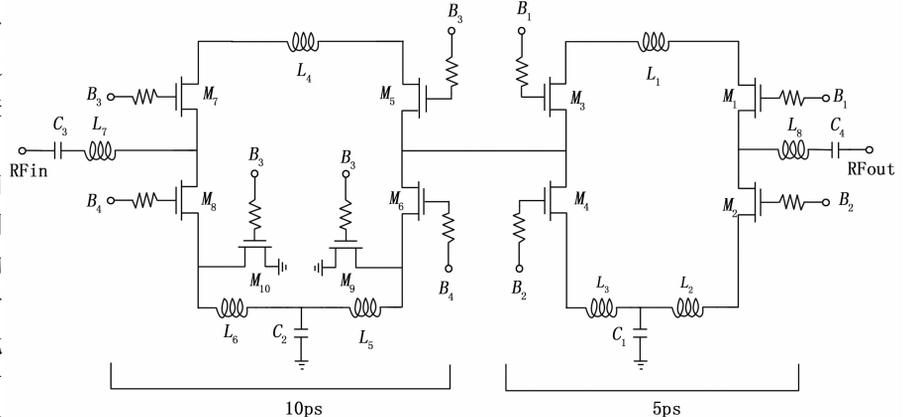


图 12 延时器电路

延时单元级联时, 在端口串联电容、电感对端口驻波进行优化和调整, 同时起到级间隔离作用。在进行版图搭建过程中, 仍需逐步进行版图替换并不断进行优化。

5 多功能芯片整体电路设计

基于 0.15 μm GaAs pHEMT 工艺完成了整体多功能芯片电路的设计, 依次进行了双向放大器、5 bit ATT、2 bit TTD 的级联, 并在级联时对端口驻波进行了优化, 降低了通道切换时的性能波动影响。为保证电路能正常工作, 对版图中金属线宽度做出了要求, 放大器中金属线宽度大于 15 μm , 图 13 为芯片整体版图设计, 芯片使用外接电源并未在内部添加逻辑控制电路, 会大幅缩小芯片面积, 核心电路面积为 $4.64 \times 1.44 \mu\text{m}^2$, 左右两侧 GSG 作为电路的输入输出端口, 需保持对称。在进行整体版图搭建时, 各功能单元级联会出现阻抗和性

能的波动, 需要实时对部分电路的位置和走线进行调整, 并对端口驻波进行优化, 另外, 需要保证版图的紧凑性。

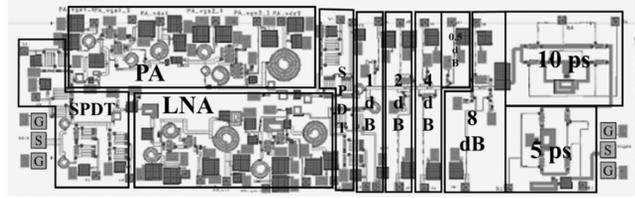


图 13 芯片整体版图设计

6 实验结果与分析

使用 ADS 仿真工具对版图进行电磁仿真, 得到最终仿真结果。

在 6~24 GHz 内, 电路分别处于接收态、发射态在 ATT 和 TTD 皆处于参考态下的 S 参数和噪声系数如图 14 (a)、(b) 所示, 在接收态下, 链路增益大于 9 dB,

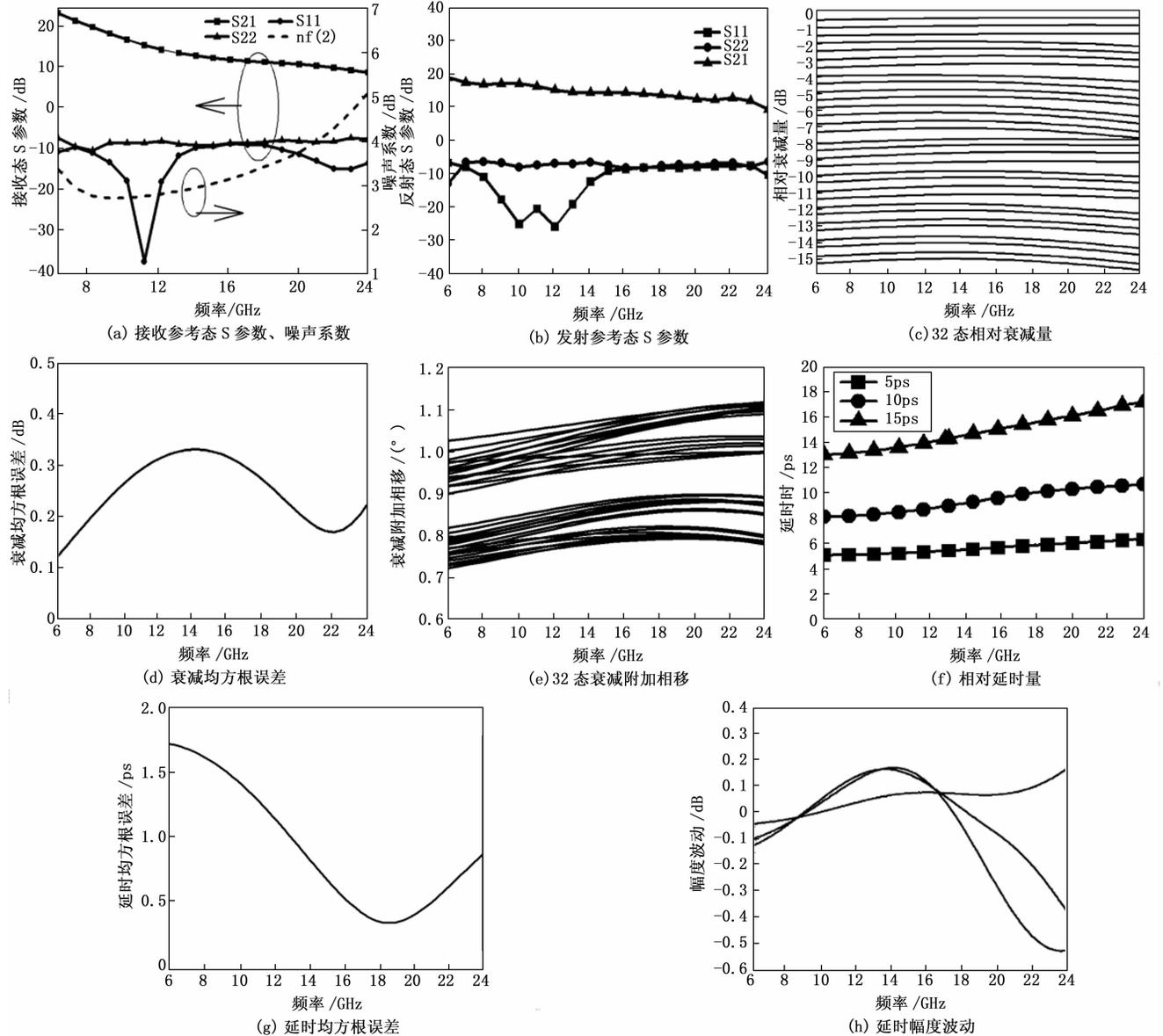


图 14 时延幅控双向放大多功能芯片设计结果

表 1 本文设计与其他文献设计对比

文献	[23]	[24]	[25]	[26]	本文
工艺技术	0.5 μm GaAs pHEMT	GaAs E/D pHEMT	0.25 μm GaAs pHEMT	0.13 μm CMOS	0.25 μm GaAs pHEMT
频率/GHz	8~12	3~17	6~18	8~16	6~24
电路架构	收发三端口	收发三端口	单向两端口	收发两端口	收发两端口
接收增益/dB	>6	>2	—	>-1	>9
发射增益/dB	>6	>2	>12	>-1	>9
接收噪声系数/dB	—	—	<18	—	<6.1
延时范围/ps	0~75	0~310	0~255	0~198.4	0~15
延时步进/ps	25	10	1	1.56	5
RMS 延时精度/ps	<1.5	<3	<1.7	—	<1.8
延时幅度波动/dB	<0.3	< ± 1	<2.1	—	< ± 0.6
衰减范围/dB	0~31.5	0~31	0~31.75	0~31.5	0~15.5
衰减步进/dB	0.5	1	0.25	0.5	0.5
RMS 衰减精度/dB	<0.4	<1.4	<0.9	—	<0.35
衰减附加相移/($^\circ$)	<2.5	< ± 8	<5	—	< ± 1.5
功耗/mW	165	650	1600	275	335 接收/650 发射
芯片面积/ mm^2	17.5	22.5	20	3.90	6.68

输入回波损耗小于 -8 dB, 输出回波损耗小于 -6.5 dB, 噪声系数小于 6.1 dB; 在发射态下, 链路增益大于 9 dB, 输入回波损耗小于 -7.5 dB, 输出回波损耗小于 -5 dB, 全频带内电路处于无条件稳定。

32 态衰减量随频率变化的曲线如图 14 (c) 所示, 图 14 (d) 和图 14 (e) 分别为衰减器的衰减均方根误差以及附加相移随频率变化曲线。衰减功能可实现 $0\sim 15.5$ dB 共 32 态的衰减, 衰减步进为 0.5 dB, 在工作频带内, 衰减均方根 (RMS, root mean square) 误差小于 0.35 dB, 附加相移小于 $\pm 1.5^\circ$, 具有高衰减精度和低附加相移。

3 态延时随频率变化曲线如图 14 (f) 所示, 图 14 (g)、图 14 (h) 分别为延时器的均方根误差以及幅度波动随频率变化曲线。延时功能可实现 $0\sim 15$ ps 共三态的延时, 延时步进为 5 ps, 工作频带内延时 RMS 误差小于 1.8 ps, 幅度波动在 ± 0.6 dB 以内, 具有高延时精度和低幅度波动。

电路处于发射态时, 电路功耗为 590 mW; 电路处于接收态时, 电路功耗为 335 mW。

该芯片通过实现双向放大相较传统三端口结构缩小了芯片面积, 但仍存在一定不足, 如高频增益下降较多等问题。未来针对芯片的进一步优化可从以下几方面入手: 针对延时范围进行拓宽以进行功能优化; 芯片内添加逻辑控制电路; 针对更高倍频的带宽拓展的尝试, 扩大应用范围; 考虑延时、衰减单元的分散布版以方面驻波的优化。

7 结束语

本文提出并设计了一种基于 0.15 μm GaAs

pHEMT 工艺的双端口链路结构、具有时延和幅控功能的双向放大多功能芯片, 实现了芯片的小型化。射频开关采用串并联结构, 采用层叠结构提升功率容量; 接收 LNA 与发射 PA 采用两级 Cascode 结构分别实现高增益低噪声、高增益高功效, RC 负反馈网络、RC 并联网路对放大电路稳定性和增益平坦度进行了提升; 采用并联电容补偿结构降低了衰减器的附加相移; 延时器采用人工传输线设计。仿真结果表明, 在 $6\sim 24$ GHz 范围内, 接收/发射参考态可实现大于 9 dB 增益, 实现了 $0\sim 15.5$ dB 衰减和 $0\sim 15$ ps 延时, 衰减均方根误差小于 0.35 dB, 延时均方根误差小于 1.8 ps, 芯片电路面积为 4.64×1.44 mm^2 。

该工作弥补了基于 GaAs 工艺的双向放大多功能芯片在超宽带应用的空缺, 对电子战中小型化功能模块的应用提出了可行性的优化方向, 具有一定的参考价值。

参考文献:

- [1] BROOKNER E. Phased-array Radars: Past, Astounding Breakthroughs and Future Trends [J]. Microwave Journal, 2008, 51 (1): 30-50.
- [2] SKOLNIK M. 雷达系统导论 (左群声, 等译) [M]. 北京: 电子工业出版社, 2006.
- [3] LANE A, JENKINS J, GREEN C, et al. S and C band GaAs multifunction MMICs for phased array radar, 11th Annual Gallium Arsenide Integrated Circuit (GaAs IC) Symposium [C] // San Diego, CA, USA: IEEE, 1989: 259-262.
- [4] COMEAU J, MORTON M, KUO W, et al. A Silicon-Germanium Receiver for X-Band Transmit/Receive Radar Modules [J]. IEEE Journal of Solid-State Circuits, 2008,

- 43 (9): 1889 - 1896.
- [5] Datasheet of XZ1002-BD. M/A-COM Tech Asia, Hsinchu, Taiwan [EB/OL]. Available: www.macomtechasia.com/pdf/XZ1002-BD.pdf.
- [6] ZHAO L, FENG X, TANG X, et al. An 11-15 GHz multifunctional MMIC with 1.7° RMS phase error, 26.5 dBm Psat and >30% PAE for T/R module [J]. *IEICE Electronics Express*, 2023, 20 (5): 20220560.
- [7] LI Y, MOU S. A Ku-Band Self-Biased Bidirectional Amplifier in 0.25 μ m PHEMT Technology [C] // *IEEE 6th International Conference on Computer and Communications (ICCC)*, Chengdu, China, 2020: 1166 - 1170.
- [8] BINDU S, CHATURVEDI S. A 27 dBm 5~18 GHz Multifunction Bidirectional amplifier using GaAs pHEMT process [C] // *IEEE Microwaves, Antennas, and Propagation Conference (MAPCON)*, Hyderabad, India, 2024, pp. 1 - 4.
- [9] BETTIDI A, CAROSI D, CORSARO F, et al. MMIC Chipset for wideband multifunction T/R Module [C] // *IEEE MTT-S International Microwave Symposium*, Baltimore, MD, USA, 2011: 1 - 4.
- [10] VOLKAN E, ARMAGAN G, EKMELE O. High-Power and Broadband GaN SPDT MMIC Switch Using Gate-Optimized HEMTs [J]. *IEEE Microwave and Wireless Technology Letters*, 2023, 33 (8): 1207 - 1010.
- [11] 时家惠. 宽带射频接收前端模组关键电路的研究与设计 [D]. 合肥: 中国科学技术大学, 2021.
- [12] 王贵宇. 面向5G基站Doherty功率放大器的研究与设计 [D]. 南京: 南京邮电大学, 2023.
- [13] BRIAN E. The Design of CMOS Radio-Frequency Integrated Circuits [J]. *Circuit World*, 2004, 30 (4): 59 - 60.
- [14] RAZAVI B. Design of analog CMOS integrated circuits [J]. 北京: 清华大学出版社, 2001.
- [15] KRSTIC D. RF Circuit Design—Theory and Applications [J]. *Microelectronics Journal*, 2001, 32 (3): 274.
- [16] 张艺耀, 冯长江. 射频衰减器的数值计算及仿真 [J]. *电子设计工程*, 2016, 24 (18): 178 - 181.
- [17] 秦 昌. GaAs微波开关与衰减器研究与设计 [D]. 成都: 电子科技大学, 2019.
- [18] JIN Y, CAM N. Ultra-compact high-linearity high-power fully integrated DC-20 GHz 0.18 μ m CMOS T/R switch [J]. *IEEE Transactions on Microwave Theory and Techniques*, 2008, 55 (1): 30 - 36.
- [19] GU P, ZHAO D. A DC-43.5 GHz CMOS Switched-Type Attenuator with Capacitive Compensation Technique, *Asian Solid-State Circuits Conference (A-SSCC)* [C] // Macau, Macao; IEEE, 2019: 77 - 78.
- [20] SONG I, CHO M, JOHN D. Design and Analysis of a Low Loss, Wideband Digital Step Attenuator With Minimized Amplitude and Phase Variations [J]. *IEEE J Solid-State Circuit*, 2018, 53 (8): 2202 - 2213 [21] 方 园, 高学邦, 吴洪江, 等. 一款宽带实时延迟线芯片的设计和实现 [J]. *半导体技术*, 2009, 34 (9): 886 - 889.
- [22] OUACHA A, ALFREDSON M, WILDEN H. 638 mm relative delay 9-bits MMIC TTD for active phased array SAR/MTI, *1st European Radar Conference* [C] // Amsterdam, Netherlands; IEEE, 2004: 309 - 312.
- [23] 周守利, 张景乐, 吴建敏, 等. X波段宽带幅相多功能芯片设计 [J]. *电子科技大学学报*, 2020 (5): 680 - 689.
- [24] 陈月盈, 朱思成, 赵子润. 超宽带延时幅相控制多功能芯片的设计 [J]. *微波学报*, 2018, 34 (1): 84 - 88.
- [25] JEONG J, YOM I, KIM J, et al. A 6-18-GHz GaAs Multifunction Chip With 8-bit True Time Delay and 7-bit Amplitude Control [J]. *IEEE Transactions on Microwave Theory and Techniques*, 2018, 66 (5): 2220 - 2230.
- [26] CHO M, HAN J, KIM J, et al. An X/Ku-band bi-directional true time delay T/R chipset in 0.13 μ m CMOS technology [C] // *IEEE MTT-S International Microwave Symposium (IMS2014)*, Tampa, FL, USA, 2014, 1 - 3.
- 型最大似然估计的EM算法 [J]. *高校应用数学学报 A辑*, 2024, 39 (2): 141 - 151.
- [16] 凌四营, 孔玉梅, 赵昌明, 等. 双滚轮一导轨式渐开线测量仪的空间几何误差补偿方法 [J]. *光学精密工程*, 2022, 30 (6): 689 - 701.
- [19] 曾晨东, 陈 力. 空间机械臂在轨插、拔孔操作基于力/位姿跟踪指数型阻抗控制 [J]. *工程科学学报*, 2022, 44 (2): 254 - 264.
- [20] 刘惠康, 刘 馨, 柴 琳, 等. 基于自抗扰理论的桅杆式起重机电位与消摆控制 [J]. *科学技术与工程*, 2022, 22 (23): 10073 - 10079.

(上接第219页)

- [10] 李 猛, 王时龙, 马 驰, 等. 基于齿面位姿—几何误差模型的大规格滚齿机关键误差识别 [J]. *中国机械工程*, 2023, 34 (5): 533 - 542.
- [11] 刘明群, 何 鑫, 覃日升, 等. 基于改进K-means聚类k值选择算法的配网电压数据异常检测 [J]. *电力科学与技术学报*, 2022, 37 (6): 91 - 99.
- [14] 张 志, 陈浩辉, 陈思哲, 等. 一种基于ghy坐标系的三电平四桥臂逆变器简化空间矢量脉宽调制方法 [J]. *电工技术学报*, 2023, 38 (16): 4324 - 4338.
- [15] 姜 喆, 王丹璐, 吴刘仓. 带有偏正态误差的众数回归模