

基于 64B/66B 编码协议的星载高速数据传输系统

任海, 周浩, 朱庆辉, 王进

(上海航天电子技术研究所, 上海 201109)

摘要: 针对传统星载数据传输系统数据传输速率无法适应当前有效载荷数据发展的需求, 提出基于 64B/66B 编码协议的星载高速数据传输系统, 提高星载数据传输系统数据传输效率, 降低系统的复杂度, 增强可靠性; 在 Virtex-7 系列 FPGA 中, 基于 64B/66B 编码协议的高速串行收发器能够提供最大 11.3 Gbps 的数据传输速率; 本系统中提供 8 个传输速率为 3.125 Gbps 的对外数据传输通道以及 4 个传输速率为 6.25 Gbps 的内部数据传输通道; 通过对系统进行仿真严重以及硬件调试测试, 结果表明: 该系统设计方案最大数据吞吐率为 80 Gbps。

关键词: 64B/66B 协议; 高速串行数据传输; 星载数传系统; 数传链路; 加扰

Spaceborne High-Speed Data Transmission System Based on the 64B/66B Encoding Protocol.

REN Hai, ZHOU Hao, ZHU Qinghui, WANG Jin

(Shanghai Aerospace Electronic Technology Institute, Shanghai 201109, China)

Abstract: The data transmission rate of traditional satellite data transmission systems can not meet the current development needs of payload data, a high-speed data transmission system based on the 64B/66B encoding protocol is proposed to improve data transmission efficiency, reduce complexity, and enhance the reliability of traditional satellite data transmission systems. In Virtex-7 series FPGA, a high-speed serial transceiver based on the 64B/66B encoding protocol can provide a maximum data transmission rate of 11.3 Gbps. This system provides 8 external data transmission channels with a transmission rate of 3.125 Gbps and 4 internal data transmission channels with a transmission rate of 6.25 Gbps. Through system simulation and hardware debugging testing, the results show that the designed scheme reaches a maximum data throughput of 80 Gbps.

Keywords: 64B/66B protocol; high speed data transmission; spaceborne data transmission system; data transmission link; scrambling

0 引言

随着卫星有效载荷技术的不断发展, 星载有效载荷的数据量猛增, 受限于卫星系统传输时间以及重量、体积等限制, 使得卫星系统内部数据传输面临越来越大的挑战。传统卫星系统中, 数据传输通常采用 TLK2711 协议、LVDS 协议等对星载有效载荷数据进行传输。其最大传输传输速率为 2.5 Gbps, 为满足卫星系统内部数据传输, 通常需要多通道并行传输。在系统构建过程中, 随着传输通道的增加, 增加了系统的重量, 同时由于多通道并行传输, 提升了数据传输系统的复杂度, 降

低了卫星系统的可靠性, 随着数据量以及传输速率的进一步提升, 传统的传输方式、传输协议, 无法适应新的设计需求。

随着星载载荷设备能力的提升, 星上数据传输速率不断提升, 同时, 随着低成本、轻量化发展需求, 传统以 TLK2711 为核心的星上数据传输架构逐渐的无法满足使用要求。以光纤通信、CXP 等为核心的星上传输架构逐渐的被推广应用。

64B/66B 协议是一种高效的数据链路层编码技术, 通过将 64 位数据块编码为 66 位传输单元, 在提升带宽利用率的同时保障传输可靠性。其核心优势在于仅增加

收稿日期:2025-03-22; 修回日期:2025-04-14。

基金项目:中国博士后科学基金(2022M713853)。

作者简介:任海(1992-),男,硕士研究生,工程师。

引用格式:任海,周浩,朱庆辉,等. 基于 64B/66B 编码协议的星载高速数据传输系统[J]. 计算机测量与控制, 2025, 33(7): 287-294.

2 位开销（编码效率达 97%），显著优于传统 8B/10B 编码的 80% 效率，且通过同步字机制实现时钟恢复与数据对齐，适用于对时延敏感、带宽要求苛刻的场景。

该协议最初由 Xilinx 提出并集成于 Aurora 协议栈，主要面向高速串行通信场景 FPGA/ASIC 互连：为芯片间、板级间提供低延迟、高吞吐量传输通道，支持 AXI-ST 标准接口，简化与现有系统的集成；数据中心与 HPC：用于服务器背板、存储设备间的高速数据交换，满足 10 G/100 G 以太网等标准的数据传输需求；通信基础设施：作为光纤通道（Fiber Channel）、Infini-Band 和 Thunderbolt 等技术的物理层实现方案，支持全双工通信与灵活组帧；测试测量设备：为示波器、协议分析仪等仪器提供高精度数据采集与传输通道。

在航天领域，该协议近年逐步应用于：星间激光通信：通过 64B/66B 编码提升深空通信链路的带宽效率，欧洲航天局（ESA）在低轨卫星星座试验中验证了其在空间辐射环境下的稳定性；载荷数据处理：用于合成孔径雷达（SAR）等高性能载荷的原始数据预处理与传输，单通道速率可达 28 Gbps。星载计算平台互连：在新型分布式卫星计算架构中，作为处理器节点间的高速数据总线，支持 SpaceWire 协议的扩展应用。NASA 在 2023 年发布的《深空通信架构白皮书》指出，64B/66B 协议与 LDPC 编码的结合已成为星载高速数传系统的优选方案，但其在轨实际部署案例仍多处于技术验证阶段。

本文设计的星载数据传输系统，64B/66B、8B/10B 编码协议可以用来进行点到点的串行数据传输^[3]，具有实现高性能数据传输系统的高效率和简单易用的特点。同时 64B/66B、8B/10B 协议是一类可扩展的、轻量级的链路层协议，考虑到 64B/66B 协议编码效率更高，本文设计选用 64B/66B 编码协议^[4-6]。

本文提出的基于 64B/66B 协议的星载高速数据传输系统，旨在利用 64B/66B 协议高速、可靠的特点，提升星载数据传输系统的传输速率，同时进一步增加传输系统的可靠性，降低星载系统设计的复杂度。

1 系统设计原理

本系统设计选择 7 系列 Virtex 7 FPGA 作为系统的主控芯片。数据传输链路采用基于 GTH+64B/66B 协议架构。系统设计外部光纤接口速率为 3.125 Gbps，VPX 接口链路速率为 6.25 Gbps。接收端和发送端数据位宽均为 64 bit，参考时钟选择 156.25 MHz 差分晶振。

1.1 高速串行数据传输

Xilinx 7 系列 FPGA 全系所支持的高速数据传输（GT，Gigabyte Transceiver，G 比特收发器）。7 系列中，按支持的最高线速排序，GTP<GTX<GTH<GTZ。图 1 所示左侧为 GTH 发送端内部原理框图，图

1 右侧所示为 GTH 接收端内部原理框图^[7-8]。

SerDes（Serializer/Deserializer），是一种用于高速数据传输的关键技术。它将并行数据转换为串行数据（序列化，Serialization），或将串行数据转换回并行数据（反序列化，Deserialization）^[9-11]。SerDes 技术广泛应用于现代通信系统、数据中心、网络设备和高性能计算中^[12]。Serializer：将多比特的并行数据流转换为单比特或多比特的高速串行数据流，以便通过高速链路传输。Deserializer：在接收端，将接收到的高速串行数据流还原为原始的并行数据流。这种转换减少了传输所需的物理通道数量，从而降低了硬件复杂性和成本。

高速传输数据传输包含三部分功能 PMA（Physical Medium Attachment）、PCS（Physical Coding Sublayer）和 PLL/DLL（Phase-Locked Loop/Delay-Locked Loop）部分，其中 PMA 负责信号的物理层处理，包括时钟恢复、信号均衡、预加重和去加重等。PCS 负责编码、解码以及协议相关的功能，例如扰码、帧同步等^[13-14]。PLL/DLL（Phase-Locked Loop/Delay-Locked Loop）负责提供精确的时钟信号，用于数据的采样和同步。

1.2 64/66B 编码协议标准

64/66b 编码是一种高效的线路编码方式，主要用于高速串行数据传输中^[15]。它通过用 66 比特来表示原本的 64 比特数据，从而实现时钟恢复、错误检测以及控制字符的嵌入等功能。以其高效率 and 低开销成为现代高速通信系统的核心技术之一。它在保持信号完整性和简化硬件设计的同时，显著提升了带宽利用率，因此被广泛应用于以太网、光纤通道和 PCIe 等高速接口中^[16-17]。

表 1 64/66B 编码与 8B/10B 编码对比

特性	64/66b 编码	8b/10b 编码
编码效率	约 96.9%	80%
开销	3.125%	25%
适用速率	更适合 10 Gbps 及以上的高速传输	适用于低速至中速传输
直流平衡	通过扰码实现	通过编码规则直接保证
特性	64/66b 编码	8b/10b 编码

1.2.1 工作原理

在 64/66b 编码中，每 64 比特的数据块被扩展为 66 比特。增加的 2 比特被称为“同步头”（Sync Header），用于标识数据块的类型和边界。

同步头有两种可能的值：01：表示接下来的 64 比特是数据。10：表示接下来的 64 比特包含控制信息（如特殊命令或填充）。同步头不允许出现 00 或 11，这有助于接收端快速识别帧边界并进行错误检测。

1.2.2 工作流程

发送端：

- 1) 将原始数据分割为 64 比特的块。

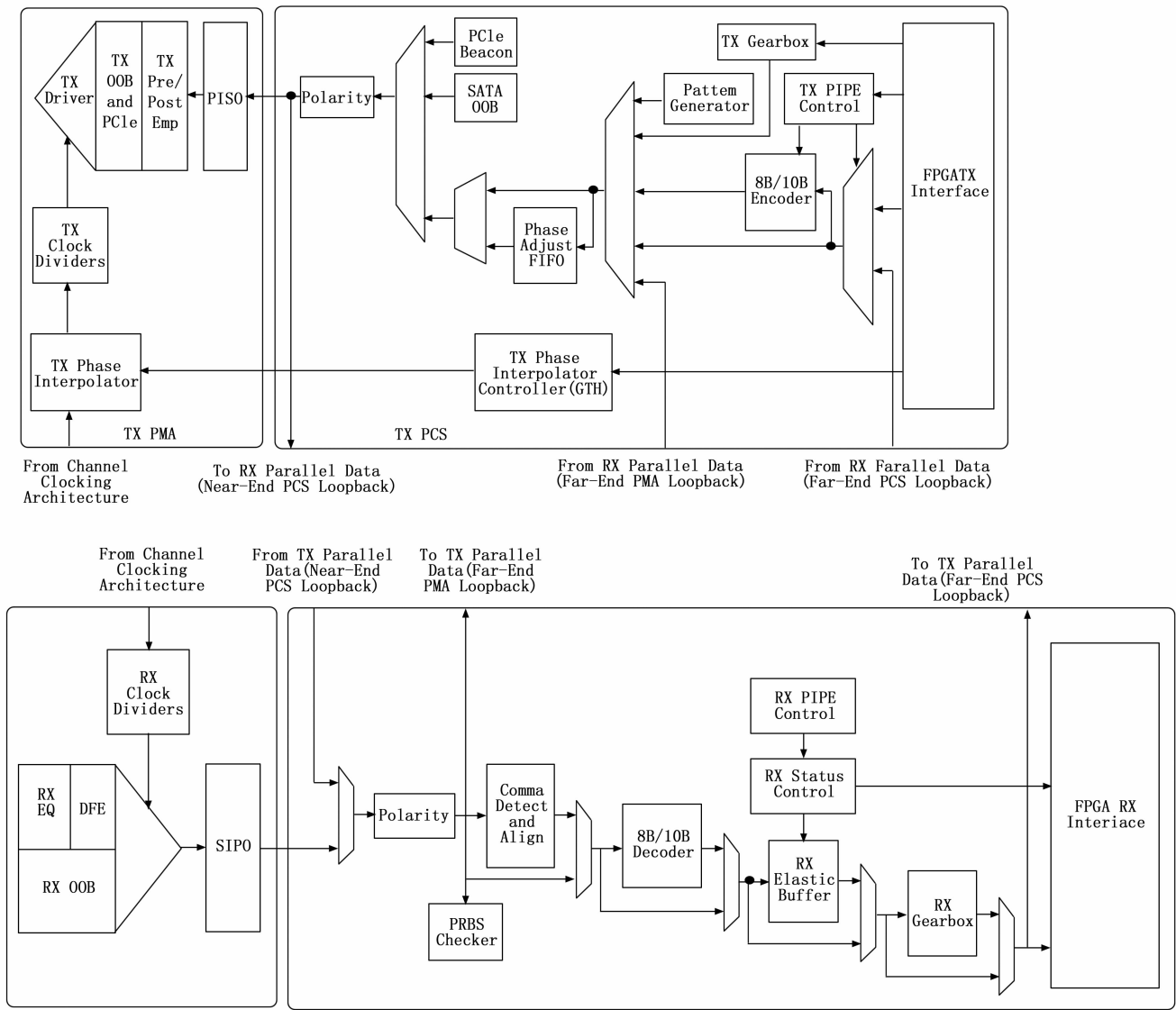


图 1 高速串行收发器内部结构

- 2) 根据数据块的内容添加 2 比特同步头 (01 表示数据, 10 表示控制信息)。
- 3) 对 64 比特数据进行扰码处理, 以确保信号具有良好的频谱特性。
- 4) 将 66 比特数据发送到物理层进行传输。
- 接收端:
- 1) 检测同步头以确定帧边界。
- 2) 验证同步头是否有效 (排除 00 和 11 的情况)。
- 3) 解扰码还原原始的 64 比特数据。
- 4) 根据同步头区分数据和控制信息, 并进一步处理。

2 系统设计

2.1 系统设计硬件组成

星载高速数据传输系统主要用于接收星载高速载荷数据, 通常数据传输速率可以达到 3 Gbps 以上, 并发多通道高速数据同时传输。本文所设计系统, 链路数据

传输速率支持 3.12 Gbps; 接收端支持 8 个不同源光纤通道的高速数据同时接收; 发送端支持 8 路光纤通道数据同时发送, 光纤接口数据吞吐率可以达到 48 Gbps。此外支持 VPX 端 4 通道数据同时收发, 单通道链路速率可以达到 6.25 Gbps, VPX 端数据吞吐率可以达到 50 Gbps, 完整系统数据传输能力可以达到 98 Gbps。

星载高速数据传输系统主要有光模块、FPGA 芯片以及 DDR3 缓存芯片构成。其中光模块包含光接收模块和光发射模块。系统中利用光接收模块接收外部载荷发送的光信号, 通过光接收模块将光信号转换成符合 FPGA 芯片接收高速串行差分信号 (Serdes 信号), 由 FPGA 芯片对 Serdes 信号进行进一步的数据处理。光发射模块负责将 FPGA 芯片生成的高速串行差分信号转换成符合光纤链路传输光纤信号。光接收模块和光发射模块分别选用中航光电研制的 HTM8510 和 HTM8509 芯

片。该类型光模块是波长为 850 nm 的多模光模块,考虑到多模光纤功耗低、易于安装维护的优势,同时结星载设备对数据传输距离的要求不高,因此在宇航领域多选用多模光模块进行数据传输。

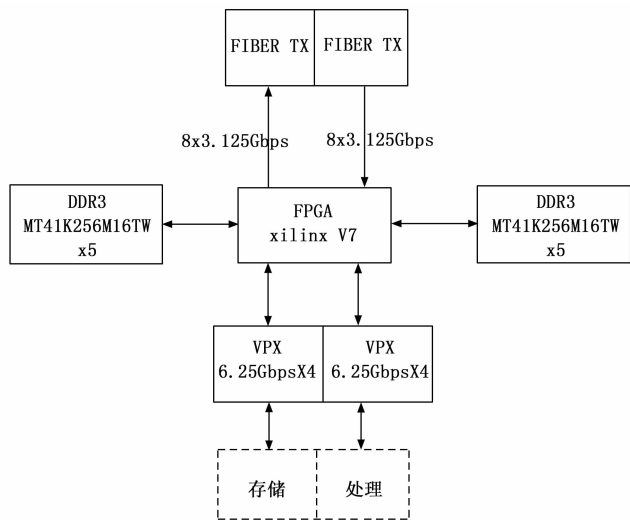


图 2 系统框图

FPGA 芯片主要用于高速串行数据接收、发送以及载荷数据解析路由工作。本系统中选用 Xilinx 公司设计的 XC7VX690TFFG1927 芯片,该 FPGA 芯片最多可以提供 693,120 逻辑单元,支持 DDR3 芯片控制以及 80 路高速串行数据传输通道。能够满足本系统大量高速串行差分数据收发以及高速数据缓存处理。

DDR3 芯片选用 micro 公司设计生产的 MT41K256M16 芯片,通过 5 片芯片组成一组 DDR3 阵列,实现 64 bit + 8 bit 应用模式,其中 64 bit 位宽作为数据存储,8 bit 位宽作为 ECC 纠错编码,缓解宇航环境中 SRAM 型器件单粒子反转影响,提升数据缓存的容错性,系统中配置两组 DDR3 存储芯片阵列,分别用于输入数据缓存调度和输出数据缓存调度。每组缓存阵列可以实现 50 Gbps 数据吞吐率,两组阵列可以达到 100 Gbps 数据吞吐率,满足系统整体的缓存需求。

2.2 系统设计信息流

星载高速数据传输系统通过光模块接收 8 路载荷数据后,转换成链路速率为 3.125 Gbps 的高速串行差分信号。

FPGA 芯片内部,通过 GTH IP 核将高速差分信号转换成 64 bit 并行数据发送至数据接收模块;数据接收模块将转换后的数据进行解扰操作;解扰后对数据进行协议判断,包括数据传输完整性以及数据传输正确性进行判断,分别通过传输帧格式协议检查和数据内容 CRC 校验实现;数据接收模块对数据解扰后将数据发送至数据调度模块,数据调度模块按照光纤通道的不同对数据进行分区缓存,避免由于系统内部数据调度异常

引起不同通道数据发生交叉,造成数据异常。

数据调度模块根据执行任务需求,将数据通过 VPX 总线发送至其他功能模块,比如存储模块、压缩模块、星上处理模块等,由其他功能模块对数据进行进一步的存储、处理等工作。VPX 总线与其他模块配置 4 个 GTH 通道,每个通道可以实现 6.25 Gbps 传输速率,可以保障光纤接口输入的数据带宽和 VPX 转发数据带宽一致以避免高速数据传输系统带宽引起的数据丢失问题。同时,通过 VPX 接口星载高速数据传输系统可以适配不同的功能模块,以扩大系统的应用场景。

数据接收端,基于 64B/66B 协议接收 8 路数据,单路数据最大速率为 3.125 Gbps,对接收到的数据进行解扰处理后,将数据传送至数据调度模块,通过路由调度,以及通道标识后,将数据通过 4 路 VPX 总线发送至后端数据处理模块。VPX 总线同样采用 64B/66B 协议,传输速率为 6.25 Gbps。数据发送端,组帧模块接收 VPX 总线的 4 路并行数据进行解扰处理后,将数据送入路由调度模块,进行输出通道选择以及输出速率选择,实现通道、通道数量以及传输速率可以进行自定义设置。

该系统中,数据传输均采用 64B/66B 64/66B 协议,外部接口单通道最大速率为 3.125 Gbps,内部接口单通道速率为 6.25 Gbps,系统全工况最大吞吐率为 80 Gbps。

2.3 编码协议实现

系统传输链路采用 64B/66B 编码方式。64B/66B 编码技术是 IEEE802.3 工作组为 10G 以太网提出的,目的是减少编码开销,降低硬件的复杂性,并作为 8B/10B 编码的另一种选择,以支持新的程序和数据。它并不是真正的编码,而是一种基于扰码机制编解码方式,这种编码方式,是 IEEE 推荐的 10G 通信的标准编码方式^[18-19]。

当前,64B/66B 编码主要应用于 FiberChannel 10GFC 和 16GFC、10G 以太网、100G 以太网、10G EPON、InfiniBand、Thunderbolt 和 Xilinx 的 64B/66B 协议^[20]。

64B/66B 编码将 64 bit “数据或控制信息”编码成 66 bit 块来进行传输,在 66 bit 中,前两位表示同步头 (2 bit Sync Header),主要用于接收端的数据对齐和接收数据位流的同步。其中,同步头包含以下 4 种情况: 2' b00 和 2' b11 表示编码错误,2' 01 表示信息块为纯数据,2' b10 表示控制信息。

在正常模式下 (GEARBOX_MODE [2] = 1'b0),使用 4 字节逻辑接口 (TX_DATA_WIDTH = 32 (4 字节),TX_INT_DATAWIDTH = 1 (4 字节)) 时,数据进出发送端 Gearbox 进行 64B/66B 编码的前 4 个周期示例如下:

- 1) 输入由 2 位头部和 32 位数据组成。
- 2) 在第一个周期,头部和 30 位数据退出 TX Gear-

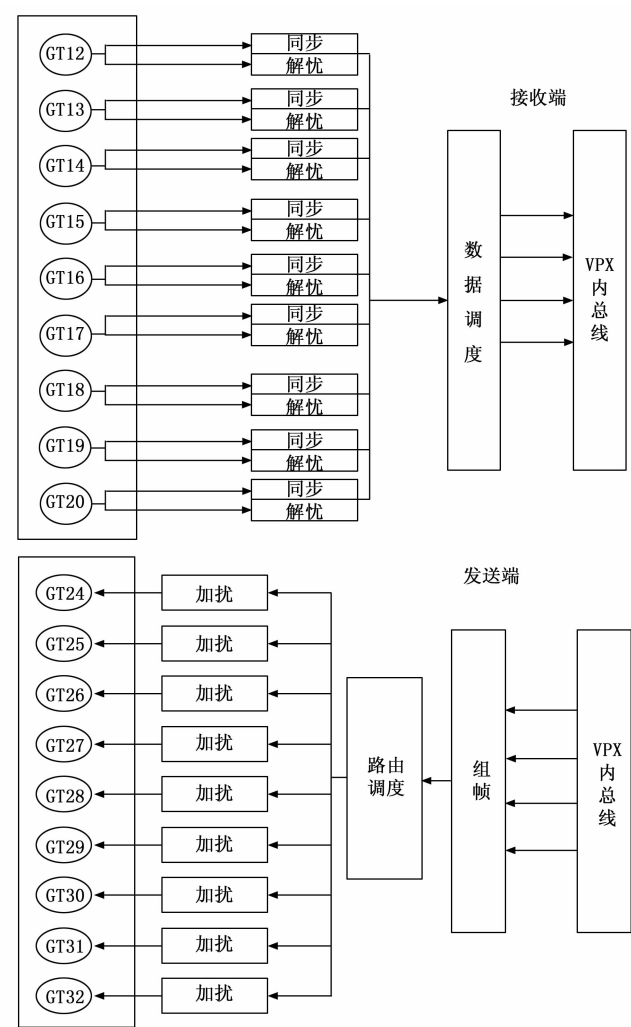


图 3 系统信息流框图

box。

3) 在第二个周期, 来自上一个周期 TXDATA 输入的剩余两个数据位与当前 TXDATA 输入的 30 个数据位一起退出 TX 变速箱。

4) 在第三个周期, TX 变速箱的输出包含来自第一个 66 位块的两个剩余数据位、第二个 66 位块的头部以及来自第二个 66 位块的 28 个数据位

在正常模式下 (GEARBOX_MODE [2] = 1'b0), 使用 8 字节 Fabric 接口和 4 字节内部数据路径, 并采用 64B/66B 编码的外部序列计数器模式时, 当计数器值达到 32 时发生暂停, 应当保持空闲, 不发送数据。具体说明如下:

数据发送模块采用外部序列计数器模式, 计数器用于跟踪数据块的处理进度。在外部序列计数器模式下, 计数器值从 0 开始递增, 直到完成一个完整的 64B/66B 编码周期。当使用 8 字节 Fabric 接口时, 每个输入周期提供 8 字节 (64 位) 数据。内部数据路径宽度为 4 字节 (32 位), 因此每个输入周期的数据需要分两步处

理: 第一步处理前 4 字节 (32 位), 第二步处理后 4 字节 (32 位)。计数器值达到 32 时, 表示当前 64B/66B 数据块的前 32 位已经处理完毕, 但后 32 位尚未完全进入内部数据路径。

由于传输链路中每 64 bit 数据需要插入 2 bit 同步字, 为了数据对齐需求, 确保 64B/66B 编码的正确性, 必须等待整个 64 位数据块完全进入内部数据路径后再继续处理。需要通过计数器进行同步, 每发送 32 字节数据需要暂停一个节拍发送数据。即当计数器值为 32 时, 标识当前数据块的前半部分已完成处理, 系统需要暂停以等待后半部分数据对齐。

GTH IP 核内部 gearbox 会根据计数器值自动调整数据流, 确保发送数据块的完整性核顺序。

2.4 数据传输链路加扰方式

设计数字通信系统时, 必须考虑发送信息的信号特征, 这些特征会影响到设计性能。总的来说, 发送的信息应注意: (1) 避免出现长串的 0 或 1, 否则对于从 0、1 交换点处提取位同步信息的系统, 容易错判导致失去同步; (2) 避免传输信号具有周期性, 否则在多路传输的通信系统中容易造成串扰:

$$G(x) = 1 + x^{39} + x^{58}$$

(1)

公式 (1) 为系统加扰多项式, 通过 FPGA 实现线性反馈移位寄存器实现高速串行数据加解扰。在系统发送端, 数据传输以 66 bit 为单位, 包括 2 bit (header) 和 64 bit (有效数据), 约定 header 仅有 01, 10 两种模式, 因此系统中以 64 bit 有效数据位单位进行加扰处理, 将 64 bit 数据进行伪随机化, 实现数据传输链路中 0、1 信号平衡, 提升数据传输链路的可靠性。当数据完成组帧以及路由调度后, 对 64 bit 信息块进行加扰处理, 通过加扰模块后与 2 bit 同步头一起送至链路层处理。

在系统接收端, 优先通过对未加扰的 header 的正确性判断, 是否存在 00 或 11 非法数据, 判断链路传输是否稳定。然后, 将 64 bit 有效数据输入至解扰模块, 对加扰数据进行恢复, 加解扰公式、算法实现一致。有效数据解扰完成后送入下一级模块进行数据处理。

2.5 数据链路同步方式

系统同步包含串行数据同步以及并行数据同步两部分, 其中串行数据同步, 通过判断 2 bit 同步头连续有效, 即同步头为 2' b01 或 2' b10, 当同步头出现 2' b00 或 2' b11 时, 认定链路失步, 系统需重新进行同步。当链路层串行数据同步完成后, 系统进行并行接收后数据同步, 接收后数据解扰后有 64 bit 同步数据时, 传输通道完成同步, 无法接收到同步都数据, 则重新进行链路串行数据同步。

第一部分对链路传输状态进行检测, 根据 64B/66B 协议约定正常数据传输过程中, 同步头仅有“01”和

“10”两种状态，因此在链路同步检测过程中，首先对同步头进行检测，在数据接收端对连续的“01”“10”进行计数判断，当出现“00”、“11”时重新开始计数，当计数值达到 64 时，判定链路完成同步；在链路稳定状态，对非法的同步头“11”、“00”进行计数判断，当连续的非法同步头计数超过 8 时，判定链路发生失步，重新进入同步判断流程。

第二部分对接收数据状态进行检测，当链路传输状态判定为同步时，开始对数据的正确性检测，通过对解扰后的数据判断空闲数据是否为协议约定的 64’ hC5/BC/C5/BC/C5/BC/C5/BC，当判断到约定的数据时，系统判断数据接收同步建立。当长期无法建立数据同步，无法接收到约定的空闲数据时，对 GTH 接收链路进行复位，重新进入第一部分，对传输链路进行重新复位。

系统运行过程中，时刻检测数据链路状态，当非法同步头超过阈值时，对链路进行复位，重新进行第一部分和第二部分同步操作。确保链路发生异常后能够及时恢复。

2.6 应用层数据帧结构

数据应用层，按照 64B/66B 编码协议要求，应用层将空闲数据以及帧格式中的帧头、帧尾值按照设定同步字为“10”标识，有效数据区设定同步字为“01”标识。

数据在通道上以数据帧的形式传递。每个数据帧的开始和结束分别用帧头控制字符/SF/和帧尾控制字符/EF/标出。每一帧的数据（DATA）个数（不包括数据帧的帧头和帧尾标记）根据需求约定。

空闲数据可以由链路的收发方自定义设定，建议帧头数据中加入数据帧计数以及通道标识，以便于传输链路中对数据进行识别；建议帧尾数据加入校验码，校验方式可以选择异或和、CRC 等方式，以便于通信链路数据误码检测。

数据帧包括帧头（/SF/）、帧尾（/EF/）和数据单元（DATA）三部分组成，如错误：引用源未找到所示为应用层协议示例。无效数据发送时，发送 64’ hC5/BC/C5/BC/C5/BC/C5/BC。

帧头 (SF)	数据(DATA)	帧尾 (EF)
------------	----------	------------

图 4 协议数据帧结构图

- 1) 帧头（SF）：64’ hEB/90/14/6F/XX/ XX / XX / XX 占用 8Bytes（其中后 4 个 Bytes 标识通道标识和帧计数），对应 Txheader/ Rxheader 为 2’ b 10。
- 2) 数据单元（DATA）：数据单元是由若干个 64 bits（8 Bytes）数据组成的数据流；对应 Txheader/ Rxheader 为 2’ b 01。

3) 帧尾（EF）：64’ hFD/FE/FD/FE/XX/XX/XX/XX 占用 8Bytes（其中“XX/XX/XX/XX”为 DATA 区的 32 位异或和），对应 Txheader/ Rxheader 为 2’ b 10。

4) 空闲数据：64’ hC5/BC/C5/BC/C5/BC/C5/BC 占用 8 Bytes；对应 Txheader/ Rxheader 为 2’ b 10。

5) 在系统上电或复位后的任何数据传输空闲时刻，均发送无效数据 64’ hC5/BC/C5/BC/C5/BC/C5/BC。

数据接收方对帧头、帧尾数据进行识别判断，在数据传输时，将帧头、帧尾以及链路空闲数据剥离，仅传输有效数据，即同步头“01”对应数据；帧头、帧尾约定仅在链路传输过程中使用，发送接口添加，接收接口校验后删除。

3 仿真试验及结果分析

3.1 仿真结果

系统设计过程中对数据传输链路、加扰模块以及同步模块进行仿真，系统设计时序要求。图 5（a）为数据发送端数据组帧仿真结果，通过仿真分析，对发送数据帧格式与应用层约定的帧传输协议进行识别，数据发送帧格式与应用层约定的协议一致。帧头数据均为协议 SF 部分约定内容；帧尾为 EF 约定内容；图 5（b）为系统加扰模块仿真，通过对解扰后的数据进行判读，加扰模块工作正常；通过仿真数据进行分析，64 bit 数据中“0、1”分布平衡，实际数据中长 0，长 1 通过仿真可以看到加扰后数据为“55”“AA”符合设计预期。图 5（c）传输通道同步过程仿真情况，传输通道同步建立以及失步后反馈状态满足设计要求，当在仿真激励中注入链路中断激励后，传输通道会进入失步状态，并不断进行同步操作，当激励中链路中断取消后，传输通道状态完成链路同步，同步状态变为同步；图 5（d）数据接收模块仿真情况，数据接收正常，发送端输入数据与接收端数据一致，表明数据链路中发送模块、编码协议实现、加解扰功能设计正确。

通过仿真中对各级传输链路中 FIFO 空满状态进行分析，在全速率性能仿真中，系统各级数据未出现丢失情况，通过仿真表明系统系统可以到 80 Gbps 数据吞吐率能力，同时协议实现符合要求。

3.2 硬件测试结果分析

3.2.1 硬件调试流程

星载高速数据传输系统链路调试工作分为硬件链路调试和 FPGA 软件程序调试两个部分。第一部分首先对硬件链路进行测试，链路收发两方分别建立 IBERT 测试程序，利用 IBERT 测试程序对链路参数在三温环境下进行测试，确定符合硬件链路通信特点的参数值。第二部分根据 IBERT 测试程序测试得到最优链路参数，对 FPGA 软件工程程序中的链路参数进行调整后，链

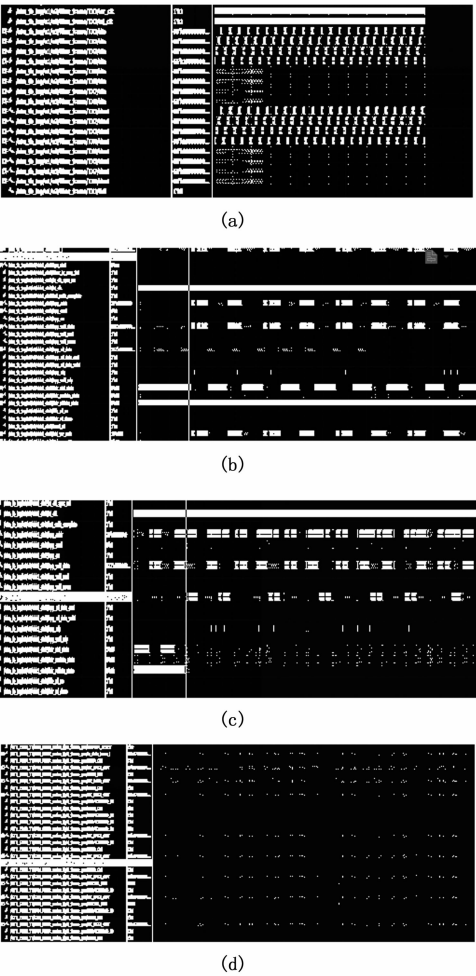


图 5 系统仿真示意图

路收发双方加载正式的工程程序开展软件功能测试。

3.2.2 链路速率测试分析

通过 IBERT 测试工具对外部接口以及内部接口进行链路数据压力测试。对外光纤接口 8 路数据在 3.125 Gbps 速率下,经过 PRBS7、PRBS32 等伪随机码数据测试,工作正常,链路工作稳定。对内 VPX 接口 4 路数据在 6.25 Gbps 速率下,经过 PRBS7、PRBS32 等伪随机码数据测试,工作正常,链路工作稳定。经过链路误码测试,系统单向数据接收总速率为 50 Gbps,双向总速率为 80 Gbps。此外,在三温环境对链路进行测试,通过测试链路数据传输正常,满足宇航环境工作要求。

3.2.3 硬件 64B/66B 协议测试分析

如图 6 所示,通过 FPGA 内部逻辑分析 IP 核 (ILA) 对硬件测试数据进行实时抓取,图 6 (a) 为发送数据组帧后数据,图 6 (b) 为接收端信号,通过对各路信号时序状态进行分析比对,测试数据传输正常,相关信号时序状态与应用层协议标准一致。收发两侧数据编码、加解扰以及同步机制符合系统设计要求。系统测试过程中全速率测试数据收发正常。

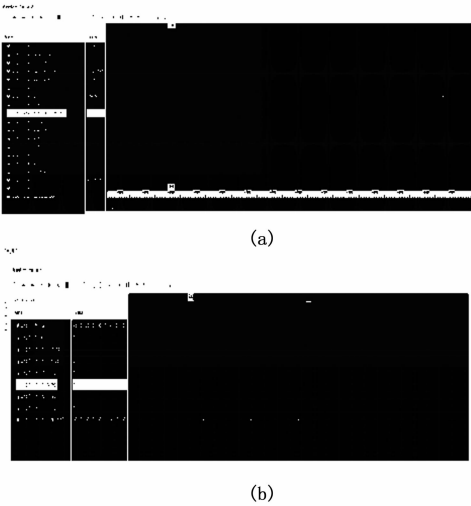


图 6 硬件功能测试情况

3.2.4 硬件测试结果分析

系统硬件配置收发光模块器件各一个实现单个模块 80 Gbps 数据吞吐率,与传统 TLK2711 星载数据传输系统相比,传统系统单个模块仅支持 16 个收发单向通道,吞吐率为 25 Gbps,需 16 个 TLK2711 芯片;本系统硬件设计可以将传输性能提升 3 倍,同时缩小产品尺寸,实现产品小型化。

3.3 测试结果

通过对系统进行仿真测试和硬件测试分别对协议信号传输时序以及系统功能进行测试,通过仿真测试, FPGA 工程程序底层编码协议、应用层协议以及加解扰和同步设计符合预期应用需求;通过硬件测试,星载高速数据传输系统链路传输速率、内部数据缓存调度性能符合设计要求。经过测试系统设计时序以及功能均与设计一致。

4 结束语

本文研究 64B/66B 协议在星载数据传输系统中的应用方式,同时阐述了基于 64B/66B 协议的星载高速数据传输系统的设计方案,从硬件设计、软件设计信息流以及应用层协议等进行设计说明。针对 64B/66B 协议在 Xilinx FPGA 实现方式进行了仿真验证以及硬件电路测试。对星载高速数据传输系统信息流及内部数据调度管理模式进行反正相比传统星载系统性能得到了明显的提升。但本文未考虑星载数传系统数据缓存、处理等模块,因此后续需对系统的数据缓存以及处理等模块进行完善优化。

参考文献:

[1] 袁伟. 基于 RapidIO 的高速数据传输系统的设计与研究 [D]. 北京: 中国地质大学 (北京), 2015.
[2] 罗伦, 时信华, 阳军. 我国卫星数据中继系统中的高

- 速数据传输问题研究 [J]. 飞行器测控学报, 2002 (4): 7-13.
- [3] 李金, 焦新泉, 刘东海, 等. 基于 CPCI 总线和 LVDS 的高速数据传输系统的设计 [J]. 电子技术应用, 2019, 45 (4): 60-63, 68.
- [4] BARRIENTOS D, GONZALEZ V, BELLATO M, et al. Multiple register synchronization with a high-speed serial link using the aurora protocol [J]. IEEE Transactions on Nuclear Science, 2013, 60 (5 Part2): 3521-3525.
- [5] TENG Y S, LAI Y T, LIN C S, et al. The status of high-speed trigger multiplexer module with 64B/66B protocol implemented on arria II FPGA for the belle II cylindrical drift chamber detector [C] // Nuclear Science Symposium & Medical Imaging Conference, IEEE, 2014.
- [6] 李维明, 陈建军, 陈星畴. 基于 aurora 协议的高速通信技术的研究 [J]. 电子技术应用, 2013, 39 (12): 37-40.
- [7] LU R Q, ZENG J P, ZHAO Y B, et al. Real-time signal transmission performance tests with optical fiber based on aurora protocol [J]. Nuclear techniques, 2015, 38 (3): 030404.
- [8] 张春茗, 杨添, 王一平. JESD204C 协议接收端 64B/66B 链路层电路设计 [J]. 西安邮电学院学报, 2021, 26 (1): 60-66.
- [9] 赵文飞, 王永禄, 陈刚. 一种符合 JESD204C 协议的并行 FEC 译码器 [J]. 微电子学, 2023, 53 (1): 50-54.
- [10] 吴智杰, 刘汉瑞, 吴浩怡. 基于 FPGA 的 SDI 并行扰码器设计与实现 [J]. 电脑知识与技术, 2024, 20 (33): 102-105.
- [11] 司锋, 张强. 基于数据路由的星载高速数据处理系统研究 [C] // 高分辨率对地观测学术年会, 2013.
- [12] 安国臣, 吴铭轩, 王晓君. 基于 FPGA 的高速 Aurora 接口通信系统设计 [J]. 通信与信息技术, 2024 (3): 20-24.
- [13] 崔庆华. 数字微波通信技术的传输特性及其在高速数据传输中的应用 [J]. 通信电源技术, 2024, 41 (16): 137-139.
- [14] 陈振林. DVB-T 中伪随机序列扰码器的 FPGA 实现 [J]. 现代信息科技, 2024, 8 (7): 11-14.
- [15] 郑志彬, 沈辉, 王洪剑, 等. 一种星载高速处理模块: CN202211725389.7 [P]. CN115982093A [2025-03-19].
- [16] 徐明宇. 星载高速 AES 密码电路设计 [D]. 芜湖: 安徽工程大学, 2024.
- [17] 宋景星, 朱岩, 饶家宁, 等. 星载高速串行数据处理系统设计与实现 [J]. 空间科学学报, 2023, 43 (1): 174-182.
- [18] 李璜宁, 刘小荣. 基于星载数传系统的一种 BCH 码的译码方案 [J]. 集成电路应用, 2023, 40 (1): 4-7.
- [19] 安国臣, 吴铭轩, 王晓君. 基于 FPGA 的高速 Aurora 接口通信系统设计 [J]. 通信与信息技术, 2024 (3): 20-24.
- [20] ZENG J, YANG J, ZHANG L, et al. FPGA implementation of fixed-latency command distribution based on aurora 64B/66B [J]. IEEE Transactions on Nuclear Science, 2024 (6): 71.
- [15] 夏航, 汪溢. 基于多核处理器 P2020 的综合数据处理模块设计及应用 [J]. 航空电子技术, 2012, 43 (3): 30-35.
- [16] 刘宇. 某型机载计算机的设计和实现 [D]. 成都: 电子科技大学, 2018.
- [17] MHATRE, SWAPNEEL, PRIYA CHANDRAN. On the simulation of hypervisor instructions for accurate timing simulation of virtualized systems [J]. International Journal of Information Technology, 2024, 45 (14): 1-10.
- [18] 深圳风火轮技术团队. 多核同构 SMP 调度算法分析 [EB/OL]. 深圳: 风火轮技术团队, 2023. (2023-7-10) [2025-03-27]. <https://www.elecfans.com/d/2176091.html>.
- [19] 贾平生. 一种机载三维音频技术的快速计算方法 [J]. Telecommunication Engineering, 2018, 58 (4): 67-72.
- [20] 徐双国, 刘云. 基于核间中断实现的嵌入式多核系统通信方法 [J]. 舰船电子工程, 2021, 41 (5): 58-61.
- [21] 吕志锋. 基于多核 QorIQ 架构的安全计算机的设计和实现 [D]. 杭州: 浙江大学, 2013.
- (上接第 286 页)
- [8] 高珂, 陈荔城, 范东睿, 等. 多核系统共享内存资源分配和管理研究 [J]. 计算机学报, 2015, 38 (5): 1020-1030.
- [9] SEIDEL, LUKAS, JULIAN BEIER. Bringing rust to safety-critical systems in space [J]. ArXiv Preprint ArXiv, 2024, 113 (56): 2405-2421.
- [10] 周勇, 袁迹. 基于 PowerPC P2020 非对称架构的实现 [J]. 计算机光盘软件与应用, 2013, 25 (3): 41-43.
- [11] 叶桂林. 基于 MTCA 架构的软件无线电体系结构研究 [J]. 舰船电子工程, 2017, 37 (5): 13-16.
- [12] 童大鹏. 机载通信导航识别系统综合检测设备设计与实现 [J]. Telecommunication Engineering, 2021, 61 (9): 23-45.
- [13] BACHIRI, INAS. A literature review on combining neural architecture search and compiler optimizations for neural network acceleration [R]. America: University of Virginia, 2012: 105-112.
- [14] 刘靖. 智能微网保护装置新平台系统设计 [J]. 电气技术, 2015, 16 (8): 50-53.