文章编号:1671-4598(2025)05-0168-08 DOI:10.16526/j.cnki.11-4762/tp.2025.05.020 中图分类号:TP274+.2 文献标识码:A

基于异型架构的新一代运载火箭地面发控系统设计

张明亮[1],梁 宽[1],周 虎[1],谢 望[1],戴李刚[1],
徐 昕[2,3],马 莉[4]

(1.上海航天电子技术研究所,上海 201109;
2.中国航天科技集团商业火箭有限公司,上海 201109;
3.南京航空航天大学,南京 211106;4.西昌卫星发射中心,四川 西昌 615000)

摘要:面向新一代运载火箭,满足其发控系统设备紧凑,信号响应延时小的需求,提出了利用FPGA与CPU相结合的异型架构,实现新一代运载火箭地面发控系统的冗余化设计和性能升级;通过基于多通路M-LVDS总线的模块化冗余设计,嵌入式总控模块竞争上岗机制和冗余切换机制的构建,实现了发控系统核心设备各模块的高速互联和冗余控制输出;搭建了发控系统等效器测试环境,验证了系统各单机和模块的功能和性能,等效器测试结果表明:该系统冗余化切换功能正常,信号响应时间最高可达微秒级,模块化更换时间在一分钟以内;与传统系统方案相比,该系统具备集成化高,响应速度快,维护便捷的优点。

关键词:发控系统;FPGA;CPU;M-LVDS;冗余设计

Design of Ground Launch Control System for New Generation Launch Vehicles Based on Heterogeneous Architecture

ZHANG Mingliang[1], LIANG Kuan[1], ZHOU Hu[1], XIE Wang[1], DAI Ligang[1], XU Xin[2,3], MA Li[4]

(1. Shanghai Aerospace Electronics Technology Institute, Shanghai 201109, China;
2. China Aerospace Science and Technology Commercial Launch Vehicle Group Co., Ltd., Shanghai 201109, China;
3. Nanjing University of Aeronautics and Astronautics, Nanjing 211106, China;
4. Xichang Satellite Launch Center, Xichang 615000, China)

Abstract: In order to meet, the requirements of compact launch control system equipment and low signal response delay in new generation launch vehicles, a heterogeneous architecture combining FPGA and CPU is proposed to achieve redundant design and performance upgrade of the ground launch control system for new generation generation launch vehicles. Based on modular redundancy design of multi-channel Multipoint Low Voltage Differential Signaling (M-LVDS) bus, this paper constructs competitive duty mechanism and redundancy switching mechanism with embedded main control modules, achieves high-speed interconnection and redundant control output for various modules in the core equipment of the transmission and control system, and builds an equivalent testing environment for the transmission and control system, and verifies the function and performance of each single machine and module in the system. Equivalent testing results show that the system has normal redundancy switching function, the response time of the signal can reach up to microseconds, and the time to replace the modular is within one minute. Compared with traditional system solutions, this system has the advantages of high integration, fast response speed, and convenient maintenance.

Keywords: launch control system; FPGA; CPU; M-LVDS; redundant design

收稿日期:2025-02-28; **修回日期**:2025-03-31。

作者简介:张明亮(1991-),男,硕士,工程师。
通讯作者:周 虎(1997-),男,硕士,助理工程师。

引用格式:张明亮,梁 宽,周 虎,等.基于异型架构的新一代运载火箭地面发控系统设计[J].计算机测量与控制,2025,33(5):168-175.

0　引言

运载火箭的发控系统用于完成对运载火箭的发射、控制和各个系统的状态测量和监控，保证运载火箭出厂前和飞行前的状态正常和可靠，保证飞行安全。运载火箭的发控系统与运载火箭发射和控制流程紧密相关，系统的可靠性和安全性关系运载火箭发射的成败。

载人运载火箭长征二号 F 的发控系统采用工业级的可编程逻辑控制器（PLC，programmable logic controller）为核心，实现了前后端数据通信和控制指令传送[1]；长三甲系列运载火箭则在长征二号 F 的设计思路下，开发出第一代的远程发控系统，2013 年又对其进行完善开发出第二代发控系统，对设备的功能进行整合，实现部分设备自动化控制[2]；长征五号系列运载火箭在“三垂”测发模式下，采用高容错 PLC 热备冗余发控系统设计，实现手动控制和自动控制并联冗余控制输出[3]；CZ-11 运载火箭以标准 CPCI 总线和 PLC 平台实现火箭的发射和控制，蓝箭航天的 ZQ-1 运载火箭同样采用 PLC 模块的控制组合实现火箭的发射和控制[4]；2015 年文献［5］针对新一代大型运载火箭，设计出一套基于 GE 公司的 PLC 热备冗余发控系统，进一步提高运载火箭发射控制的可靠性[5]；2021 年文献［6］针对新一代运载火箭，提出一种基于 CPCI 总线的前端测控机实现一体化的发控设计[6]。PLC 方案和 CPCI 总线方案的设备体积庞大，前端测控设备需要多台机柜完成设备的安装，设备模块化维护需要开盖处理，维护时间长，系统的响应时间一般在几十毫秒到几毫秒之间。

目前主流运载火箭均采用 PLC 控制核心或基于总线[7]的计算机实现发控系统的设计。而本文提出一种面向新一代运载火箭的基于异型架构的运载火箭发控系统，实现发控系统的模块化、热备冗余设计，提高系统的响应速度，减小系统体积，增强技术可控度。

1　系统结构及原理

1.1　系统概述

按照在发射场的设备布局进行分类，发控系统[8]设备可以分为后端发射大厅设备、前端测发控设备间设备和发射台设备。后端发射大厅设备包含后端网络交换机、服务器、应急控制盒、发射控制终端、流程显示终端、测量终端和通用机械终端；前端测发控设备间设备包含前端网络交换机、发控处理机、信号调理设备、直流电源、中频电源、总线服务器和通用机械控制设备；发射台设备包含通用机械装置和总线处理设备。基于异型架构的新一代运载火箭发控系统框架如图 1 所示。

前端测发控设备间发控设备的控制核心是发控处理机和信号调理设备。信号调理设备负责与其它发控设备和外部系统的信号调理和通路联接，信号调理设备接收发控处理机的控制指令并完成指令的转换和转发，同时，信号调理设备将状态信号转换和转发给发控处理机。

发控处理机作为控制中枢，首先，通过前端网络交换机完成与后端发控设备的网络通信[9]，既能接收发射

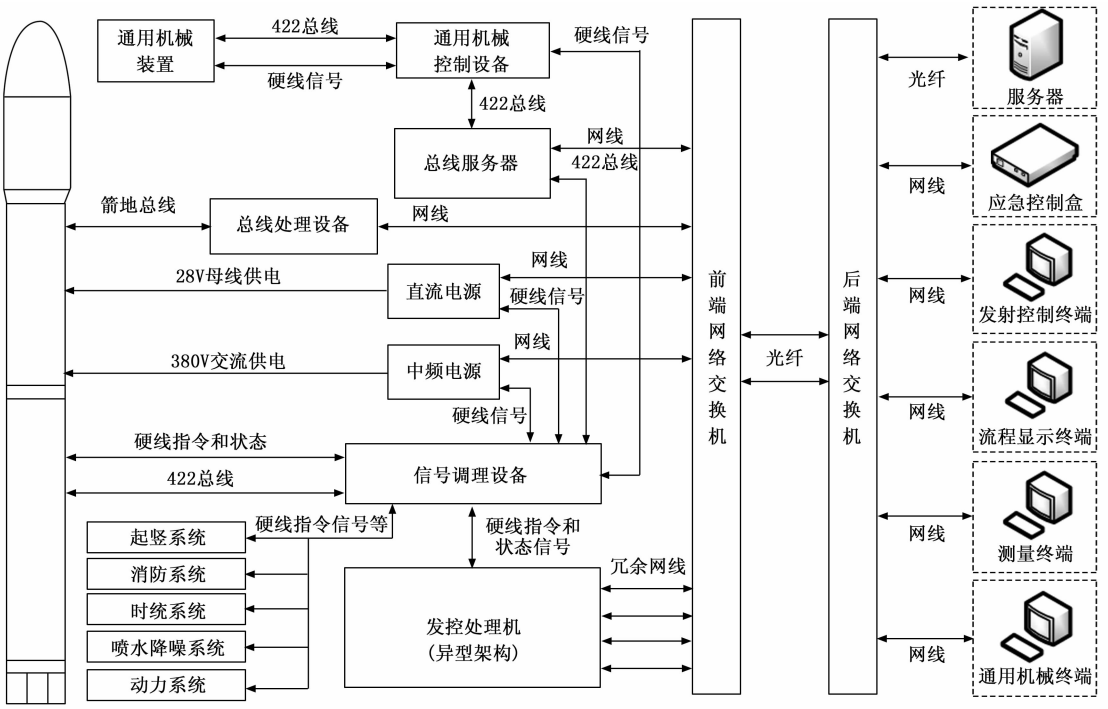

图 1　发控系统框架图

控制终端的指令信号，也能接收应急控制盒的应急控制指令；接着，通过硬线通道与信号调理设备通信，完成地面直流电源、中频电源对箭上设备的配电控制；然后，通过信号调理设备完成对通用机械控制设备的控制，进而控制发射台上的通用机械装置，从而完成运载火箭的地面操作；其次，通过信号调理设备实现对箭上422 总线通路的冗余切换控制；最后，通过信号调理设备实现与发控系统外部系统的指令控制和状态采集，外部系统包含了发射场的起竖系统（或发射塔摆杆系统），消防系统，时统系统，喷水降噪系统和测发控动力系统等，进而使发控系统与测发控动力系统、发射场各保障系统信号互联互通，实现运载火箭发射控制流程的一体化[10]和自动化。

发控系统的部分设备具备硬线控制通路和网络控制通络的冗余控制链路，比如对运载火箭箭上设备的供配电控制，主控制通路是信号调理组合和异型架构发控处理机的硬线控制，备用控制通路是直流电源和中频电源的网络协议控制。

采用箭地总线实现新一代运载火箭与地面设备的数据流传输，完成遥测数据、控制指令和外安数据的上行和下行通信[11]。为保证箭地之间数据传输的可靠性，避免长距离通信的信号衰减，通过总线处理设备实现箭地多路总线信号的中继增强，同时通过端口聚合增强总线处理设备与前端网络交换机的通信可靠性。

1.2 系统冗余

为增强发控系统的可靠性和安全性，发控系统采用设备级、模块级和元器件级的冗余设计。

在设备级冗余设计方面，如图 2 所示，为提高箭地之间母线供电和总线通信的可靠性，地面的直流电源、中频电源、总线服务器和网络交换机采取整机冗余配置。其中，直流和中频电源设备采取控制并联输入和功率并联输出的方法实现主备设备的冗余；总线服务器通过配置主份、备份和监视三台设备，箭地总线实现不间断监视判读，主份设备与备份设备采取双机热备运行和冷切换的方式实现总线故障快速切换功能。网络交换机采取双机堆叠互联，增加前后端网络通信的可靠性。

在模块级和元器件级的冗余设计方面，通过设备网卡双网口通信绑定，设备供电模块双冗余并联，控制输出模块双冗余或三选二冗余输出，采集模块双冗余输入故障切换或三选二输入判决，电缆双点双线输入或输出，分立元器件冗余串联或并联等冗余设计和容错设计提高系统和设备的可靠性，避免单点、单通路、单模块故障引起模块、设备

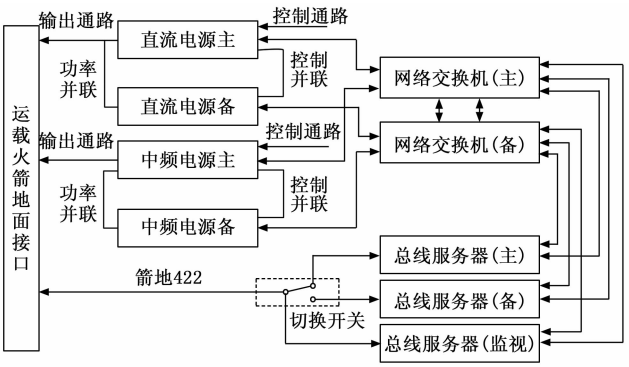

图 2 设备冗余原理图

或系统的故障，影响运载火箭的发射和控制。

冗余设计存在屏蔽单点、单通路、单模块故障的情况，为保证后续运载火箭发射和控制流程的可靠性，避免已经失效的模块引起假冗余设计，需要在后续任务开始前，对冗余设计进行屏蔽检查，通过导通绝缘检查，双冗余屏蔽，三选二冗余屏蔽等测试方式检查冗余设计情况，保证真冗余设计。

2 异型架构设计

发控处理机是运载火箭发控系统的核心，其采用 FPGA 与 CPU 组成的异型架构[12]实现系统的快速实时响应和发射控制逻辑判断。

2.1 硬件设计

发控处理机的原理图如图 3 所示，其主要由嵌入式总控模块 A、嵌入式总控模块 B、互联模块、开关量控制模块 1～3、开关量采集模块、模拟量采集模块和电源模块 1～3 组成，各个模块之间通过多组 M-LVDS[13-14]总

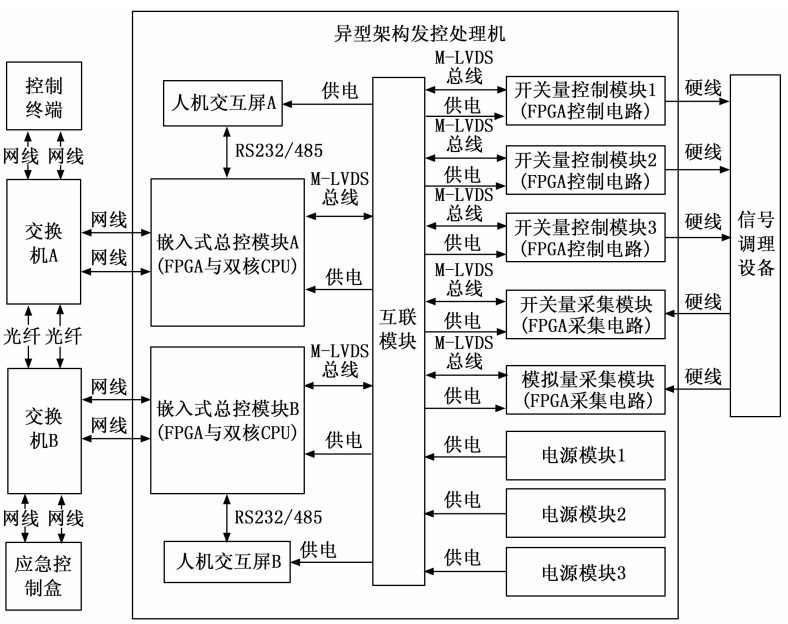

图 3 异型架构发控处理机原理图

线进行数据通信。

发控处理机采取多种冗余设计方法，来提高发控系统的可靠性。嵌入式总控模块 A 与嵌入式总控模块 B 组成冗余控制核心，实现主控模块的热备冗余控制；开关量控制模块 1～3 冗余控制输出，形成双冗余或三选二冗余控制模式，驱动外部冗余负载；电源模块 1～3 同时供电输出，形成三模块冗余供电，为发控处理机的可靠供电提供保障。

嵌入式总控模块采用 FPGA 和双核 CPU 的嵌入式 SOC 异型架构[15-16]，组成双冗余主控系统，实现发控处理机主控热备冗余。嵌入式总控模块 A 与嵌入式总控模块 B 均具有双冗余千兆网络接口、双 USB 接口、基于 USB 的调试接口、TF 卡接口、HDMI 接口、SFP 光纤接口、人机交互屏通信接口、系统复位接口、供电指示灯和状态指示灯。嵌入式总控模块的双冗余千兆网络接口与网络交换机连接实现嵌入式总控模块的网口冗余通信功能，提高网络接口通信的可靠性。嵌入式总控模块的人机交互屏通信接口与人机交互屏连接，将嵌入式总控模块的当班状态、故障状态、控制状态、信号采集状态进行显示，并接收人机交互屏的控制指令。嵌入式总控模块的 TF 卡用于控制数据和测试数据的记录和存储，供电指示灯指示板卡供电的状态，状态指示灯指示程序运行状态、主板当班状态和故障状态。

开关量和模拟量等功能模块采取模块化设计，均内置并行处理电路和编码处理电路，具有开关量输出控制、开关量和模拟量输入采集等功能。以上功能模块对外输出控制继电器等负载通断，对外完成开关量信号采集，对外完成电源搭壳漏电流采集，对外完成±50 V 电压采集，对外完成±20 mA 电流信号采集。M-LVDS 总线设置如表 1 所示，功能模块与功能模块，功能模块与嵌入式总控模块之间通过多路 M-LVDS 组成的网状总线架构进行通信，单功能模块独占一条 M-LVDS 总线，实现高速点到点无差别的数据通信，数据通信速率最高可以达到 100 Mbps，表中的总线 8～10 为备用扩展总线。功能模块与功能模块之间的高速数据通信，具备去中心化的通信能力，在嵌入式总控模块不在线的情况下，不会对功能模块的当前状态产生影响，其保持输出状态的稳定，避免嵌入式总控模块失效后引起功能模块输出状态全部失效，状态瞬间变化引发意外情况。功能模块的 M-LVDS 通信波特率、功能板编码、数据采集频率均可以进行拨码设置。

表 1　M-LVDS 总线设置表

总线	嵌入式总控模块 A	嵌入式总控模块 B	开关量控制模块 1	开关量控制模块 2	开关量控制模块 3	开关量采集模块	模拟量采集模块
总线 1	发送	接收	接收	接收	接收	接收	接收
总线 2	接收	发送	接收	接收	接收	接收	接收
总线 3	接收	接收	发送	接收	接收	接收	接收
总线 4	接收	接收	接收	发送	接收	接收	接收
总线 5	接收	接收	接收	接收	发送	接收	接收
总线 6	接收	接收	接收	接收	接收	发送	接收
总线 7	接收	接收	接收	接收	接收	接收	发送
总线 8	接收	接收	接收	接收	接收	接收	接收
总线 9	接收	接收	接收	接收	接收	接收	接收
总线 10	接收	接收	接收	接收	接收	接收	接收

开关量控制模块具备 96 路对外输出控制功能，每路通道采取隔离化设计，实现通道间隔离，每路通道均采取双冗余点号，开关量控制模块采用 FPGA 实现 96 路通道的并行控制和 96 路通道控制状态的并行采集功能，实时性强[17]，响应速度快，具备原始数据的初步解析和数据滤波等处理功能，采取直接测量通道实际输出电压的方式进行 96 路通道控制状态的并行采集，直接反馈信号源真实状态，不存在软件故障引发错误采集的问题。三块开关量控制模块组成三选二冗余和三冗余控制系统，两块开关量控制模块组成双冗余控制系统，嵌入式总控模块发送控制指令，开关量控制模块的编码由两部分组成，分别是功能模块类型编码和数量编码，三块开关量控制模块的数量编码分别为十六进制的 0×01，0×02，0×04；当嵌入式总控模块发送控制指令中的目标功能模块编码为 0×01，0×02，0×04 时，开关量控制模块响应指令，实现单控制通路控制；当嵌入式总控模块发送控制指令中的目标功能模块编码为 0×03，0×05，0×06 时，3 块开关量控制模块中的 2 块模块响应指令，实现双冗余控制；当嵌入式总控模块发送控制指令中的目标功能模块编码为 0×07 时，3 块开关量控制模块均响应指令，实现三选二冗余或三冗余控制；以此类推，实现多组双冗余和三冗余控制输出。

开关量采集模块具有开关量信号采集功能，如配置 2 块开关量采集模块组成冗余设计，借助 M-LVDS 的网络化设计，点到点的通信能力，功能模块与功能模块之间在嵌入式总控板不参与的情况下，完成数据的互通和逻辑计算，根据信号的保通或保断的要求输出状态给嵌入式总控模块或其它功能模块，然后由嵌入式总控模块或功能模块完成逻辑判断时限控制信号输出。开关量控制模块和开关量采集模块之间直接配合具备实现硬件级别的快速响应的功能，在不需要嵌入式总控模块 CPU 参与的情况下，实现时间精度敏感信号的特殊处理。模拟量采集模块具备漏电流检测、电压信号采集、弱电流信号采集和逻辑编程能力，开关量控制模块和模拟量采集模块在不需要嵌入式总控模块 CPU 参与的情况下，具备故障监测并快速输出控制的功能，实现微秒级快速故障处理，从而将故障引起的破坏程度降到最低。电源模块采取可热插拔的模块化三冗余供电设计，具有电源

保护和故障隔离报警功能，具备在线快速更换功能，增强系统供电安全。

2.2 软件设计

2.2.1 发控 FPGA 软件设计

发控 FPGA 软件是异型架构发控处理机内部嵌入式总控模块需要固化的 FPGA 程序，实现底层硬件的配置和搭建。发控 FPGA 软件主要是对 ZYNQ[18-19] 芯片的 ARM 内核进行相关配置，添加串口 IP 核，实现 ARM 与串口之间的通信链路。发控 FPGA 软件所在系统的环境图如图 4 所示。

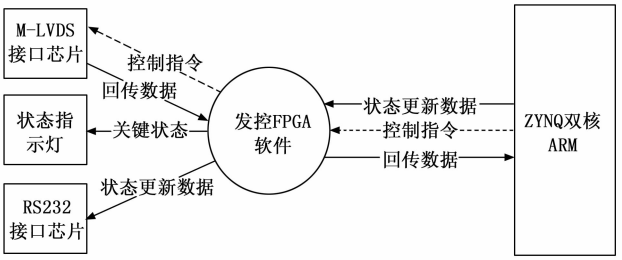

图 4 发控 FPGA 软件环境图

发控 FPGA 软件是多个 IP 核的互联搭建，它通过 AXI 总线与 ZYNQ 双核 ARM 相连，并使用高速串口与 10 路 M-LVDS 接口芯片、1 路 RS232 接口芯片相连，用于实现嵌入式总控板与开关量控制模块、开关量采集模块、模拟量采集模块和人机交互屏的数据通信。

FPGA 软件开发平台为 Vivado2019，主要对嵌入式总控模块的 ARM 核进行配置，添加 AXI 接口的 IP 核，实现 FPGA 例化串行接口，并将串行接口与 ARM 建立连接。发控 FPGA 软件 IP 组成关系见图 5 所示。

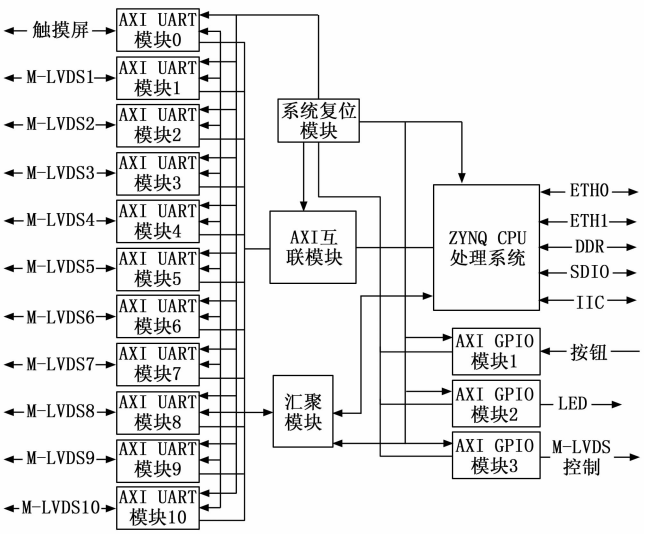

图 5 发控 FPGA 软件 IP 组成关系图

然后，在 Vivado 中将发控 FPGA 软件生成可下载 BIN 文件，然后导出硬件，将在 SDK 软件中的 FPGA 固化程序在 Petalinux 中进行相关系统配置后，随 Linux 内核一起下载到嵌入式发控模块的 SPI-FLASH 中；FPGA 软件在系统加电或复位后自动从 SPI-FLASH 中加载到 FPGA 上运行。

2.2.1 发控 CPU 软件设计

发控 CPU 软件是发控处理机内部嵌入式总控模块上运行的应用程序，该应用程序运行在 Linux 操作系统上，实现网络通信、逻辑判别、状态采集和指令输出控制等功能。

发控 CPU 软件采用的开发平台为 VS Code，软件运行系统版本为 Linux version 4.14.0，Linux 上的链接器和编译器版本为 gcc version 7.2.0 和 CMake 3.8.2。使用 Finalshell 软件远程登录 Linux 系统，进行程序的远程开发和远程编译。

发控 CPU 软件环境图见图 6 所示。发控 CPU 软件主要完成以太网网络通信，接收主机软件、配电控制软件和应急控制盒软件的网络指令和数据，并根据接收的指令和数据进行逻辑状态判断和更新，同时，接收发控处理机内部开关量采集模块和模拟量采集模块的数据，结合网络指令和数据进行逻辑判断和更新，向开关量控制模块输出控制指令，向网络转发状态信号，向人机交互屏转发关键状态信号。

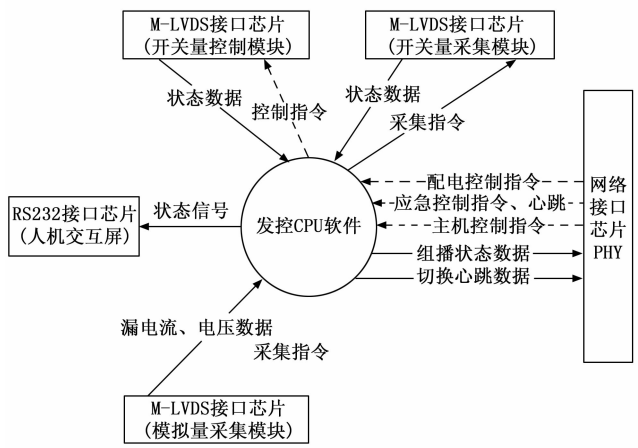

图 6 发控 CPU 软件环境图

发控 CPU 软件还发送网络心跳信号，可以完成主备监测和切换控制、发控逻辑判断、状态输出、日志数据保存和管理等功能，可向机械控制设备发送允许释放指令，接收应急控制盒发出的应急控制指令并执行。

2.3 人机界面设计

使用 DGUS 软件进行人机界面开发，DGUS 软件具备组件式开发模式，可以快速开发具备多功能的人机交互界面。

人机界面开发过程中，生成触控、变量、初始化、硬件参数等配置文件，与人机界面的字库文件、图标库

文件、界面图片库文件、音频文件等一起通过 SD 卡下载到人机交互屏的存储器上，完成人机界面设计。

2.4　冗余模式设计

发控处理机的主控双冗余[20]控制方法如图 7 所示。

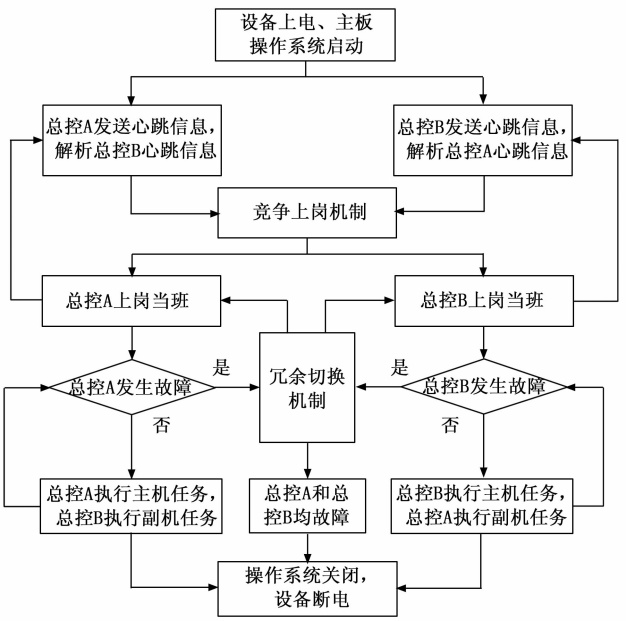

图 7　主控双冗余控制方法

嵌入式总控模块 A 和嵌入式总控模块 B 采取竞争上岗机制实现主备份的自动判别，上岗模块处于当班状态，执行主机任务，副岗模块处于不当班状态，执行副机任务。竞争上岗机制主要包含以下步骤，分别是 Linux 操作系统的启动运行和网络通信初始化，心跳信号的发送和接收，当班状态的判断和超时判别，上岗后的状态更新、参数设置和指令选择。嵌入式总控模块心跳信号的发送、接收和判别是不断循环的过程，可以全程实时监测冗余状态。

嵌入式总控模块 A 和嵌入式总控模块 B 采取冗余切换机制实现故障发生时的自动切换，可进行在线故障处理，故障消除后完成快速自恢复，对主机任务和副机任务进行自动判别和切换控制。冗余切换机制主要包含故障状态的判别和处理，当班状态的切换控制，主机任务和副机任务的切换控制，故障的实时监测和故障消除后的快速自恢复等步骤。嵌入式总控模块 A 和嵌入式总控模块 B 采取相同的硬件和软件设计，采取软件配置文件设置参数的方式进行功能自定义，方便更改和维护。

嵌入式总控模块的控制流程如图 8 所示，主要包含以下步骤：

1）设备上电，嵌入式总控模块 A 和嵌入式总控模块 B 操作系统和应用软件启动；

2）嵌入式总控模块 A 发送心跳信号，解析嵌入式总控模块 B 的心跳信息，嵌入式总控模块 B 发送心跳信息，解析嵌入式总控模块 A 的心跳信息；

3）嵌入式总控模块 A 和嵌入式总控模块 B 采取竞争上岗机制，优先完成系统启动、设备初始化和自检程序，并在设定的时间内未接收到对方的当班状态后，优先设置自身为当班状态，完成竞争上岗当班，并发送更

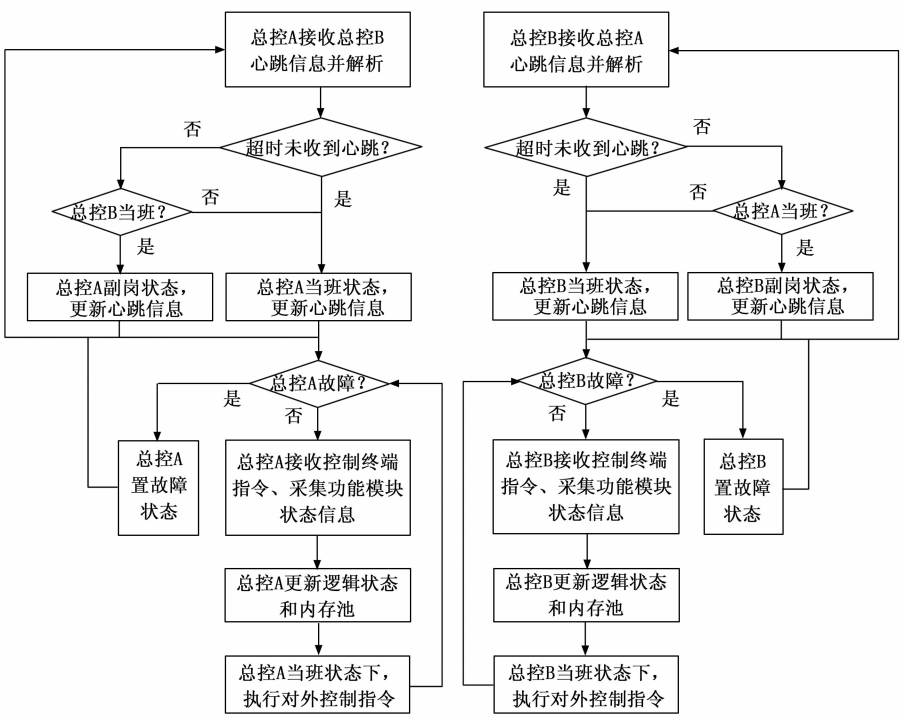

图 8　嵌入式总控模块控制流程

新后的心跳信息；

4）嵌入式总控模块 A 和嵌入式总控模块 B 确定是否上岗当班状态后，均在各自的心跳信息中完成是否当班的状态位更新，心跳信息的更新和解析是不断循环的过程，可以随时被触发；

5）嵌入式总控模块 A 和嵌入式总控模块 B 分别循环进行各自的健康状态检查[21]、故障定级和判决，在发生轻度故障后，进行报警处理，在发生严重的故障后，进行报警处理，并进入冗余切换机制，发生故障的总控模块更新故障状态位和当班状态位，切换到非当班状态，处于不当班状态且未发生严重故障的总控模块切换到当班状态，并更新心跳信息的当班状态位，故障总控模块在故障排除后，仅更新故障状态位，当班状态位维持不当班状态，除非当前当班总控模块故障或掉线才进入冗余切换机制内进行当班状态切换；

6）嵌入式总控模块 A 和嵌入式总控模块 B 在未发生故障的情况下，当班总控模块完成主机任务，不当班总控模块完成副机任务，主机任务接收终端的控制、测试和查询指令，更新逻辑状态和内存池信息，完成对功能模块的输出控制、状态查询和监控，副机任务接收终端的控制、测试和查询指令，更新逻辑状态和内存池信息，完成对功能模块的状态查询和监控，不进行功能模块的输出控制操作；

7）嵌入式总控模块 A 和嵌入式总控模块 B 关机，应用软件和操作系统关闭。

3 实验结果与分析

3.1 等效器环境搭建

在运载火箭地面发控系统与运载火箭对接之前，需要验证地面发控系统的功能和性能是否满足设计要求。因此，搭建基于异型架构的运载火箭发控系统等效器测试环境，进行等效器测试。等效器环境搭建完成后，除直流和中频电源外，发控系统设备总高度达到 16 U，与现有发控系统相比，机柜容量占比减少一半。等效器测试环境示意图如图 9 所示。

等效器测试环境主要由基于异型架构的运载火箭地面发控系统、等效器等终端设备、等效器交换机、电气等效器、控制等效器、动力系统等效器等设备、外系统等效器和牵制设备测试仪等组成。发射控制终端控制测试流程运行，等效器终端模拟控制箭上指令，模拟采集箭上信号和地面指令、状态信号。

3.2 结果分析

等效器功能测试项目和测试结果见表 2。从表中可见，经过 2～3 轮的等效器测试，基于异型架构的运载火箭地面发控系统满足新一代运载火箭发控系统功能和性能要求，箭地之间的网络、总线和硬线信号传输可靠，地面供配电、对箭电磁阀控制、外系统通信和应急

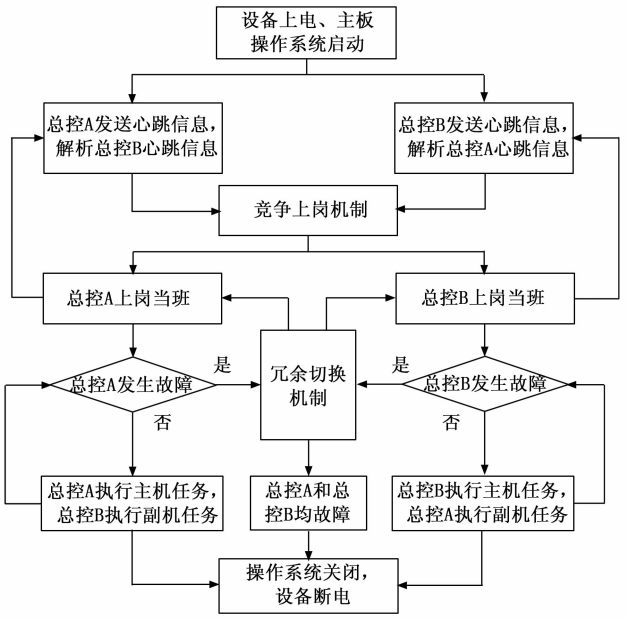

图 9 等效器测试环境示意图

控制功能正常，电源、发控处理机和总线服务器等设备的冗余功能运行正常，未发生漏发、误发信号的情况。计时牵制释放关键信号响应时间在 1 毫秒以内，达到微秒级。发控模块化的更换维护时间在 1 分钟以内即可完成。为更充分的验证地面发控系统的可靠性，后续将在箭地设备桌面联试试验和综合测试试验中进行进一步的测试。

表 2 等效器功能测试项目和结果

测试项目	测试次数	测试结果
箭地总线功能测试	3	合格
箭地 422 总线通信测试	3	合格
箭地直流和中频电源供配电测试	3	合格
箭地硬线指令功能测试	3	合格
箭地电磁阀控制功能测试	3	合格
消防、时统、起竖架、卫星等外系统功能测试	2	合格
应急控制功能测试	3	合格
设备冗余功能测试	3	合格

4 结束语

本文设计了基于异型架构的运载火箭发控系统，通过 FPGA 与多核 CPU 的冗余控制方案，提高了系统的响应速度，增强了系统可靠性，减小了系统体积，满足了新一代运载火箭的发射控制要求。本文考虑运载火箭发控系统等效器测试存在的测试覆盖性局限，后续将采取措施，进行更充分的系统功能验证。

参考文献：

[1] 张 磊. 载人航天运载火箭地面测试发射控制系统 [J]. 导弹与航天运载技术，2004，(1)：34－37.

[2] 李 刚，金志超，韩 峰. 长三甲系列运载火箭测试发射

控制技术 [J]. 导弹与航天运载技术，2019，(4)：68－75.
[3] 王雨萌，孙兆牛，连　盟，等. 适应低温火箭发射的长征五号系列运载火箭测发控架构 [J]. 导弹与航天运载技术，2021，(3)：26－30.
[4] 徐　昕，高　飞，韩秀利，等. 快速机动发射运载火箭测发控系统的设计分析和展望 [J]. 计算机测量与控制，2020，28 (10)：120－124.
[5] 陈　放，田建宇，王雨萌，等. 新一代大型运载火箭热备冗余 PLC 发控系统设计 [J]. 导弹与航天运载技术，2015，(5)：96－98.
[6] 韩　亮，张宏德，彭　越，等. 运载火箭地面一体化测发控系统设计 [J]. 计算机测量与控制，2021，29 (6)：5－8.
[7] 李　岩，蔡远文. 基于 PXI 总线技术的运载火箭测试发射控制系统研究 [J]. 航天控制，2005，23 (4)：64－69.
[8] 王　旭，荣　刚，常　曦，等. 低成本高集成一体化测发控系统设计研究 [J]. 宇航计测技术，2023，43 (6)：76－82.
[9] 张铮予，吴小宁. 日本艾普斯龙火箭的发射场测发控技术分析 [J]. 中国航天，2017，(10)：20－26.
[10] 徐明钊，袁乾臣，余亚平. 重型运载火箭测发控系统一体化设计研究 [C] //中国宇航学会深空探测技术专业委员会第九届学术年会. 杭州：中国宇航学会，2012：686－691.
[11] 任月慧. 运载火箭测发控技术未来发展与展望 [J]. 计算机测量与控制，2021，29 (6)：1－4.
[12] CHRISTIAN C. Architecture of the hyperledger blockchain fabric [C] // Proceedings of the Workshop on Distributed Cryptocurrencies and Consensus Ledgers. Chicago，USA：Association for Computing Machinery，2016：14－17.
[13] 向习莲. 基于 M-LVDS 总线的机载通信系统数字时钟设计与实现 [J]. 电子技术，2022，51 (6)：1－3.
[14] 赵　雷，路美娜，宋茂新，等. 基于 PCIe 和 M-LVDS 的数据传输系统设计与实现 [J]. 仪表技术与传感器，2023，(9)：104－111.
[15] 张雪皎，陈剑云. 基于 ZYNQ 的高速数据采集系统设计 [J]. 华东交通大学学报，2020，37 (6)：119－125.
[16] 戴李刚，张明亮，赵玲玲，等. 基于 LwIP 协议的电磁阀采集技术研究 [J]. 上海航天，2020，37 (S2)：193－196.
[17] 杨振雷，刘承敏，青先国，等. 基于 Zynq-7000 的千兆以太网传输系统设计与实现 [J]. 核技术，2021，44 (2)：020401－1－020401－8.
[18] XILIN X. Zynq-7000 Soc Data Sheet：Overview (DS190) [EB/OL]. (2018-07-02) [2023-02-01]. https：//docs.xilinx. com/v/u/en-US/ds190-Zynq-7000-Overview.
[19] WANG H，TANG C C，XI Z Z，et al. Research and development of radio-magnetotelluric signal acquisition instrument based on ZYNQ processor [J]. Journal of Central South University (Science and Technology)，2024，55 (1)：131－137.
[20] 谈学军，洪　刚，李建强，等. 双捷联冗余技术在长征二号丁运载火箭上的研发与实践 [J]. 上海航天，2016，33 (4)：1－9.
[21] 张晨光，刘巧珍，彭　越，等. 载人运载火箭测试发射控制网络系统设计及关键技术 [J]. 导弹与航天运载技术，2015，(2)：45－49.

(上接第 167 页)

[13] 郑闽锋，孙加康，龚凌诸，等. 垃圾焚烧锅炉二次风风速对 NO_ (x) 污染控制及热效率影响的研究 [J]. 锅炉技术，2023，54 (5)：8－16.
[14] 胡卫朋，韦振顺，杨锦颖，等. 基于 MQTT 协议的锅炉水质检测物联网控制系统设计 [J]. 科技通报，2024，40 (2)：108－112.
[15] 黄思林，李德波，苗建杰，等. 燃煤电厂锅炉受热面超温燃烧调整试验研究与工程应用 [J]. 环境工程，2023，41 (S2)：812－818.
[16] 毛宇涵，李来春，张　亮，等. 基于 Smith 预估控制和遗传算法优化的燃油蒸汽锅炉燃烧控制 [J]. 热能动力工程，2023，38 (3)：105－111.
[17] 王东风，朱为琦. 电站锅炉-汽轮机系统的 LPV 鲁棒 H_ (∞) /H_ (2) 变增益控制 [J]. 动力工程学报，2023，43 (4)：468－474.
[18] 王　超，张宝瑞，刘铠瑞，等. 超临界 660 MW 机组直流锅炉动态特性仿真研究 [J]. 热力发电，2024，53 (1)：124－133.
[19] 王　琦，钟　义，张力文，等. 基于 COLGWO 算法的 CFB 锅炉燃烧系统模型辨识 [J]. 控制工程，2023，30 (7)：1171－1179.
[20] 陈梦东，康　伟，张　楠，等. 蒸汽型高温固体储热系统建模与控制仿真研究 [J]. 热能动力工程，2024，39 (3)：82－91.
[21] 于洮民，庞力平，段立强. 混煤对二次再热锅炉汽温特性的影响 [J]. 华北电力大学学报：自然科学版，2022，49 (6)：92－99.
[22] 黄怡涵，徐　飞，郝　玲，等. 用于一次调频分析的汽包锅炉模型及参数在线确定方法 [J]. 中国电机工程学报，2023，43 (21)：8332－8343.
[23] 胡思敏. 电厂锅炉汽包水位预测和故障诊断方法的研究 [D]. 太原理工大学，2023.
[24] 杨　森，杨长春，王　彭，等. 锅炉炉膛含氧量神经元 PID 控制及其仿真 [J]. 计算机仿真，2024，41 (5)：112－115.
[25] 燕　尧，赵吉鹏，金志刚. 锅炉汽包水位智能控制算法研究与改进 [J]. 工业加热，2024，53 (6)：14－18.