

# 通用串行总线多功能故障注入设计

孔祥雷<sup>1</sup>, 冯凯强<sup>2</sup>

(1. 上海创景信息科技股份有限公司, 上海 200000;

2. 中北大学 电子测试技术国防科技重点实验室, 太原 030051)

**摘要:** 为验证航空航天系统中通信总线在出现故障后, 整个系统的稳定性、可靠性及容错性, 设计了一套通用总线故障注入系统, 系统将实现对各类通用串行总线的故障注入, 通过故障注入设备能够实现总线信号在物理层、电气层及协议层 3 个层面上的故障注入功能; 通过软硬件结合提出了一种通用串行总线故障注入方法, 以 FPGA 为基础, 利用 ADC 对信号进行采集, 利用 IP 核实现通用串行总线的协议解析, 利用 DAC 信号输出实现电气层故障调节, 利用电阻矩阵网络实现信号在物理层的故障注入; 同时通过上位机软件对故障注入设备进行系统控制及故障模拟; 经实验测试故障注入设备实现了通用串行总线的物理层、电气层及协议层的故障注入功能。

**关键词:** 通用总线; IP 核; 故障注入; 电气层; 协议层

## Design of Multifunctional Fault Injection for Universal Serial Bus

KONG Xianglei<sup>1</sup>, FENG Kaiqiang<sup>2</sup>

(1. Vision Microsystems (Shanghai) Co., Ltd., Shanghai 200000, China;

2. Key Laboratory of Electronic Testing Technology for National Defense Science and Technology, North University of China, Taiyuan 030051, China)

**Abstract:** To verify the stability, reliability, and fault tolerance of the aerospace system after a communication bus failure occurs, a universal bus fault injection system is designed. The system achieves fault injection for various universal serial buses. The fault injection equipment realizes fault injections for bus signals in the physical layer, electrical layer, and protocol layer; A universal serial bus fault injection method is proposed by combining the software and hardware of the system. Based on FPGA, using ADC to collect signals, using IP core to implement protocol analysis of universal serial bus, using DAC signal output to adjust faults in the electrical layer, and using resistance matrix network to inject signal faults in the physical layer; Simultaneously, the system control and fault simulation of fault injection equipment are carried out through the upper computer software; Through experimental testing, this fault injection device achieves fault injection of universal serial bus in the physical layer, electrical layer, and protocol layer.

**Keywords:** universal serial bus; IP core; fault injection; electrical layer; protocol layer

## 0 引言

通信总线作为航天器中各功能模块的信息交互工具, 其稳定性和可靠性在航天器能否稳定运行的重要保障。为了保证航天器中各功能模块在各种复杂环境中的可靠性和稳定性运行, 需要对系统进行全方位多维度的测试。其测试环境的搭建面临工序复杂、难度高、工作量巨大、时间周期长等问题<sup>[1]</sup>。为了解决通讯线路故障测试面临的难题, 需要提供一种非侵入式的测试手段, 使之能够独立于被测试设备, 并且测试设备能够模拟各种故障来仿真复杂环境可能造成的系统故障, 来验证被测

系统的鲁棒性及冗余性设计<sup>[2]</sup>。

国外在故障注入技术研究上比较早, 包括美国、德国等国家的高校和研究机构<sup>[3-4]</sup>, 国内的高校和科研机构起步晚但取得了比较好的效果, 包括哈工大、北航等<sup>[5-6]</sup>。国内的公司如北京旋极<sup>[7]</sup>、恒润科技等也取得了一定的成绩。但是各研究机构在故障注入技术的研究上不具有通化特点, 功能往往单一化, 这就造成搭建测试环境需要设备数量多, 接口复杂工作, 工序繁琐等缺点。

本文设计的通用串行总线故障注入设备能够从通信总线的物理层、电气层及协议层 3 个层面上模拟出复杂

收稿日期: 2024-06-18; 修回日期: 2024-07-25。

作者简介: 孔祥雷(1983-), 男, 硕士, 工程师。

引用格式: 孔祥雷, 冯凯强. 通用串行总线多功能故障注入设计[J]. 计算机测量与控制, 2025, 33(4): 67-74.

环境造成的各种故障。该设计的故障注入设备能够简化测试环境,降低系统测试难度、提高系统测试覆盖率,缩短测试周期,非常适合系统级稳定性测试。

## 1 故障注入设备的硬件设计

硬件系统设计分为 5 个模块,整体硬件架构设计如图 1 所示,包括信号调理运放模块、ADC 信号采集模块<sup>[8]</sup>、FPGA 处理模块、DAC 信号输出模块<sup>[9]</sup>、运放信号驱动模块、物理层电阻网络模块及以太网模块。

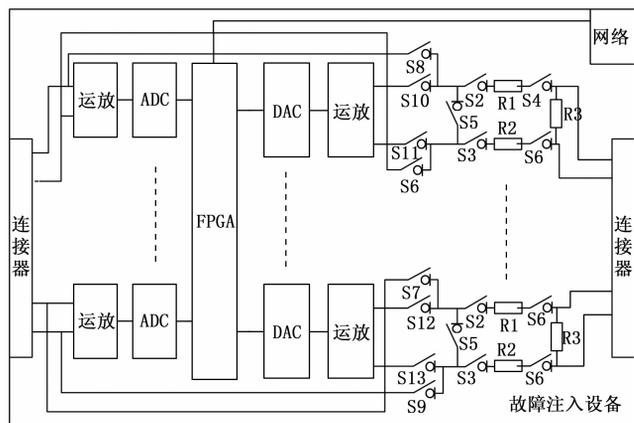


图 1 故障注入硬件架构设计方案

信号调理运放模块负责对输入总线信号的调理,可根据信号的幅值大小进行动态的调节缩放比例,对信号进行精确地缩放,保障进入 AD 模块的信号在量化的范围内,提高对线路信号的高精度采样。

ADC 信号采集模块负责总线信号的量化,将总线信号转化后输入给 FPGA 并进行逻辑高低电平的转化,该 ADC 模块选用高速率、16 位的高精度 AD 转化芯片,能够对原始线路的信号进行有效还原,包括信号的幅值、边沿斜率、共模电压以及过零点偏差等各种技术指标。

FPGA 处理模块是整个系统的核心,负责对量化信号转换为逻辑信号计逻辑“1”或“0”;负责对通信总线的逻辑信号进行协议解析,比如对 RS422 的起始位、数据位、校验位及停止位进行解析识别,根据故障配置寄存器对总线协议层进行故障注入,包括起始位、数据位、校验位及停止位;负责对总线信号电气层的故障注入,根据故障配置寄存器对信号电平进行故障注入,包括信号的差模幅值、共模幅值、斜率调节、波特率的调节、信号延迟调节以及信号线噪声注入等。负责 DAC 模块的控制,将故障注入后的逻辑值根据总线的协议标准转换为数字量化信号并发送给 DAC 模块;负责物理层的电阻网络的开关控制,根据故障配置寄存器可实现对电阻网络的可编程控制,实现信号线路上的断路、短路、串行阻抗、并行阻抗、信号线和地阻抗调节,并且阻抗可编程;负责故障注入设备和上位机网络通信解

析,将故障注入软件配置的各种故障类型解析出来,写入协议层故障配置寄存、电气层故障配置寄存器及物理层故障配置寄存器。

DAC 信号输出模块作为电气层故障注入的执行人,接收 FPGA 处理模块的控制对总线信号进行差模幅值,共模电压,上升沿下降沿时间,噪声等故障注入。

电阻网络模块<sup>[10]</sup>作为物理层故障注入的执行人,接收来自 FPGA 处理模块的控制,能够实现物理层信号的信号断路、信号间短路、信号串行阻抗、信号间并行阻抗、信号和地之间阻抗调节,外部噪声及外部信号等故障注入。

以太网网络模块<sup>[11]</sup>作为故障命令的接收者,通过千兆网络和上位机故障注入软件进行通信,接收来自故障注入软件的故障模拟信息。

## 2 故障注入 FPGA 设计

FPGA 选用 Xilinx<sup>[12]</sup>公司的 XC7Z045 作为主控制器,其具有内嵌 ARM 核以及丰富的逻辑资源能够满足系统需求。内嵌 ARM 核能够方便解析故障注入数据并配置故障逻辑,同时具有以太网控制器能够和上位机进行网络通信<sup>[13]</sup>。

图 2 为故障注入的整体逻辑设计,主要包括 8 个部分:故障配置寄存器、数据上传逻辑、ADC 控制量化逻辑、解码触发逻辑、协议层故障注入逻辑、电气故障注入逻辑、物理层故障注入逻辑、DAC 控制逻辑。

故障配置寄存器包括协议层故障配置寄存器、电气层故障配置寄存器、物理层故障配置寄存器及系统控制寄存器。

数据上传逻辑负责对信号线路采集的原始数据以及故障后的数据。其中原始数据包括原始信号的数字信号和模拟信号;故障后的数据包括故障注入后的数字量和模拟信号。

ADC 控制量化逻辑,主要负责控制 ADC 芯片实现模拟量到数字量的转换,并根据设定的高低电平阈值范围,确定总线幅值高电平数字量,总线幅值低电平数字量以及总线共模电压的数字量。并将量化的数据发送给电气层故障注入逻辑。

解码触发逻辑即总线解码 IP 核<sup>[14]</sup>,用于对总线解码实现对总线逻辑“1”或“0”的解析,将解码数据传给触发模块以及上传模块;同时根据故障配置寄存器结合总线输入数据触发故障注入执行。

协议层故障逻辑根据协议层故障配置寄存器实现总线数据替换(如 422 总线的起始位、数据位、校验位及停止位)、波特率调节(可将总线信号原始波特率进行±20%的速率调节)及信号数据输出延迟故障功能,并将故障后的数据发送给电气层故障逻辑。

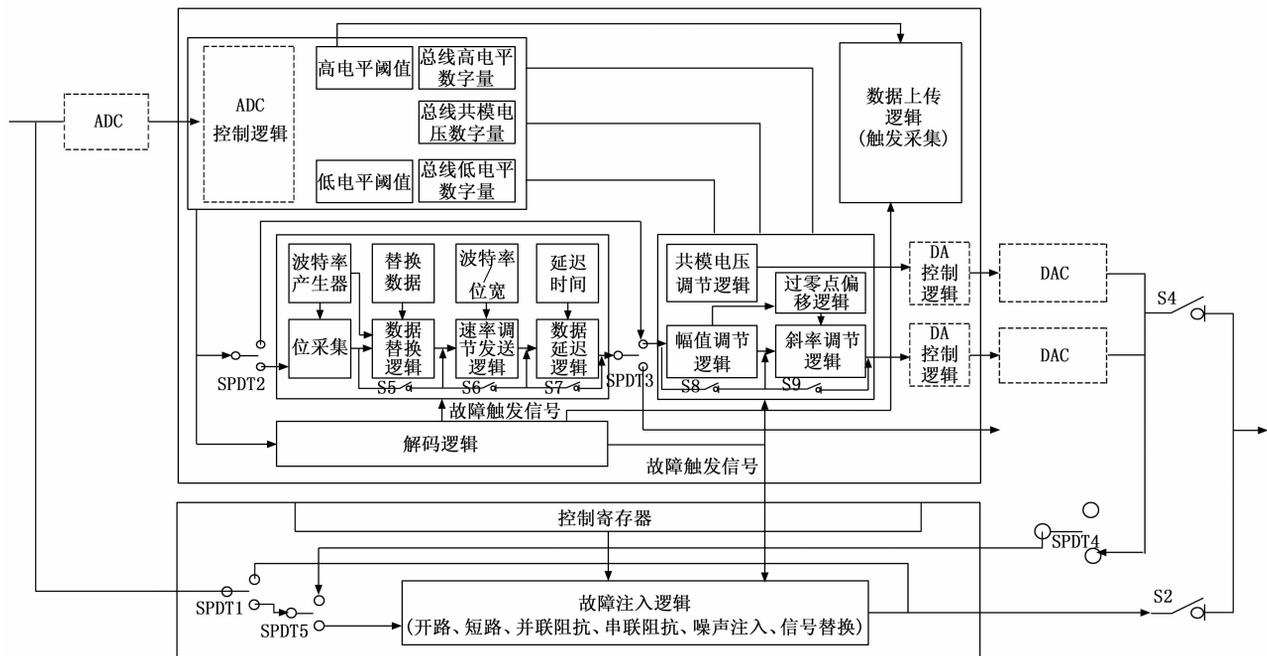


图 2 FPGA 逻辑总体设计

电气故障逻辑作为电气层故障注入的执行逻辑, 根据电气层故障配置寄存器实现信号线上差模幅值、共模电压、边沿斜率(上升沿、下降沿时间)及过零点偏移调节, 并将结果发送给 DA 控制逻辑进行输出<sup>[15]</sup>。

DA 控制逻辑负责将电气层输入的数字量发送给 DAC 芯片实现数字信号到模拟信号的转换, 进而实现线路信号协议、电平、斜率、波特率、噪声注入的功能。

物理层故障注入逻辑根据物理层故障配置寄存器实现线路上物理层故障注入的控制, 包括信号线断路、信号线短路、信号线串行阻抗及并行阻抗、信号线和地阻抗的调节功能。

### 2.1 协议层 FPGA 逻辑设计

协议层故障注入逻辑包括位采集逻辑、数据替换逻

辑、波特率调节逻辑及数据延迟逻辑共 4 部分功能逻辑。

其中, 位采集逻辑实现信号线路上的逻辑“1”或“0”的采集功能, 并发送给数据替换逻辑; 数据替换功能逻辑由数据替换掩码寄存器、数据替换寄存器、数据移位寄存器组成; 波特率调节功能逻辑由原始波特率设定寄存器、故障配置波特率寄存器、位延迟处理逻辑、位缓冲逻辑、波特率发生器以及位输出逻辑组成; 数据延迟功能逻辑由延迟时间寄存器及延迟输出逻辑组成。

协议层故障逻辑能够实现总线中数据位替换、波特率调节<sup>[16]</sup>、数据延迟功能<sup>[17]</sup>, 如图 3 所示。以串口为例, 位采集模块会根据端口波特率对信号线数据位进行采集, 并送入移位寄存器中, 当替换不使能时会直接将

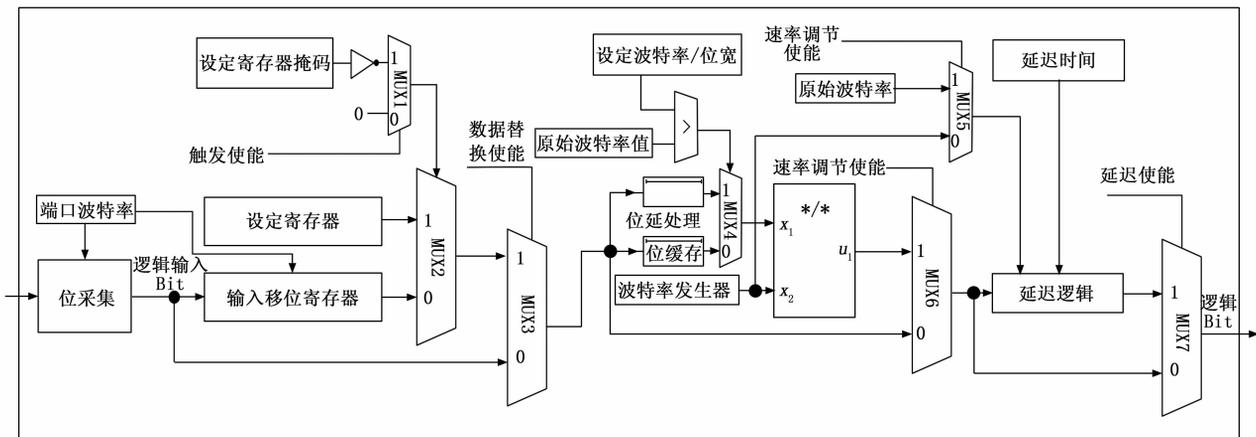


图 3 协议层故障逻辑设计

移位寄存器的数据发送给速率调节模块进行发送；当替换功能使能时，并且当触发信号使能时会根据寄存器设定触发掩码作为替换位输出还是以为寄存器输出的选择，如果设定替换并且相应的 bit 位掩码为 0 则从替换寄存器中输出相应的位，反之则从移位寄存器中输出相应的 bit 位；当波特率调节使能时，数据位会根据新的波特率进行位发送；当延时使能时，位将从延迟逻辑中取数据发送，延迟逻辑会根据延迟寄存器中设定的延迟时间对数据进行发送。

### 2.2 电气层 FPGA 逻辑设计

电气层 FPGA 逻辑主要由 4 部分构成：高电平故障模块、低电平故障模块、共模故障模块及斜率故障模块，如图 4 所示。

其中，高电平故障模块由总线高电平量化寄存器（信号线路上原始高电平的数字量）、高电平缩放系数寄存器以及故障设置高电平寄存器组成；低电平故障模块由总线低电平量化寄存器（信号线路上原始低电平的数字量）、低电平缩放系数寄存器以及故障设置低电平寄存器组成；共模电压故障模块由总线共模电压量化寄存器（信号线路上原始的共模电压）、共模电压缩放系数寄存器以及故障设置共模电压寄存器组成；斜率调节模块由逻辑电平选择器、边沿处理逻辑以及逻辑输出选择器组成。

电气层故障逻辑能够实现包括信号的差模高低电平

的固定电压输出和高电平缩放输出，信号的共模电压的设定输出及缩放输出<sup>[18]</sup>及信号边沿调节输出设定上升沿下降沿的时间<sup>[19]</sup>。当信号线上检测到高电平时，会根据配置参数对电平信号进行改变输出，例如高电平幅值改变，低电平幅值改变，以及信号边沿变化的改变。

当电气层故障注入的高电平故障、低电平故障、共模电压故障及斜率调节故障触发使能时，该逻辑接收来自 ADC 模块的高低电平的量化数据、根据故障配置寄存器的内容将故障后的量化数据发送给斜率调节模块，斜率调节模块根据采集模块输入的逻辑电平选择高低电平的量化值，并送入边沿处理逻辑，边沿处理逻辑根据设定的边沿步长时间进行斜率功能调节，并将量化后的数据输出给 DAC 模块；同时共模电压故障模块根据总线共模电压的量化值及共模电压故障配置进行共模电压的故障注入，并将故障注入后的量化值输出给 DAC 模块。

高电平的故障注入流程如图 5 所示，当故障使能时，检测线路上的高电平，当检测到高电平时，判断是否设置为高电平设置故障注入，是则按照设置的高电平值发出去，检测是否为电平缩放故障注入，是则按照设置的故障比率将高电平的量值发送出去。

图 6 为边沿的故障注入流程图，当故障使能时，检测线路上的信号是否出现边沿，当检测到上升沿时，设

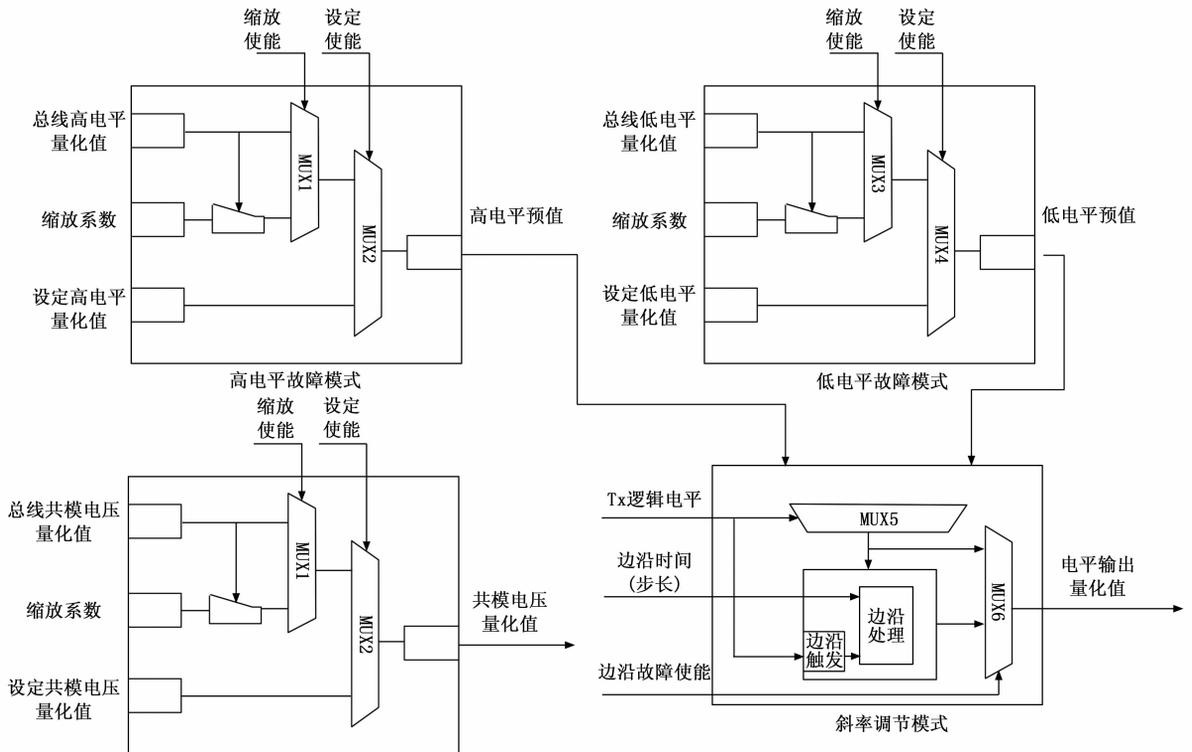


图 4 FPGA 电气层逻辑设计

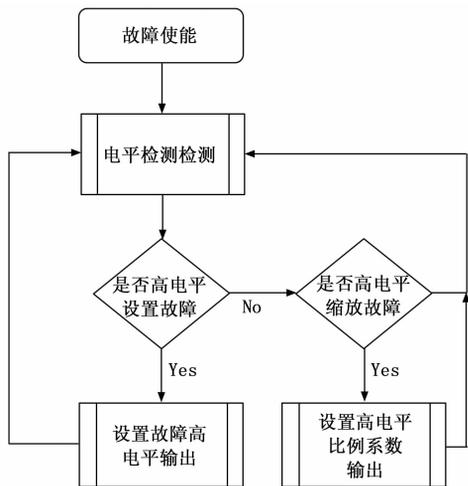


图 5 电平故障注入流程图

置上升沿的斜率(即上升步长)将数据发送给 DA 输出; 当检测到下降沿时, 设置下降沿的斜率(即下降步长)将数据发送给 DA 输出。

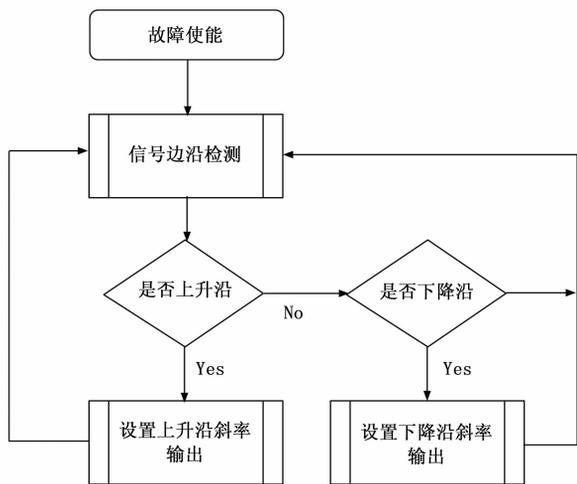


图 6 边沿故障注入流程图

### 2.3 物理层 FPGA 控制逻辑设计

物理层控制逻辑功能主要包括断路控制、短路控制、串行阻抗、并行阻抗、噪声注入<sup>[20]</sup>及外部信号替换控制, 如图 7 所示。

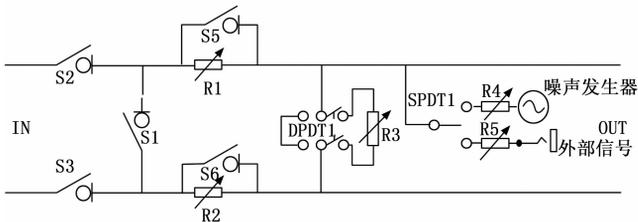


图 7 物理层 FPGA 控制逻辑设计

其中, 断路控制由线路的 S2 及 S3 继电器开关实现, 当继电器闭合信号线具有正常通信功能, 当继电器

开关开, 信号线实现了断路控制; 短路控制由继电器开关 S1 实现, 当继电器开 2 根信号线为开路功能正常, 当 S1 继电器开闭合, 则信号线实现了短路功能; 串行阻抗控制由 S5 继电器、R<sub>1</sub> 可编程电阻模块、S6 继电器及 R<sub>2</sub> 可编程电阻模块组成, 当 S5 及 S6 继电器开关闭合则线路功能正常, 当 S5 及 S6 继电器开时, 则线路通过可编程电阻 R<sub>1</sub> 和 R<sub>2</sub> 实现线路串行阻抗的调节功能; 并行阻抗控制由 DPDT1 双路继电器、R<sub>3</sub> 可编程电阻模块组成, 当 DPDT1 继电器开关开则线路功能正常, 当 DPDT1 继电器闭合时, 则线路通过可编程电阻 R<sub>3</sub> 实现信号线路并行阻抗的调节功能; 噪声注入功能由继电器 SPDT1、可编程电阻 R<sub>4</sub> 及 R<sub>5</sub> 组成, 当 SPDT1 选择噪声注入则线路信号会直接耦合噪声发生器的噪声信号; 是哪个 SPDT1 选择外部信号注入则线路信号会直接耦合外部信号。

### 2.4 触发模块 FPGA 逻辑设计

故障触发逻辑主要由时间触发<sup>[21]</sup>和数据流匹配触发<sup>[22]</sup>两种模式, 由 3 个功能模块构成: 数据流匹配、时间匹配以及故障计时逻辑, 如图 8 所示。

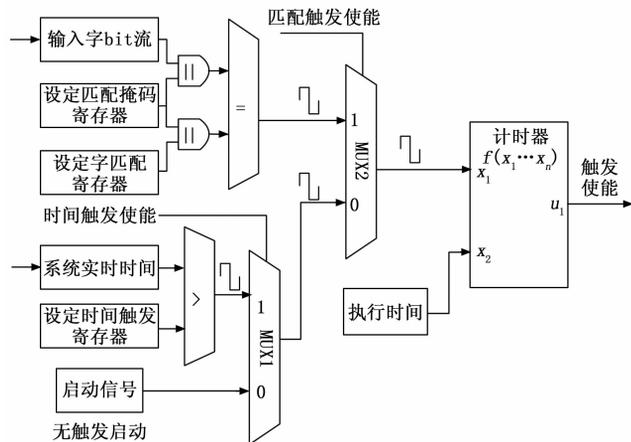


图 8 故障触发逻辑设计

其中, 数据匹配触发功能由输入 bit 流寄存器、匹配掩码寄存器以及数据匹配寄存器组成, 当信号线的数据位流满足设定数据匹配寄存器及匹配掩码寄存器位或相等, 则进行一次匹配触发信号; 时间匹配触发功能由系统实时时间寄存器、设定时间寄存器组成, 当系统实时时间和设定时间匹配寄存器相等则进行一次匹配触发信号; 数据匹配触发信号及时间匹配触发信号由匹配模式选择后进入时间逻辑; 故障执行逻辑由执行时间寄存器及计数器逻辑两部分组成。

匹配触发根据配置的匹配字和输入字比对产生匹配触发, 并输入给故障计时单元产生触发使能。时间触发根据系统时间和设定时间进行比对产生时间触发信号, 并将信号输入故障计时根据故障执行时间产生触发使能

信号，触发使能信号输出给协议层故障逻辑、电气层故障逻辑以及物理层故障逻辑，进而实现各层面的故障功能。

### 2.5 数据上传 FPGA 逻辑设计

数据上传逻辑主要由故障前的模拟信号上传逻辑，故障后的模拟信号上传逻辑，故障前数字信号上传逻辑及故障后数字信号上传逻辑构成<sup>[23]</sup>，如图 9 所示。

其中，模拟信号上传逻辑由上传使能控制开关 S1、滤波器逻辑模块，采样分频器模块以及触发采集模块组成；数字信号上传逻辑由触发采集使能控制开关 S3、上传触发模块及数据缓存模块组成。

信号线上模拟量上传使能时，ADC 输出的量化值经过滤波器逻辑后进入采样分频器，根据采样分频器的设置，量化后的数据会进行分频点上传，将分频采样的数据发送给触发逻辑，触发逻辑会根据电平/边沿寄存器及触发位置寄存器的配置选择将数据发送给数据缓冲模块。

信号线上数字量上传使能时，并且触发信号使不能时将逻辑解析模块输出的逻辑电平发送给缓冲模块；数字量上传使能时，并且触发信号使也能时，触发逻辑会根据触发字节寄存器及触发位置寄存器的配置选择将数据发送给数据缓冲模块。

由于本逻辑将故障前后的模拟信号都上传，因此能

够在模拟信号上对故障前和故障后信号进行显示对比，同时该上传逻辑具有采样分频功能<sup>[24]</sup>，实现不同采样深度的信号对比呈现。同时数字信号的数据上传逻辑与模拟信号数据上传，都包括了触发模式选择功能，并且具有触发位置以及触发深度自动调节功能。

### 3 故障执行软件设计

故障执行软件运行在 FPGA 的 ARM 中<sup>[25]</sup>，该软件通过 TCP/IP 通信协议和上位机进行通信。该软件功能包括以太网数据接收、协议解析、故障配置命令（协议层配置、电气层配置、物理层配置）及控制命令（故障执行逻辑启动、停止、数据上传）。

软件启动后，启动 Socket Client 程序，等待和上位机 Socket Server 建立连接。当 TCP 握手建立后，软件等待上位机的数据。软件根据上位机软件下发的数据帧进行解析，如果为故障配置帧则对协议层配置寄存器、电气层配置寄存器及物理层配置寄存器进行相应的故障功能配置；如果是控制命令则对故障执行逻辑进行启动、停止或者数据上传的控制，如果是启动命令，则会根据故障配置寄存器的相应功能启动故障执行逻辑的相应功能，包括协议层、电气层及物理层的故障执行功能；如果是停止命令则会停止当前正在执行的故障执行功能。如果是数据上传命令，则会根据

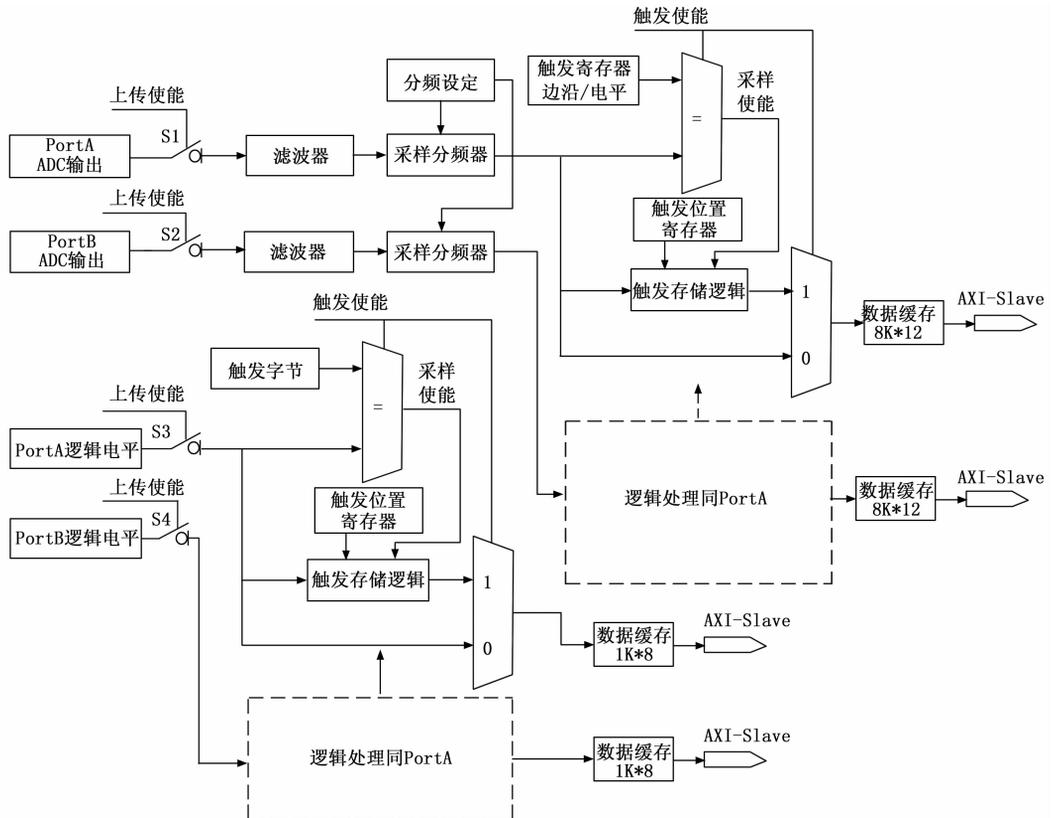


图 9 数据上传 FPGA 逻辑

数据上传的类型, 选择不同的端口、模拟数据、数字数据、故障后的模拟数据及故障后的数字数据进行上传, 如图 10 所示。

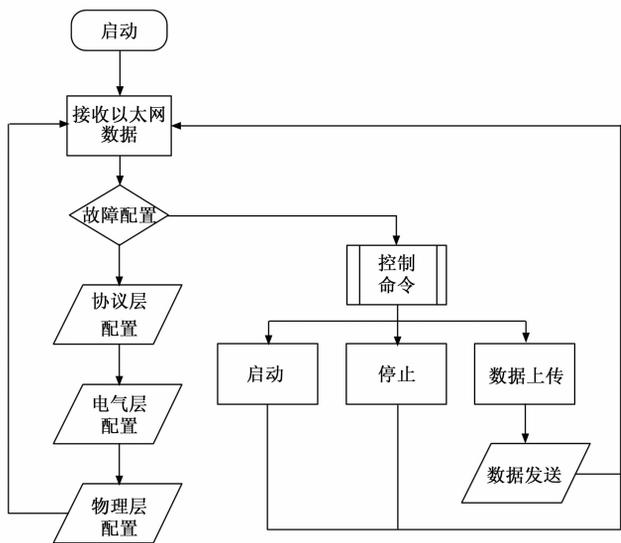


图 10 故障执行软件设计

#### 4 故障功能验证

验证环境采用两个标准 RS422 收发模块用于模拟被测设备的接口, 通过使用故障注入设备来模拟两个被测接口通信时可能出现的各种故障。测试步骤如下: 首先将两个标准 USB 转 RS422 收发模块分别接入自研故障注入设备的输入和输出端口, 其次通过以太网线连接故障注入设备(网口在设备背面)和 PC 机的网口连接; 然后将设备通过 220 V 的供电线接入电源, 完成验证环境的准备。启动故障注入设备的开关, 等待设备故障执行软件的运行, 当软件启动后系统指示灯会闪烁。然后启动 PC 机的故障配置软件, 连接故障注入设备, 当 PC 机和故障注入设备建立 TCP 连接后, 编辑故障注入参数, 设置协议层、电气层、物理层故障参数以及故障执行时间。设定好参数后, 点击故障注入软件的启动按钮。打开两个串口调试助手, 分别对应两个 RS422 接口, 设置两个串口调试助手的发送数据, 启动发送。

本文以故障注入设备的第 1 通道作为测试对象, 在无故障配置时, 两个 RS422 模块能够正常通信。

首先对物理层故障注入进行测试, 断开标准 RS422 和故障注入设备, 使用万用表对故障注入设备输入和输出总线阻抗进行测量, 通过上位机故障注入软件分别设置串行阻抗 100 Ω、并行阻抗 1 kΩ、断路、短路功能并分别启动故障注入功能, 使用万用表分别测量结果为 102 Ω (2 Ω 为接口线路误差)、1 008 Ω、无穷大、以及 2 Ω 的测量值。对电气层故障注入进行测试, 连接

RS422 和故障注入设备, 并将示波器探头分别连接故障注入的输入正信号及输出正信号, 通过上位机故障注入软件设置总线电平为 6 V 并启动故障注入功能, 当使用串口调试助手发送数据时, 卡观察示波器信号对比如图 11 所示, 输入端为 4.5 V 输出端为 5.98 V, 为设定的总线故障电平。

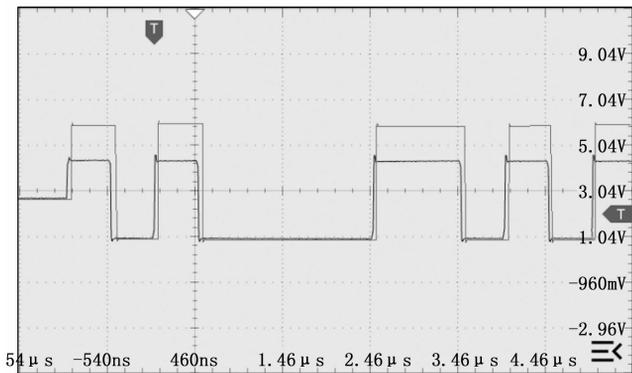


图 11 幅值故障注入

通过上位机故障注入软件设置总线电平上升沿故障注入, 设置上升沿的步长 0.2 V (DA 输出为 10 ns 一个步长周期), 启动故障注入功能, 当使用串口调试助手发送数据时, 卡观察示波器信号对比, 如图 12 所示, 信号上升沿时间大约为 200 ns。

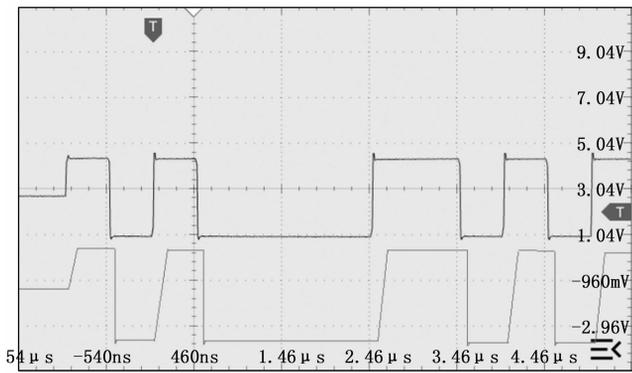


图 12 斜率故障注入

对协议层故障注入进行测试, 连接 RS422 和故障注入设备, 通过上位机故障注入软件对协议层故障注入进行测试。分别在串口调试助手的发送区域编辑发送数据为 0×01 02 03 04 05 06 07 08 以及 0×11 12 13 14 15 16 17 18, 如图 13 所示。在协议层故障配置时, 对第三个字节 0×03 进行数据替换故障, 替换成 0×AA, 然后对端口 2 进行协议层的故障配置, 将第三个字节 0×13 进行数据替换故障, 替换成 0×BB。启动故障注入功能后, 分别点击串口调试助手的发送按钮, 随后可看到串口调试助手的接收区域分别为 0×11 12 BB 14 15

16 17 18 以及 0×01 02 AA 04 05 06 07 08, 因此发送数据在经过故障注入设备后按照故障注入软件的故障注入配置分别将第三个数据替换成了 0×AA 及 0×BB 实现了协议层故障注入功能。



图 13 故障注入测试结果

由于篇幅有限, 不对所有的故障类型进行单项附录实验测试数据, 仅对比较重要的故障类型进行故障测试的实验数据举证。

### 5 结束语

实验结果表明, 本设计能够对通用串行总线在物理层面实现线路的断路、短路、串行阻抗、并行阻抗故障模拟; 能够在电气层面实现差模电压、共模电压、边沿斜率的故障模拟; 能够在协议层上实现数据替换、数据延迟, 波特率调节的故障模拟。通过本设计有助于提高系统测试覆盖率, 减少各种测试环境的搭建难度, 大大提高了测试效率缩短了验证周期。同时能够验证整个系统在复杂环境中应对各种故障情况下的可靠性、稳定性。此外由于故障设备通过以太网和上位机软件进行通信, 具有拓展便捷, 应用范围广等优点。

### 参考文献:

[1] 柳 卯. 通讯故障注入测试系统的研究与实现 [D]. 广州: 中山大学, 2010.

[2] 杨森彬. 航天总线容错性能测试平台的研究与实现 [D]. 哈尔滨: 哈尔滨工业大学, 2013.

[3] LEE D, NA J. A novel simulation fault injection method for dependability analysis [J]. IEEE Design & Test of Computers, 2009, 26 (6): 50 - 61.

[4] STEININGER A, SCHERRER C. Identifying efficient combinations of error detection mechanisms based on results of fault injection experiments [J]. IEEE Transactions on Computers, 2002, 52 (2): 235 - 239.

[5] 黄 旭, 陈冬岩, 李 会, 等. FIPES: 一种新的故障注入评测无线传感器网络及其可靠性方法 [J]. 仪器仪表学报, 2012, 33 (2): 369 - 376.

[6] 张晓敏, 翟正军, 马捷中. 基于 CPLD 控制的故障注入器

的设计与实现 [J]. 计算机工程与设计, 2009, 30 (17): 3921 - 3924.

[7] 王 菁. 基于 ARINC 规范的导航仿真器多层次故障注入方法研究 [D]. 天津: 中国民航大学, 2014.

[8] 简志景, 梁 昊. 一种基于 FPGA 的多通道数据采集系统设计 [J]. 信息技术与网络安全, 2020, 39 (9): 6 - 11.

[9] 高野军, 武福存. 基于国产 FPGA 及 DAC 的任意波形发生器的设计 [J]. 智能仪器与传感技术, 2017, 25 (8): 304 - 308.

[10] 赵桂明. 基于继电器模块的程控电阻发生器 [J]. 计量技术, 2017 (4): 30 - 31.

[11] 刘 清. 船舶控制系统故障模拟及诊断装备的研究 [D]. 长沙: 湖南大学, 2015.

[12] Xilinx. Zynq-7000 all programmable SoC (Z-7030, Z-7035, Z-7045, and Z-7100): DC and AC switching characteristics [S]. Xilinx, 2015: 1 - 3.

[13] 何 宾, 张艳辉. Xilinx Zynq-7000 嵌入式系统设计与实现 [M]. 北京: 电子工业出版社, 2016.

[14] 石 敏, 莫锦辉, 易清明. 支持多从机全双工通信的 IP 核互联模型 [J]. 航天控制, 2018, 36 (4): 82 - 88.

[15] Analog Devices. DataShhet AD9706 175 MSPS TxDAC digital-to-analog converters [Z]. ADI. 2023: 30 - 42.

[16] 吴志勇, 郭元兴, 刘雨沁. 基于 FPGA 的波特率联系可调的 UART 接口设计 [J]. 通信技术, 2018, 51 (1): 252 - 256.

[17] 樊智勇, 李 季, 刘 涛. 航电中继系统多通道 ARINC429 总线故障注入方法 [J]. 计算机测量与控制, 2021, 29 (8): 16 - 20.

[18] 吴娜娜, 常敬先, 刘 鑫, 等. 基于 FPGA 的双通道幅频可调波形发生器 [J]. 设计研发, 2022, 1: 26 - 34.

[19] 邓耀华, 吴黎明, 张力锴, 等. 基于 FPGA 的双 DDS 任意波形发生器设计与杂散噪声抑制方法 [J]. 仪器仪表学报, 2009, 30 (11): 2255 - 2261.

[20] 江兴盟, 胡代弟. 一种基于 FPGA 的白噪声发生器的设计与实现 [J]. 电子电路设计与方案, 2020, 9: 6 - 8.

[21] 赵 江, 陈又新, 黄玉珍, 等. 重离子加速器同步定时触发系统的实现 [J]. 原子能科学技术, 2014, 48 (10): 1899 - 1903.

[22] 孙旌旗, 王厚军, 戴志坚. 基于 FPGA 的逻辑分析仪连续触发模块设计 [J]. 电子测试, 2010 (11): 38 - 42.

[23] 赵 佳, 任 伟, 杨 勇, 等. 基于 FPGA 的示波记录仪采集模式设计 [J]. 电子测量技术, 2020, 43 (11): 132 - 137.

[24] 张 凡, 黄 浩, 朱铁柱. 基于 FPGA 的口袋实验装置示波器设计 [J]. 电子设计工程, 2021, 29 (13): 174 - 179.

[25] Xilinx. PetaLinux tools documentation reference guide. UG1144 (v2020.2) [Z]. Xilinx, 2020: 115 - 121.