测试与故障诊断

文章编号:1671-4598(2025)02-0044-10 中图分类号:TP202 DOI:10.16526/j. cnki.11-4762/tp.2025.02.007

文献标识码:A

面向主动降噪验证的 AD/DA 测试平台设计

郭振伟¹、周静雷^{1,2}、付中华^{2,3}、李腾飞²

(1. 西安工程大学 电子信息学院,西安 710600; 2. 西安讯飞超脑信息科技有限公司,西安 710076; 3. 西北工业大学 计算机学院, 西安 710072)

摘要:针对主动降噪算法程序调试难度大、相关滤波器结构可视化程度差、硬件平台底噪大的问题,设计了一款底 噪小、程序可视化程度高、搭建模型简单的 AD/DA 硬件验证平台 (AKM 平台);相比较传统的 ANC 调试过程,AKM 平台在降噪算法验证过程中不需要编写程序,仅需要基于 Simulink HDL 模块化工具搭建仿真模型,生成 Bitstream 文 件,将其烧录到验证平台即可实现算法的验证,有效避免了开发者编写和调试程序过程的复杂性,最终实现了一款操作 高效的 ANC 算法验证平台;实验结果表明,该系统在输入激励信号为 1 kHz 100 mV,采样率为 32 kHz 24 bit 的条件 下,测试输出信号的总谐波失真为 0.005 217%; 信噪比为 98.295 dB; 在不输入任何激励信号的情况下,系统平台的底 噪为 5.360 µVrms。

关键词: ANC 验证; ADDA 平台; 无需编程; 总谐波失真小; 低失真; 底噪小

AD/DA Test Platform Design for ANC Verification

GUO Zhenwei¹, ZHOU Jinglei^{1,2}, FU Zhonghua^{2,3}, LI Tengfei²

(1. College of Electronic Information, Xi'an Polytechnic University, Xi'an 710600, China;

2. Xi'an iFLYTEK Hyper-brain Information Technology Co., Xi'an 710076, China;

3. Computer Science and Technology, Northwestern Polytechnical University, Xi'an 710072, China)

Abstract: Aiming at the problems of difficult debugging of active noise cancellation (ANC) algorithm program, poor visualization of related filter structures, and large bottom noise of hardware platforms, an AD/DA hardware validation platform (AKM platform) with small bottom noise, high program visualization, and easy to build model is designed. Compared with traditional ANC debugging process, the AKM platform does not require to write a program during the verification process of noise reduction algorithm, but only needs to build a simulation model based on the Simulink HDL modularization tool, generate a Bitstream file, and then burn it into the verification platform to realize the verification of the algorithm, which effectively avoids the complexity of developers writing and debugging programs, and ultimately realizes an efficient verification platform of the ANC algorithm. Experimental results show that the total harmonic distortion of output signal is 0.005 217% and the signal-to-noise ratio is 98.295 dB, with an input signal of 1 kHz 100 mV, and a sampling rate of 32 kHz and a precision of 24 bits, and the floor noise of the platform is 5.360 μ Vrms without any input signal.

Keywords: ANC verification; AD/DA platform; unnecessary programming; low total harmonic distortion; low distortion: low floor noise

0 引言

随着经济的发展和城市化的不断推进,城市噪声给 人们带来了各种各样的问题。长期暴露在噪声环境下, 会干扰人们的正常生活和工作,在超过正常值的噪声下, 长期生活会严重损害人们的身心安全[1]。为了保护人耳 免受高压噪声的影响,采用隔音材料或吸声材料来隔离 噪声,这种被动隔离噪声的方法被称为被动噪声控制。 被动降噪的方法对抑制中高频段的噪声有显著效果[2], 但随着噪声频率的降低,材料的吸声和隔声性能也随之

收稿日期:2023-12-21; 修回日期:2024-01-04。

作者简介:郭振伟(1998-),男,硕士。

通讯作者:周静雷(1978-),男,博士,副教授。

引用格式:郭振伟,周静雷,付中华,等.面向主动降噪验证的 AD/DA 测试平台设计[J].计算机测量与控制,2025,33(2):44 - 53.

下降^[3]。为了解决上述问题,主动噪声控制技术 (ANC, active noise cancellation) 得到了发展,主动噪声控制具 有消除低频噪声的潜力,有助于解决此类噪声问题,它 已成为提高生活质量的重要手段^[4]。主动噪声控制技术 的原理是利用声音的相消干涉,主动产生一个声场来抵 消另一个现有的声场,当它们同幅反相时,两列声波相 互叠加抵消,从而降低噪声的影响^[5-13]。近年来,基于 自适应滤波技术的 ANC 技术不断发展和完善,逐渐开 始应用在实际生产和生活中, ANC 技术已在头戴式和 入耳式耳机等商业领域得到成功应用^[14-16]。

目前国内外各研究机构常用来研究主动噪声控制算 法的开发平台存在一定的不足之处。美国 TI 公司开发 的 TLV320AIC23B 音频开发平台适合噪声环境下采样 精度较低的相关空间音频降噪,但其具有较大的延迟和 较低的采样率,不适合高采样精度,低延迟的 ANC 耳 机系统应用, 文献 [17] 在复杂声场下的主动噪声控制 技术研究中得到了应用验证。恒玄科技开发的 BES 系 列 CODEC 芯片已被华为、荣耀及小米等公司商用化到 耳机和智能穿戴中。但其自主开发的 ANC 算法验证平 台存在程序调试难,底噪较大的问题,在耳机降噪方面 的硬件优化还有提升的空间。ADI 公司的开发的 ADAU 系列 CODEC 音频开发平台,其硬件电路低噪, 系统延迟和采样精度都具有优异的表现,但 ADAU 系 列音频开发平台通道数少,不支持768K采样率,集成 的硬件 GUI 配置界面,无法自主修改底层驱动配置和 相关滤波器的设置,不适合底层的开发和其他主动降噪 领域的开发。

基于上述 ANC 验证平台存在的缺点,从以下几方 面对 AKM 验证平台做了改进,具体描述如下:

1) 针对已有验证系统底噪大的问题,采用了高电 源电压抑制比 (PSRR, power supply rejection ratio) 的 低压差线性稳压电源 (LDO, low dropout regulator)。 另外在系统电源给模拟电源和数字电源连接处串联电感 形成低通滤波器滤波的方法,降低了验证平台的电源 底噪。

2)针对I2S多通道数字信号在时序传输数据的过程中,出现的时钟延迟错位及电路振铃的问题,加入了时钟缓冲电路,采取了方波时延阈值整形的模块化设计,使电路振铃问题得到了改善。

3)采取 FPGA 实时目标机和硬件电路相结合的 Simulink 实时仿真模型控制策略,实现了 ANC 算法验 证过程中无需编写脚本的操作。

1 系统结构及原理

ANC 算法验证系统的总体组成如图 1 所示,该系统可分为 3 个部分: 1)用于实现平台数据处理和运行

的 FPGA 实时目标机,作用是作为主控实现信号采集 和处理;2)用于电声测试的头和躯干模拟器(人工头) 及相关音响和麦克风设备;3)由系统供电、多通道麦 克风、A/D和 D/A 以及多通道功放组成的硬件电路, 此部分是设计的主体部分。



图 1 ANC 算法验证平台

1.1 ANC 降噪原理

在主动噪声控制系统中,图2左图介绍了具有单参 考传感器、次级声源和误差传感器组成的前馈 ANC 控 制系统,右图介绍了反馈 ANC 控制系统。ANC 算法验 证平台中,噪声源由相关音响产生,并通过空气向静音 室四周传播,产生初级噪声。在前馈 ANC 系统中,参 考传感器采集与初级噪声相关性很强的参考信号,通过 控制器产生控制信号,由控制信号驱动扬声器产生次级 声源,次级声源与初级噪声在静音区误差传感器处发生 相消干涉,前馈控制器根据误差传感器采集到的误差信 号 e(n) 和参考信号 x(n) 选择调整合适的滤波器系数控 制次级信号,使误差传感器区域的静音噪声能量最小, 从而达到降低噪声的目的。在反馈 ANC 系统中,反馈 控制器根据误差传感器采集到的误差信号选择调整合适 的控制信号驱动次级扬声器产生次级声源与初级声源发 生相消干涉, 使误差传感器区域的静音噪声能量最小, 从而达到降低噪声的目的。ANC 算法中最重要的部分 就是滤波器系数适时选择和调整。另外 ANC 算法的实 时收敛速度以及处理数据的精度对硬件电路有很高的要 求,需要用到采样精度高、采样速率快、底噪小、信噪 比高的 ADC 和 DAC。



图 2 主动噪声控制系统

1.2 ANC 控制系统硬件电路

ANC 控制系统硬件电路如图 3 所示。系统下位机 硬件电路主要包括:与 Simulink HDL 库相关联的 FP-GA 实时目标机和 I/O 引脚输出板卡、Mic 前置信号调 理电路、ADC 硬件电路、DAC 硬件电路、差分功率放 大电路,以及系统电源。下位机硬件电路是待设计的算 法验证电路,其中 FPGA 板卡模块和 I/O 引脚输出板 卡是目标机自带的硬件电路。

在系统运行时,参考麦克风传感器产生与初级噪声 强相关性很强的参考信号,被称为初级信号。初级信号 经过 Mic 前置信号调理电路被差分放大,然后由 ADC 硬件电路采集,ADC 硬件电路通过集成电路内置音频 总线 (I2S, inter-ic sound)传输给 FPGA 实时目标机, 经过 FPGA 实时目标机内相关 ANC 算法控制器更新滤 波器系数后,产生相应的次级声源信号,次级声源通过 DAC 数模转换电路送到差分功率放大电路中,进而驱 动次级扬声器产生次级声源,次级声源与初级噪声在静 音区误差传感器处发生相消干涉,进而起到降噪的效 果。上位机 ANC 算法模型主要使用 Simulink HDL 库 模块搭建。用户在 PC 上位机操作图形界面搭建实时仿 真模型^[18-20],观察仿真模型数据,完成相关的测试流程 并记录测试结果。

2 系统硬件设计

2.1 Mic 信号调理电路

由于麦克风采集到的初级音频信号的声压较小,无 法被 ADC 直接采集,需要经过信号调理电路放大、偏 置和差分处理后才能被 A/D 模数转换电路采集。差分 放大电路可以有效地抑制共模噪声,使正负极直流电压 相互抵消,从而提高信号的强度和清晰度。另外差分放 大电路也可以为信号调理电路提供更大的动态范围和信 噪比。信号调理电路采用 ADA4084 运放构成增益可调 的差分放大电路,其 4.6 V/μs 的压摆率和在 A_v=100 时,15.9 MHz 的增益带宽积适合用于音频 A/D转换电 路的前级缓冲。Mic 信号调理电路如图 4 所示。

在 Mic 信号调理电路放大初级音频信号的过程中, 通过 R_6 、 R_7 、 C_9 、 C_{10} 的连接与断开,改变输入输出信 号模式的切换。当连接 R_6 、 R_7 、 R_8 、 C_9 和 C_{10} 时,信 号调理电路为差分输入,差分输出模式;当断开 R_6 时, 信号调理电路为单端输入,单端输出模式;当连接 R_6 , 断开 R_7 时信号调理电路为单端输入,差分输出模式。 通过改变 R_{12} , R_{13} 以及两个电位器的阻值来改变初级音 频信号电压增益的大小。在信号调理过程中通过将放大 器与直流偏置电压 FBIAS 进行比较,实现初级音频信 号的偏置。在连接 A/D转换电路时,差分放大电路可 以省去隔直电容,从而降低成本、节省空间,同时确保 电路具有最佳的低频驱动能力。也可通过将 C_9 和 C_{10} 电 容更换成电阻对信号进行衰减,其中 R_{11} 和 C_8 的作用是 对电源进行滤波,目的是减少电源叠加到麦克风信号上 的噪声。

2.2 A/D 硬件电路

AK5574EN 具有低噪声、低功耗、高分辨率的优 点,非常适合用于音频信号的采集工作^[21],其内部集



图 3 ANC系统硬件电路框图



图 4 信号调理电路

成了 4 通道的差分 A/D转换器,支持 8~768 kHz 多分 辨率和 16~32 bit 多采样精度模式。可以通过配置 MSN 主从机选择引脚的高低电平来配置 A/D采集模块 与 FPGA 实时目标机之间的主从机关系,其中 NC 电阻 为空电阻,上下拉电阻仅需配置一个即可,接高电平实 现为 1 的操作,低电平实现为 0 的操作。通过 CKS 和 DIF 引脚的上下拉电阻来配置采样率和采样精度,无需 编写底层驱动进行采样率和采样精度的配置,改变了传 统意义上微控制器单元通过设置 I/O 管脚的高低电平来 配置采样率和采样精度等相关设置。AK5574EN 内部



图 5 A/D 信号采集电路

转换电路的结构及外围电路控制如图 5 所示。

主要过程是将采集到的差分信号通过转换器内部的 Delta-Sigma 调制电路后,经过降采样以及高通滤波后 形成的二进制 DATA 数据,再经过 I2S 音频传输协议 串行输出给 FPGA 实时目标机,供 ANC 控制器的相关 算法计算使用。此外,参考电压是 ADC 芯片内部集成 电路中的电压参考,是衡量与配置其他电压的参考方 向,所以在 A/D 模数转换电路中参考电压需要单独供 电,以减少不必要的干扰。AK5574EN 的模拟供电模 块和数字供电模块的供电电压不同,且模拟电压容易受 到数字电压的干扰,因此需要配置单独的电压源给芯片 电路供电。

2.3 I2S 时钟整形电路

系统平台使用 I2S 音频传输协议将 A/D 转换的音 频数据发送给 FPGA 实时目标机, FPGA 实时目标机再 将处理后的二进制数据发送给 DAC,最后输出到扬声 器。I2S 传输协议的优点是接收端与发送端的音频数据 有效位数可以不同。如果接收端能处理的有效位数少于 发送端,可以放弃数据帧中多余的低位数据;如果接收 端能处理的有效位数多于发送端,可以自行补足剩余的 位。这种同步机制使得硬件电路的互连更加方便,而且 不会造成数据错位。I2S 总线的音频传输格式如图 6 所示。



其中: fs 为待测音频信号的采样率,LRCK 为左右声道的对齐时钟。当 LRCK 为低电平时传 输左声道的音频数据,高电平时传输右声道的音 频数据。位时钟 BCLK 的频率=2×采样频率×采 样位数。需要注意的是 DATA 位无论有多少位有 效数据,数据的最高位总是出现在 LRCK 变化后 的第 2 个 BCLK 时钟周期。即传输数据时高位在 前,且该位在 LRCK 变化后 BICK 的第 2 个上升 沿被采样到。

在使用 I2S 通信协议传输音频数据的时候, 需要用到主时钟、位时钟以及采样时钟的配合来 完成数据的传输。在传输过程中由于物理传输延 长线的使用会遇到时钟线路的阻抗不匹配,出现 方波产生振铃的出现,振铃的出现会导致 FPGA 实时目标机的 I/O 引脚和 DAC 的输入引脚过压损 坏。为了使数字时钟的波形正常化,分别在 A/D 与 FPGA 实时目标机以及 D/A 与 FPGA 实时目标机中添 加 SN74LVC125ADR 三态四路输出缓冲器,利用 SN74LVC125ADR 内部的施密特触发器的阈值电路将 振铃减缓甚至消除,时钟整形电路如图 7 所示。时钟的 边沿对齐从硬件方面设计了滑动变阻器并联相关电阻和 电容,可以通过电路中的滑动变阻器和相关电容来解决 时钟上升沿和下降沿的峭度,从而使时钟沿对齐。程序 模型方面可以在 Simulink 模型中添加延时模块使时钟 的边沿对齐问题得以解决。在各个引脚的输出端配置 1 MΩ 的电阻和 100 nF 电容是为了模拟带载电路使整形 电路正常输出数字波形。

2.4 D/A 硬件电路

FPGA 实时目标机将 A/D 采集的数据处理后,将 数据通过通信协议发送给 D/A 转换电路。D/A 数模转 换电路采用的芯片是 AK4493,其内部集成了 32 位 2 通 道的差分输出配置,具有宽频带、低功耗、低失真的优 异性能,支持 8~768 kHz 多采样率和 16~32 bit 多采 样精度的模式选择。D/A 转换电路如图 8 所示。D/A 转 换电路的主要处理过程是将 FPGA 实时目标机处理过 的音频数据通过 I2S 协议传输到 D/A 芯片内部,通过 数字衰减、软静音处理和去加重技术补偿后,经过 Sigma-Delta 调制,最后再经过开关电容滤波器转化成差分 模拟信号输出给功放。在电路中通过配置 DIF 的上下 拉电阻来控制音频数据的精度,INV 引脚配置可以使 输出的波形进行反相操作,SD、SLOW 和 SSLOW 相 关引脚的高低电平可以配置低通和高通滤波器设置,当 采样率达到 384 kHz 时,相关配置则不再影响滤波器的 类型选择。

D/A 转换电路的主要处理过程是将 FPGA 实时目标机处理过的音频数据通过 I2S 协议传输到 D/A 芯片内部,通过数字衰减、软静音处理和去加重技术补偿后,经过 Sigma-Delta 调制,最后再经过开关电容滤波器转化成差分模拟信号输出给功放。在电路中通过配置 DIF 的上下拉电阻来控制音频数据的精度, INV 引脚配 置可以使输出的波形进行反相操作, SD、SLOW 和 SS-LOW 相关引脚的高低电平可以配置低通和高通滤波器 设置,当采样率达到 384 kHz 时,相关配置则不再影响



图 7 SN74LVC125 时钟整形电路



图 8 DAC 配置电路图

投稿网址:www.jsjclykz.com



滤波器的类型选择。

2.5 功率放大电路

功率放大电路采用 OPA1656 功放构成增益可调的 差分功率放大电路,其24 V/ μ s 的压摆率、150 dB的高 开环增益,53 MHz 的增益带宽积适合用于音频 D/A 数 模转换电路的后级驱动器,具体电路如图 9 所示。由于 D/A 数模转换电路输出的信号为差分信号,所以仅需 要将 R_4 断开即可实现差分转差分电路的输出模式。差 分输出的方式可使得正负极直流电压相互抵消,连接扬 声器时可省去隔直电容,降低成本,节省空间,同时确 保电路有最佳的低频驱动能力。输出端的电容电感网络 可抑制高频差模和共模干扰信号。电路可切换 R_{10} , R_{11} 阻值切换电压增益,也可通过将 L_1 和 L_2 电感更换成电 阻对扬声器信号进行衰减。

2.6 系统供电单元

2.6.1 系统供电

为了使系统内各个模块的工作正常运行,需要为系 统提供合适的电压源。图 10 为 ANC 验证系统的供电模 块框图。由于系统内各个模块的供电电压不同,所以系 统供电单元使用 12 V 直流线性充电电源为总的供电输 出,然后经过电源转换芯片将 12 V 电压转化成各个模 块所需要的供电电压。考虑到音频电路需要较低的纹波 噪声,需要选择低压差的线性稳压器作为电压转换单 元^[21]。AMS1117 的耐压值小,底噪大,达到 100 μV, 不适合用来做高精度的音频电路设计。ADI 公司的 LT3045 在 10 Hz~100 kHz 具有较低电源纹波底噪,并 且有较低的静态电流和很小的功率损耗,适合用于测试 系统的一级降压电源芯片使用。



图 10 系统供电结构框图

线性充电电源通过线性稳压电源芯片 LT3045 将+ 12 V电压转换成 6.5 V模拟电压和数字电压,为 A/D 信号采集模块和 D/A 模数转化模块提供电压。由于 A/ D 信号采集模块和 D/A 模数转化模块需要高精度的 5 V 的参考电源进行供电,才能保证数据的采集和输出得到 正常转化,所以需要单独提供 5 V 的参考电压。其中 A/D 和 D/A 芯片内部有单独的模拟供电模块和数字供 电模块,所以使用 LT3042 作为二级降压芯片将 6.5 V 的电压进行二次降压处理后得到相应的模拟 A5V 电压 和数字 D3.3 V 电压。

2.6.2 系统供电的噪声处理

噪声是除目标信号以外的所有信号的总称。硬件电路的电源底噪过大,会干扰 ANC 算法对环境噪音的准确识别和反相处理,从而影响降噪效果,更可能会淹没目标信号。硬件电路的底噪可以被 ANC 算法利用来改善降噪效果。硬件电路的底噪对于反馈 ANC 算法来

说,既可能带来干扰,也可能提供有用的信息。为了避 免噪声信号对目标信号的影响,使硬件电路的电源底噪 达到最理想的情况,对数字电源、模拟电源以及 A/D 和 D/A 参考电源,进行了分块隔离处理。

由于数字电源的电压波动对 + 12 V 线性充电电源 的电压稳定存在影响,而且 + 12 V 线性电源的稳定情 况进一步又会影响模拟电源电压的稳定。所以在数字电 源和靠近 + 12 V 充电电源中间加入 10 mH 的电感和 22 μ F的电容,形成 LC 低通滤波器从而滤除数字电源 高低电平转换过程中产生的高次杂波,减少了数字电源 对 + 12 V 线性电源的影响。由于数字电源对 12 V 线性 电源的质量产生影响会影响到模拟电源,所以 + 12 V 线性电源和靠近模拟电源之间加入 0~20 Ω 的小电阻和 22 μ F 电容形成 RC 低通滤波器来抑制 + 12 V 线性电源 对模拟电源的干扰。在参考电源和 + 12 V 线性电源中 间加入 0 Ω 的磁珠或电阻用来减少线性电源对参考电压 的影响,如图 11 所示。



图 11 系统供电噪声处理框图

3 Simulink 系统模型实现

上位机系统模型的实现是使用 Simulink HDL 库来 实现的,当模型搭建完毕后需要搭建仿真模型生成 Bitstream 文件,再将其烧录到 FPGA 实时目标机中即可 实现系统的采集和输出工作。由于使用了 Simulink HDL 库来实现,所以系统无需再编写程序代码,体现 了算法验证可视化操作的特点。为了验证 Systemclock 和 I2S 音频总线传输时钟是否能正常配合硬件电路完成 数据的采集和输出工作,首先在 Simulink 模型中输入 固定频率和幅值的正弦波测试信号,经过系统整体延时 初始化后,将系统时钟进行分频倍频操作,完成通信时 钟的准备工作,然后通过示波器操作观察 I2S 通信时钟 和 Systemclock 的上升沿下降沿是否对齐。当时钟沿完 成对齐操作后,进行 A/D 采集和 D/A 转换操作,再次 通过示波器观察判断输出信号的波形是否正确, 正确则 进行下一步 ANC 算法滤波器的验证环节。反之则检查 数据出现错误的原因,修改错误后,再次进入循环操 作, 直到正确后结束操作, 具体操作流程如图 12 所示。

3.1 AD/DA 模型设计

模拟转数字 (ADC, analog to digital conversion),



图 12 I2S 时钟准备流程图

数字转模拟(DAC, digital to analog conversion)模型 设计,称为 AD/DA 模型设计。ADC 采样位数的实质 是指模数转换数据时使用多少位(bit)来表征数据电 压幅值的大小。通过量化来把时域信号的连续幅值离散 成若干个量化级。对于 N bit 的 ADC,假设为理想的模 数转换器,则其对应的量化级份数为 M:

$$M = 2^{\scriptscriptstyle N} - 1 \tag{1}$$

对于电压满量程为±AV的数字采集设备而言,其 量化级大小Q为:

$$Q = \frac{2 * A}{2^N} \tag{2}$$

当 ADC 采集的数据为 D,则输出电压为:

$$V_{\rm OUT} = V_{\rm REF} \times \frac{D}{2^N} \tag{3}$$

根据公式(1)~(3) 实现 A/D 和 D/A 的过程。 过程是将 Mic 采集到的数据 bit0 的电压经过数据类型 转换后变成 N 位二进制数据,N 位二进制数据的每一 位与指数 1/2^N 相乘,其中每一位相乘的操作需要 N-1 位计数器配合,然后经过累加求和,采样保持最后输出 FPGA 实时目标机可读的音频信号的幅值。DAC 数模 转换是 ADC 模数转换的反过程,不再赘述。根据上式 数据转换的原理即可进行 Simulink 模型的搭建,ADC 和 DAC 实现模型如图 13 所示。

3.2 滤波器模型设计

当 Simulink 模型配合硬件电路直通实验完毕,确 保硬件电路工作正常后,将进行 ANC 算法的模型验 证。ANC 算法模型的最重要的组成部分是滤波器模型 的搭建。由于 FIR 滤波器设计需要更多的系数,这会 增加系统计算的复杂度和功耗,将对 FPGA 的性能造 成挑战,所以在滤波器设计中使用 IIR 滤波器。IIR 滤 波器将系统函数 H(z) 写成具有实系数的二阶节的乘



图 13 Simulink 模型搭建

积。优点是需要的系数数量较少,每个基本节点系数变 化只影响该子系统的零极点,对于给定的过渡带宽和阻 滞衰减,IIR 滤波器可以以较低的复杂性提供相同的性 能。因为 IIR 滤波器使用其先前的输出,这些输出在其 内部携带了来自过去的更多输入样本的汇总效果。这种 特性使得 IIR 滤波器在处理实时信号时更为高效。假设 N 为偶整数,那么系统函数:

$$H(z) = b_0 \prod_{k=1}^{K} \frac{1 + B_{k,1} z^{-1} + B_{k,2} z^{-2}}{1 + A_{k,1} z^{-1} + A_{k,2} z^{-2}} k = 1, \cdots, K$$
(4)

式中, K等于 $\frac{N}{2}$, $B_{K,1}$, $B_{K,1}$, $A_{K,1}$ 和 $A_{K,2}$ 都是代表实数的二阶节系数。这些二阶节是:

$$H_{k}(z) = \frac{Y_{K+1}(z)}{Y_{K}(z)} = \frac{1 + B_{k,1}z^{-1} + B_{k,2}z^{-2}}{1 + A_{k,1}z^{-1} + A_{k,2}z^{-2}}$$
(5)

称为第 k 个双二阶节, 且有:

$$Y_{1}(z) = b_{0} X(z); Y_{k+1}(z) = Y(z)$$
(6)

第 *k* 个双二阶节的输入是来自第 (*k*-1) 个双二阶 节的输出,第 *k* 个双二阶节的输出就是第 (*k*+1) 个双 二阶节的输入。

具体过程是将 ADC 采集到的数据经过电压增益和 采样率转换后连接 N/2 个二阶 IIR 滤波器,再经过采 样率转换和增益调节后输出到 DAC。根据真实环境测 得耳机的实际数据及式(4)~(6)可以确认 IIR 滤波 器的二阶节系数,前馈和反馈滤波器实现如图 13 所示。 将 ANC 算法的滤波器 Simulink 模型搭建好后,配合电 路进行最后的算法验证和数据测试分析。

4 实验结果与分析

为了验证 AKM 平台的综合性能,使用 AP 音频分

析仪对 BES2500 和 AKM 电路的底噪,不同电压激励下的 THD,不同电压激励下的 SNR 进行测试。ADAU 平台为 ANC 耳机算法最终落地平台在下面数据中仅作对比使用,不进行具体分析,具体测试过程如下步骤:

 将硬件验证电路通过排线接通 I/O 引脚板卡进 一步连接到 FPGA 实时目标机,调节 AP 音频分析仪的 输入输出状态,使 AP 音频分析仪的输入接 AP 分析仪 的输出,对 AP 音频分析仪的底噪进行自测。

2)将AP音频分析仪的输出接硬件验证电路的输入端,使AP音频分析仪的输入接测试验证电路的输出端。在不输入激励信号的情况下,测试电路的底噪,并记录数据。

3)输入指定频率1kHz和不同电压的激励信号, 使电路在不同激励信号源的作用下工作,测试电路的总 谐波失真和信噪比,并记录相关测试数据。

4) 对电路进行指定频率为1kHz100mV的激励信号并且提供前后左右4个方向的距离人工头1m距离的噪声源,得出相关的真实降噪曲线。

4.1 底噪测试

电路底噪是衡量电路性能的一个重要指标,因为它 会直接影响到电路的信噪比和信号质量,当电路噪声较 大,达到了和被测信号类似的大小,那么信号将淹没在 噪声中,无法得到有价值的信息,进而影响 ANC 算法 的性能。为了测试电路在无输入激励信号下的底噪大 小,对电路进行带宽为 22.4 kHz 和 90 kHz 的底噪测 试。为了增加对比试验,对现有的 ADAU 和恒玄 BES2500 开发平台进行同样条件下的底噪测试,测试结 果如表 1 所示。

њ F	$\mu V rms$			
电压 /µVrms	带宽 22.4 kHz	带宽 90 kHz	带宽 22.4 kHz	带宽 90 kHz
	Noise	Noise	ANoise	ANoise
AP	1.153	2.386	0.829	0.812
ADAU	9.747	9.994	10.59	10.03
BES2500	10.01	240.3	11.565	10.11
AKM 平台	6.780	11.73	5.360	5.499

表1 底噪测试

通过 AP 音频测试仪对 ADAU、BES2500 平台和 AKM 平台进行对比测试,在相同的实验条件下,由测 试的数据结果分析得出,不加 A 计权时,在 22.4 kHz 和 90 kHz 滤波器的设置带宽条件下,BES2500 平台的 底噪波动范围更大,噪声幅值也更大;加 A 计权时, AKM 系统平台的测试结果也更加优异,平均噪声幅值 达到 5.360 μVrms。根据底噪综合测试结果可知, AKM 平台的底噪设计符合设计要求。

4.2 总谐波失真测试

总谐波失真(THD, total harmonic distortion)与 频率有关,由于输出信号不单纯是与输入信号完全相同 的成分,还包括谐波成分的信号,这些多余出来的谐波 成分会导致信号质量的下降,所以要对硬件电路进行总 谐波失真测试。分别对3个平台输入指定频率为1kHz 和不同电压的激励信号,使电路在不同激励信号源的作 用下工作,测试电路的总谐波失真,表2为固定频率 下,不同电压激励下的总谐波失真。

电压/mV	THD/%			
	ADAU	AKM	BES2500	
0.1	1.985 021	2.744 463	1.918 457	
1	0.190 946	0.234 816	0.165 344	
10	0.018 834	0.024 681	0.018 303	
100	0.007 891	0.005 217	0.005 723	
200	0.010 762	0.015 742	0.010 231	
400	0.013 204	0.052 609	0.012 391	
800	0.086 125	0.129 335	2.022 344	
900	0.900 178	2.196 074	5.008 075	

表 2 总谐波失真测试

通过表 2 可以看出,在 1 kHz 固定频率下,在 0.1 ~10 mV小信号激励下 BES2500 开发平台的总谐波失 真相对比 AKM 验证平台的总谐波失真较小。但是在 800~900 mV 量程下 AKM 平台的激励电压范围比 BES2500 平台的更大,总谐波失真更小,更具有优势。

4.3 信噪比测试

信噪比(SNR, signal to noise ratio)是衡量信号与 噪声强度比值的重要指标,因此在进行系统平台的设计 时,对信噪比的考虑十分必要。分别对3个平台输入指 定频率1kHz和不同电压的激励信号,使电路在不同激

励信号源的作用下工作,测试电路的信噪比,表3为固 定频率1kHz下,不同电压激励下的信噪比测试结果。 表3 信噪比测试

3	1百	啋	ΓĽ	伙

电压/mV	SNR/dB			
	ADAU	AKM	BES2500	
0.01	7.919	5.836	6.411	
0.1	21.875	20.094	20.993	
1	50.852	37.997	40.485	
10	71.233	60.072	60.881	
100	87.950	80.792	78.761	
200	94.066	86.871	86.635	
400	97.157	92.257	91.871	
800	99.082	98.295	97.519	

从表 3 中的信噪比测试结果可以发现,在输入 0.01~100 mV的小信号激励下,BES2500的信噪比更 大。但是在 100 mV以上信号且未失真的情况下, AKM 验证平台的信噪比更大,更具有优势,符合本次 设计的目标要求。

4.4 人工头测试 ANC 降噪量

AKM 平台的延迟为 39 μ s, ADAU 平台的延迟为 13 μ s,将第2节,第3节设计好的 AKM 主动降噪算法 修改延迟环节和引脚输入输出后,烧录到 ADAU 平台 来测试反馈滤波器和前馈滤波器的降噪效果。使用耳机 和胶贴固定到人工头,进行滤波器测试,测得的整体效 果曲线如图 14 所示,表4 为高中低频段的平均降噪量 数据。图中被动曲线主要是物理介质的降噪效果曲线, 主动降噪曲线主要是 ANC 算法的效果曲线,整体降噪 曲线是主动加被动降噪的效果曲线。



图 14 降噪量效果曲线

表 4 低中高频段的平均降噪量

	平均降噪量/dB		
	$20\!\sim\!250~\mathrm{Hz}$	250 Hz \sim 1 kHz	$1\!\sim\!20~kHz$
主动降噪	28.831	19.704	0.056
被动降噪	1.277	17.271	44.197
整体降噪	30.108	36.975	44.255

由图 14 可以看出,在 200 Hz 频点附近主动降噪最 大深度达到 48 dB,整体降噪深度达到 53 dB,而被动 降噪效果较差。配合表 4 可以得出,60~250 Hz 频率 段平均主动降噪效果在 40 dB 以上。250~1 kHz 中频率 段平均主动降噪量在 17 dB,整体平均降噪量在 37 dB。 由于主动降噪针对中低频效果较好,所以在 1~20 kHz 高频率段被动降噪效果起主要作用,由降噪效果曲线和 平均降噪量可以得出,本次设计的主动噪声控制验证平 台能够满足验证算法的需求。

5 结束语

针对硬件电路底噪过大的问题,本文设计了一款低 底噪的高性能 ANC 验证平台。在数字电源对模拟电源 和参考电源影响较大的情况下,采用串联电感形成低通 滤波电路的方法降低了数字电源对模拟电源和参考电源 的干扰。在音频数据高速通信的过程中出现振铃现象, 导致了振铃的冲击电压过高 FPGA 实时目标机 I/O 管 脚击穿,采用迟滞比较器设置阈值外加额外阻抗的方式 限制了振铃冲击电压过高的现象。针对传统的 ANC 算 法验证需要编写程序,debug 过程复杂、效率低下且可 视化低,采用 Simulink HDL 库搭建仿真模型实现算法 的验证,具有滤波器和程序数据可视化的优点,但也存 在延时略高的问题。总之,AKM 平台与其他平台相 比,具有更低的底噪,更多的通道,更简单的操作,可 以在主动降噪领域方面提供一个全新的应用平台。

参考文献:

- [1] 吕韦喜. 室内降噪 ANC 系统的研究与实现 [D]. 重庆: 重庆邮电大学, 2020.
- [2] 吴家琦,吴 松,王文哲,等.运载火箭整流罩内主动降
 噪控制技术 [J].上海航天 (中英文), 2023, 40 (2):
 144-151.
- [3] RESHMA B, KIRAN K A. Active noise cancellation for in-ear headphones implemented on FPGA [C] // 2017 International Conference on Intelligent Computing and Control Systems (ICICCS). IEEE, 2017: 602-606.
- KUO S M. Adaptive active noise control systems: algorithms and digital signal processing (DSP) implementations
 [C] //Digital Signal Processing Technology: A Critical Review. SPIE, 1995, 10279: 26 52.
- [5] ELLIOTTS J, NELSON P A. Active noise control [J]. IEEE
 Signal Processing Magazine, 1993, 10 (4): 12 35.
- [6] SHEN X Y, SHI D Y, GAN W S. A hybrid approach to combine wireless and earcup microphones for ANC headphones with error separation module [C] // ICASSP 2022 – 2022 IEEE International Conference on Acoustics, Speech and Signal Processing (ICASSP). IEEE, 2022; 8702 – 8706.
- [7] SHI D Y, GAN W S, LAM B, et al. Multichannel active

noise control based on momentum multichannel normalized filtered-x least mean square algorithm [C] // INTER-NOISE and NOISE-CON Congress and Conference Proceedings, 2020: 709 – 719.

- [8] CHANG C Y, LI S T. Active noise control in headsets by using a low-cost microcontroller [J]. IEEE Transactions on Industrial Electronics, 2010, 58 (5): 1936-1942.
- [9] ZHANG J, SUN H, SAMARASINGHE P N, et al. Active noise control over multiple regions: performance analysis [C] // ICASSP 2020 – 2020 IEEE International Conference on Acoustics, Speech and Signal Processing (IC-ASSP). IEEE, 2020; 8409 – 8413.
- [10] KAJIKAWA Y, GAN W S, KUO S M. Recent applications and challenges on active noise control [C] // 2013 8th Interna-tional Symposium on Image and Signal Processing and Analysis (ISPA). IEEE, 2013: 661-666.
- [11] ITO H, KOYAMA S, UENO N, et al. Feedforward spatial active noise control based on kernel interpolation of sound field [C] // 2019 IEEE International Conference on Acoustics, Speech and Signal Processing (ICASSP). IEEE, 2019: 511-515.
- [12] IOTOV Y, NORHOLM S M, BELYI V, et al. Computationally efficient fixed-filter ANC for speech based on longterm prediction for headphone applications [C] // 2022 IEEE International Conference on Acoustics, Speech and Signal Processing (ICASSP). IEEE, 2022; 761–765.
- [13] KUO S M, MORGAN D R. Active noise control: a tutorial review [J]. Proceedings of the IEEE, 1999, 87 (6): 943 973.
- [14] BOSE N K, PRABHU K A. Two-dimensional discrete Hilbert transform and computational complexity aspects in its implementation [J]. IEEE Transactions on Acoustics, Speech, and Signal Processing, 1979, 27 (4): 356 - 360.
- [15] 陈 斌,冯 燕. 基于 DSP 的耳机噪声抵消系统的设计 与实现 [J]. 电声技术, 2010, 34 (4): 79-82.
- [16] 郇 战,戴永惠,王振海. 基于 FXLMS 算法的数字降 噪耳机研究 [J]. 自动化仪表, 2015, 36 (10): 37-39.
- [17] 喻莹玉.复杂声场下的主动噪声控制技术研究 [D].南京:南京邮电大学,2021.
- [18] 谢树平, 毛源豪. 基于 FPGA 的 DDR SDRAM 测试平台设 计 [J]. 计算机测量与控制, 2023, 31 (10): 67-75.
- [19] 王 梦,蒋 峰,谢浩澜. DDR2 SDRAM 控制器接口的 FPGA 设计及实现 [J]. 计算机测量与控制,2016,24 (12):119-121.
- [20] 宗 凯. 基于 FPGA 的 DDR3 控制器设计 [J]. 电子测量 技术, 2017, 40 (1): 118-122.
- [21] 邢震震,苏淑靖,梁文科,等.基于 FPGA 高精度 Δ-ΣADC 温度采集存储系统设 [J].电子测量技术,2022, 45 (8): 21-26.