

适用于频率综合器的宽带低相噪 VCO 设计

宋明宇, 李斌, 曲明, 翟越

(中国电子科技集团公司第54研究所, 石家庄 050000)

摘要: 针对频率综合器在宽调谐范围下相位噪声变差的问题, 设计了一款适用于频率综合器的宽调谐范围低相位噪声的压控振荡器; 采用 180 nm BiCMOS 工艺, 运用可变电容阵列和开关电容阵列实现宽调谐范围; 通过加入降噪模块, 滤除压控振荡器产生的二次谐波和三次谐波, 增大输出振幅, 降低相位噪声; 并在压控振荡器输出端加入输出缓冲器, 降低频率综合器其他器件对压控振荡器的影响; 通过 Cadence 软件对压控振荡器进行仿真, 仿真结果表明: 调谐电压为 0.3~3 V, 压控振荡器的输出频率范围为 2.3~3.5 GHz; 当压控振荡器的中心频率为 3.31 GHz 时, 在偏离中心频率 10 kHz、100 kHz 和 1 MHz 处的相位噪声分别为 -93.21 dBc/Hz, -117.03 dBc/Hz, -137.41 dBc/Hz, 功耗 7.66 mW; 在较宽的频率范围内, 取得良好的相位噪声抑制, 提高压控振荡器的噪声性能, 满足宽带低相噪频率综合器的应用需求。

关键词: LC 型压控振荡器; 相位噪声; 噪声滤波; 宽调谐范围; 开关电容阵列

Design of Broadband Low Phase Noise VCO for Frequency Synthesizer

SONG Mingyu, LI Bin, QU Ming, ZHAI Yue

(54th Research Institute of China Electronics Technology Group Corporation, Shijiazhuang 050000, China)

Abstract: A voltage controlled oscillator with wide tuning range and low phase noise for frequency synthesizer is designed to solve the problem of phase noise deterioration in wide tuning range. A wide tuning range is achieved by using 180nm BiCMOS process with variable capacitor array and switched capacitor array. By adding a noise reduction module, the second and third harmonics generated by the voltage controlled oscillator are filtered out, the output amplitude is increased, and the phase noise is reduced. An output buffer is added to the output of the VCO to reduce the influence of other devices of the frequency synthesizer on the VCO. Cadence software is used to simulate the VCO. The simulation results show that the tuning voltage is 0.3~3 V and the output frequency range of the VCO is 2.3~3.5 GHz. When the center frequency of the VCO is 3.31 GHz, the phase noise at 10 kHz, 100 kHz and 1 MHz offset from the center frequency is -93.21 dBc/Hz, -117.03 dBc/Hz, -137.41 dBc/Hz, and the power consumption is 7.66 mW. In a wide frequency range, good phase noise suppression is obtained, which improves the noise performance of VCO and meets the application requirements of broadband low phase noise frequency synthesizer.

Keywords: LC type voltage controlled oscillator; phase noise; noise filtering; wide tuning range; switched capacitor array

0 引言

随着射频通信技术的不断进步, 对射频通信的要求也在不断提高。频率综合器作为射频前端的重要模块, 对射频前端的性能有很大的影响。压控振荡器 (VCO, voltage controlled oscillators) 又是频率综合器产生频率信号的关键。压控振荡器的性能优劣对频率综合器甚至射频前端的性能都有着巨大的影响。压控振荡器的输出频率范围直接决定了频率综合器的输出频率范围。压控振荡器的相位噪声会影响射频前端输出信号的质量。由于压控振荡器的功耗大, 占据了整个系统大部分能量, 相对减小了其他模块可以使用的功耗余量。因此设计一款性能良好的压控振荡器是非常重要且具有挑战性的, 并且在一个宽调谐范围内保持较低的相位噪声是极其困难的^[1]。所以希望在设计时压控振荡器尽量不受温度、电压、工艺等因素的影响。压控振荡器的主要指标为: 频率调谐范围、输出振荡幅度、

功耗、相位噪声、频率稳定度、中心频率等。压控振荡器的设计方法主要分为两类: 环路振荡器和 LC 振荡器。环路振荡器的噪声性能较差, 功耗更高, 限制了其在射频领域内的应用^[2]。由于 LC 压控振荡器的 LC 谐振回路具有滤波功能, 有更好的相位噪声性能, 在射频领域内应用更为广泛。近些年关于在增大压控振荡器调谐范围的同时减小相位噪声的研究和设计变得愈发火热^[3-9]。

传统的 CMOS 工艺因其噪声性能差、截止频率高而限制了其在射频领域的应用^[10]。BiCMOS 工艺是在 CMOS 工艺的基础上加入了 SiGe-HBT 工艺技术。BiCMOS 工艺即具有 CMOS 工艺高集成、低功耗的优点, 同时还具有 HBT 工艺高频率、高速度的优点, 因此 BiCMOS 工艺在高速发展的射频通信技术中有更多的应用, 可以满足更多的设计需求^[11-12]。

本次设计采用 BiCMOS 工艺, LC 压控振荡器结构, 利用开关电容阵列和可变电容实现宽调谐范围, 并加入降低

收稿日期: 2022-10-27; 修回日期: 2022-11-01。

作者简介: 宋明宇(1995-), 男, 河北省石家庄人, 硕士研究生, 主要从事模拟集成电路方向的研究。

引用格式: 宋明宇, 李斌, 曲明, 等. 适用于频率综合器的宽带低相噪 VCO 设计[J]. 计算机测量与控制, 2022, 30(12): 326-331.

相位噪声的模块,用以抑制压控振荡器的相位噪声,在压控振荡器的输出端加入输出缓冲器,降低频率综合器其他模块对压控振荡器的影响。相较于传统的压控振荡器,本次设计在不影响频率调谐范围的情况下,优化了压控振荡器的相位噪声。经仿真验证,最终实现输出频率覆盖范围为 2.3~3.5 GHz,当中心频率为 3.31 GHz 时,在偏离中心频率 1 MHz 处相位噪声可以达到 -137.41 dBc/Hz。

1 电路分析

压控振荡器的调谐范围和相位噪声在设计时是两个非常重要的指标。设计一款宽调谐范围低增益的压控振荡器可以降低频率综合器中环路滤波器的设计难度。频率综合器整体范围内的相位噪声和稳定性取决于压控振荡器的相位噪声。

一个理想的频率综合器中,分频器和参考信号的相位噪声功率谱密度分别为 S_{DIV} 和 S_{REF} ,电荷泵和鉴频鉴相器的噪声功率是 S_{PC} ,环路滤波器的噪声为 S_{Vtune} 。可以求得频率综合器开环时输入和输出的相位噪声功率谱密度分别为:

$$S_{\text{in}}(f) = S_{\text{REF}} + S_{\text{DIV}}(f) + S_{\text{PC}} \cdot \left(\frac{2\pi}{I_{\text{pc}}}\right)^2 \quad (1)$$

$$S_{\text{out}}(f) = S_{\text{VCO}} + S_{\text{Vtune}} \cdot \left(\frac{K_{\text{VCO}}}{2\pi f}\right)^2 \quad (2)$$

由 $S_{\text{out}}(f)$ 可知,压控振荡器的相位噪声受调谐增益 K_{VCO} 的影响,从而对整个环路的噪声传递函数产生影响, K_{VCO} 可表示为:

$$K_{\text{VCO}} = \frac{\Delta f}{\Delta C} \times \frac{\Delta C}{\Delta V_{\text{tune}}} = \frac{-1}{4\pi C \sqrt{LC}} \times \frac{\Delta C_{\text{VAR}}}{\Delta V_{\text{tune}}} \quad (3)$$

C_{VAR} 是压控振荡器的变化电容, V_{tune} 是变化电容的调谐电压。由 K_{VCO} 公式可知,影响增益的主要因素主要分为两个:不同的子频带内可变电容的工艺模型存在非线性;不同子频带间的调谐增益受到总电容 C 变化的影响。可以根据以上两点对调谐增益进行电路优化。

压控振荡器内产生的噪声主要分为两类:热噪声和闪烁噪声 ($1/f$ 噪声)。与此同时片上电感的 Q 值以及谐振回路的 Q 值的高低也影响着压控振荡器相位噪声的好坏。

当压控振荡器的振荡频率为 f_0 时, LC 谐振回路的品质因数 Q 为:

$$Q = \frac{L}{R} 2\pi f_0 = \frac{1}{R} \sqrt{\frac{L}{C}} \quad (4)$$

由式 (4) 可知, L 与 C 的比值越大,谐振腔的 Q 值越大,电路的噪声性能也会更好。 L 与 C 的比值由频率调谐范围确定。

2 电路设计

2.1 整体设计

本次设计的电容电感压控振荡器采用的是 PMOS 型负载结构。在提供相同负载的情况下,由于 PMOS 晶体管在距硅-氧化物界面有一定距离,俘获和释放载流子的概率较小,PMOS 做交叉耦合管可以得到 5~10 dB 的相位噪声改善,优于 NMOS 互耦对的噪声性能。压控振荡器的谐振

回路由开关电容阵列、可变电容阵列和谐振电感组成。压控振荡器的降噪模块包括:在 VDD 电压输入端加入的 LC 滤波模块、在 PMOS 管的源漏极之间加入的电容反馈和在 PMOS 管源极处加入的 RC 滤波模块,来抑制相位噪声。压控振荡器的整体设计如图 1 所示。

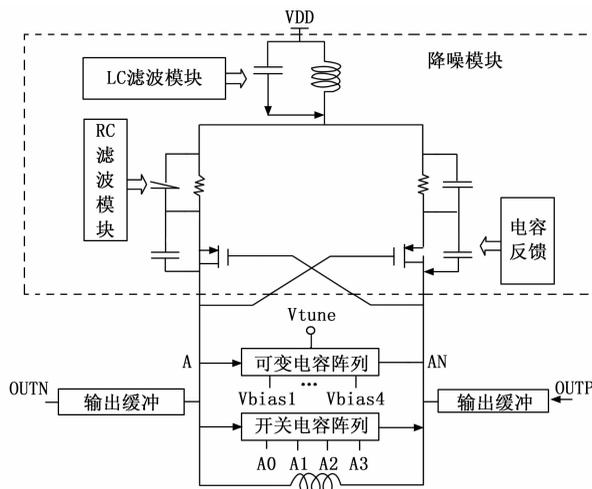


图 1 压控振荡器设计

2.2 调谐范围设计

在宽频率调谐范围压控振荡器的研究中,采用多个 VCO 合并工作的方式,将会占用成倍的芯片面积,大大提高制作成本。由 $f=1/2\pi\sqrt{LC}$ 可知,压控振荡器的工作频率可以通过调节 L 和 C 的大小来实现。但是在现有的工艺下,可变的电感比较难以实现且占用面积过大。

因此研究人员通过改变电容 C 的大小增大频率的输出范围,并努力控制 K_{VCO} 的大小和波动。例如通过使用开关电容阵列的方法,增大频率输出范围,达到降低 VCO 的压控增益,减小相位噪声的目的^[13]。或使用数字控制开关的方法控制多个变容管组,将输出频段划分成多个子频段,降低单个电容管组的 K_{VCO} ,并且在 K_{VCO} 线性化过程中在变容管两段加入固定电容防止偏置电压对输出信号的影响^[14]。本文采用开关电容阵列和可变电容阵列实现宽频率调谐范围。

2.2.1 开关电容阵列设计

传统的开关电容支路由电容 C 与一个 NMOS 开关管串联组成。当开关电容支路导通时,电容接入谐振回路中,此时开关电容的品质因数 Q_C 为:

$$Q_C = \frac{1}{R_{\text{on}} C \omega} \quad (5)$$

其中: R_{on} 为开关管的导通电阻,表达式如下式所示:

$$R_{\text{on}} = \frac{1}{\mu_n C_{\text{ox}} \frac{W}{L} (V_{\text{GS}} - V_{\text{th}})} \quad (6)$$

式中, μ_n 和 C_{ox} 为工艺常数, V_{GS} 为晶体管栅源电压值, V_{th} 为晶体管的阈值电压, W/L 为晶体管的宽长比。由上式知,导通电阻 R_{on} 与栅宽 W 成反比关系,增大 W 可以提高整个

回路的品质因数。但是开关管的栅宽不可无限增大，当栅宽增大到一定程度，会产生寄生电容，继而减小压控振荡器的频率调谐范围。

本论文采用改良后的开关电容阵列如图 2 所示。开关电容支路的开关管由 NMOS 管和 PMOS 管并联组成。当粗调谐控制信号 K 释放一个高电平信号时，NMOS 管导通，电容 C 接入谐振回路中。当粗调谐控制信号 K 释放一个低电平信号时，NMOS 管截止，PMOS 管导通，可以等效为一个电阻与电容 C 串联，电容 C 不接入谐振回路。此时电容 C 的电压值被固定在低电位，这样可以避免电容中存储的电荷对压控振荡器产生影响，增大它的相位噪声。

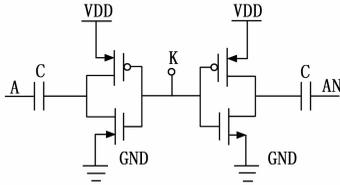


图 2 开关电容

四位开关信号 $A < 3; 0 >$ (0000~1111 作为选择频率线) 控制粗调谐信号 K 将整个频率范围分成了 16 个子频段，0000 时开关全部断开，接入谐振回路的固定电容容值最小，输出为频率最高的子频段，相反 1111 时开关全部导通，接入谐振回路的电容容值最大，输出为频率最低的子频段。

引入开关电容阵列，可以对压控振荡器的输出频率进行粗调谐，但要确保各个相邻的子频段之间有足够的频率交叠，以保证压控振荡器频率输出范围的连续性。

2.2.2 可变电容阵列设计

可变电容的电容值会随着其两端的电压变化发生变化，当它作为谐振电容应用于压控振荡器中时，这一特性使得谐振两端的 AM (amplitude modulation) 噪声可以通过调制器两端的偏执电压转换成 FM (frequency modulation) 噪声，从而影响相位噪声的性能^[15]。压控振荡器中的可变电容两端的偏执电压随着 VCO 的振荡周期性变化。

可变的电容的 C-V 特性曲线线性区较窄，其余部分比较平坦，基于 C-V 特性曲线，调节图 3 中的 V_{bais} 电压，均能使可变电容处于线性区，改变不同电压值的 V_{bais} 可以将调谐电压的范围扩大。

若定义可变电容对控制电压的敏感系数为 K_{var} ，如下式所示：

$$K_{var} = \frac{\Delta C_{var}}{\Delta V_{tune}} \quad (7)$$

如图 4 所示，不同的 V_{bais} 值对应的电容特性曲线 C_1 、 C_2 、 C_3 、 C_4 和 C_5 叠加成总电容 C_{tot} ，达到扩展调谐电压的目的，整个调谐电压可以为 0.3~3 V。电容曲线对调谐电压求导对应 K_1 、 K_2 、 K_3 、 K_4 、 K_5 和 K_{tot} ，调谐电压在 0.3~3 V 间， K_{tot} 基本无太大变化，可以等效看为一个常数。

设可变电容的 C-V 特性曲线是一个阶跃函数，等效电

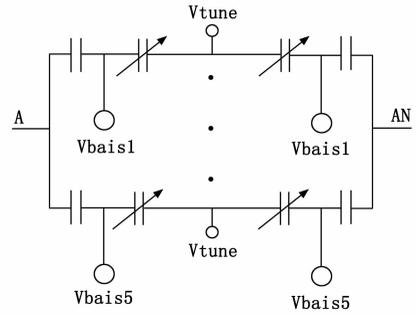


图 3 可变电容阵列

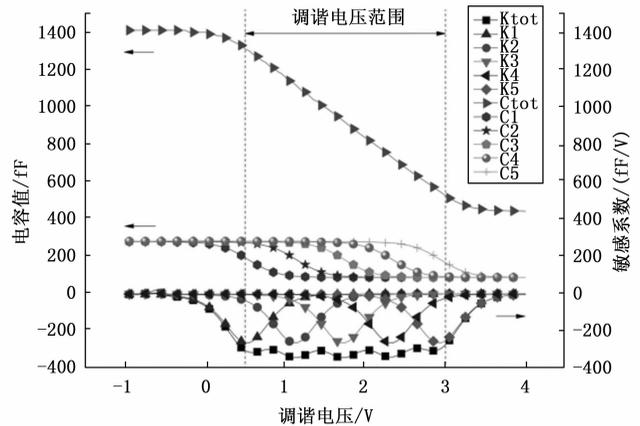


图 4 可变电容 C-V 曲线

容 C 对振荡幅度 A 的灵敏度可以表示为^[15]：

$$\frac{\partial C}{\partial A} = \frac{C_{max} - C_{min}}{\pi} \frac{2V}{A^2} \sqrt{1 - \left[\frac{V}{A}\right]^2} \quad (8)$$

其中： C_{max} 和 C_{min} 是可变电容的最大值和最小值， V 是可变电容两端的等效电压。

通过控制可变电容两端的电压，在开关电容阵列进行频率粗调后，可变电容阵列对频率进行细调。改变可变电容的大小，使每条频率线与相邻频率线之间有一定的交叠，达到输出频率连续可调谐的目的。

2.3 相位噪声优化

为了降低噪声影响，首先可以通过适当增加 PMOS 管尺寸的方法。但是这种方法增加了 PMOS 交叉耦合对的热噪声，所以还需要通过其他方式抑制压控振荡器的相位噪声。例如电路设计时尽量保证电路的对称性与差分性，对抑制噪声也可以起到良好的作用。

当压控振荡器正常起振时， M_1 与 M_2 处在开关状态中， M_1 导通时导通全部的电流，而 M_2 则处于截止状态，在另外半个周期， M_1 与 M_2 状态互换。由于电容电感压控振荡器产生周期性的方波，谐振回路可以滤除基波以外的信号。假设压控振荡器谐振回路的 Q 值无限大，压控振荡器输出的方波傅里叶展开只有奇次谐波，经过谐振回路的滤波，只留下基波输出。实际上谐振腔的 Q 值不可能无限大，输出方波中仍然会存在，等高次谐波。在差分电容电感压控

振荡器中存在这些高次谐波, 降低了谐振回路的 Q 值, 增大了压控振荡器的相位噪声。

二次谐波在所有偶次谐波中的能量占比最大。如果想降低压控振荡器的相位噪声, 需要尽可能降低二次谐波的影响。本文采用二次谐波谐振滤波技术, LC 滤波模块如图 5 中所示。滤波模块中电容 C_3 与电感 L_1 的谐振频率为 ω_1 , 若压控振荡器谐振腔的谐振频率为 ω_0 。当 $\omega_1 = 2\omega_0$ 时, 在二阶谐波频率附近会产生一个高阻抗, 其阻抗值大小由滤波模块中电感的品质因数决定。该阻抗通过分压的方式, 限制流过工作在线性区 PMOS 交叉耦合对管的电流值, 以此来降低谐振回路产生的损耗。

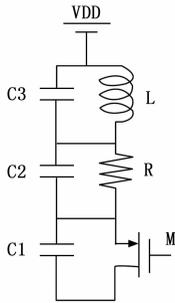


图 5 降噪模块

同时还在 PMOS 晶体管的源漏极之间加入反馈结构, C_1 为反馈电容, 在 PMOS 晶体管源极加入 C_2 与 R 并联结构的滤波模块。源漏反馈方案是一种简单有效抑制压控振荡器闪烁噪声转换为相位噪声的方法。源漏反馈方法可以采用电容、电感、电阻反馈的方式。虽然电感反馈大大提高幅频来改善相位噪声, 但是其占用版图面积过大, 因此选择电容反馈结构。电容电阻并联结构的噪声滤波模块可以降低差分对的等效跨导, R 与 C_2 并联产生的频率为 $\omega_2 = 1/RC$, 当 $\omega_2 = 3\omega_0$ 时, 通过滤波消除三次谐波, 抑制闪烁噪声的转换成相位噪声。

压控振荡器的振荡幅度公式如下所示:

$$A_{\text{tank}} = R(1-n) I_{\text{bias}} = R \frac{C_2}{C_1 + C_2} I_{\text{bias}} \quad (9)$$

R 是谐振腔的等效并联电阻, I_{bias} 是 MOS 管输出电流的基波振幅, $n = C_1 / (C_1 + C_2)$ 是谐振腔到 MOS 管的反馈系数。

LC 谐振腔的有效噪声为:

$$N_{L,R} = \frac{k_B T}{2R} \quad (10)$$

k_B 是玻尔兹曼常数, T 是绝对温度。

通过增加反馈电容的方式降低相位噪声, 可以增加压控振荡器的谐振腔到 MOS 管的反馈系数, 在降低有效噪声的同时还保证谐振腔的高振幅。传统压控振荡器的反馈增益为 K , 通过压控振荡器的振幅和谐振腔的噪声公式可得到 PMOS 管的有效噪声为:

$$N_{L,M} = \frac{k_B T}{2R} \gamma \frac{1-n}{k+n} \quad (11)$$

γ 是 MOS 管的噪声因子, 由上式可知, MOS 晶体管的有效噪声与谐振腔等效电阻成正比, 与 MOS 管的尺寸无关。

由上三式可知, 反馈电容 C_1 设置近乎为零, 可以减小谐振腔到 MOS 管源极的反馈 n , 在这种情况下, 谐振频率仅由谐振腔的电容电感决定。 C_2 取值应相对较大, 同样可以减小 PMOS 晶体管源极到 LC 谐振回路的反馈 n 。并且 C_2 取值相对较大时, 振荡器的振荡幅度 A 也会增大。当 n 近似为零时, 压控振荡器的相位噪声为:

$$L(\Delta\omega) = 10 \log \left(\frac{k_B T}{2\Delta\omega^2 C^2 I_{\text{bias}}^2 R^2} \cdot \left(\frac{1}{R} + \frac{\gamma}{R} \frac{1}{k} \right) \right) \quad (12)$$

其中: $C = \frac{C_1 C_2}{C_1 + C_2} + C_{\text{tank}}$, 相较于传统的压控振荡器,

本次设计在不增加额外模具面积和功耗的情况下, 抑制相位噪声, 并且保持高输出电压摆幅和功率消耗基本不变。

2.4 输出缓冲器

为了方便压控振荡器集成到频率综合器上, 压控振荡器的输出不仅要输送到频率综合器的其他模块, 同时还会受到频率综合器其他模块的影响。压控振荡器在频率综合器中要驱动后级电路, 这要求压控振荡器在加入混频器或分频器等大负载模块的同时仍可以正常工作, 并且压控振荡器的输出功率必须大于后级电路所需要的最小输入功率。在设计时不仅要保证压控振荡器不受后级电路的影响, 还要保证压控振荡器可以驱动后级电路。因此需要在压控振荡器的输出端加入缓冲电路。考虑到输出匹配和键合线的影响, 需要多加一级二级缓冲电路将焊盘与一级缓冲电路隔离开。

BJT 管相较于 MOS 管具有更少的固定电容值和更大的跨导, 从宽调谐范围的压控振荡器角度考虑, 本文的输出缓冲电路采用 BJT 晶体管。现有广泛应用的 BJT 晶体管缓冲器结构有推挽放大器、共射极放大器和射极跟随器等。推挽放大器具有高增益低消耗的特点, 但是它的直流工作点不容易确定并且驱动能力一般。由于在输出频率的低频频段加入了多级开关电容, 因此恶化了谐振腔的品质因数, 压控振荡器的输出幅度变低。为了平衡低频频段和高频频段的输出幅度, 第一级缓冲器选择射极跟随器。又由于低频频段的输出功率下降, 第二级缓冲器选择共射放大器, 来增大低频频段的输出功率。因此, 本次输出缓冲电路使用射极跟随器与共射放大器共同组成的两级缓冲电路, 如图 6 所示。

射极跟随器可以满足强驱动力和高隔离度, 但是它的增益较小, 其增益 A_{u1} 为:

$$A_{u1} = \frac{(1+\beta)(R_1 // R_L)}{r_{be} + (1+\beta)(R_1 // R_L)} \leq 1 \quad (13)$$

式中, β 为 BJT 晶体管放大电流能力的参数, R_L 为负载电阻, r_{be} 为基射直流电阻。

共射极放大器具备高增益和强驱动力的特点, 但是它的功耗和电流相对较大, 其增益为 A_{u2} :

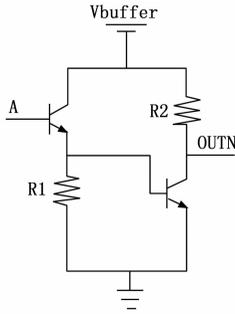


图 6 输出缓冲器

$$A_{u2} = \frac{\beta R_2}{r_{be}} \quad (14)$$

假设 A_{u1} 增益近似等于 1，输出缓冲器的增益近似为 A_{u2} ，在不给谐振腔引入更多固定电容的情况下，平衡了输出端的输出幅度，增大了输出功率，起到了缓冲隔离的作用。

3 仿真结果与分析

本文基于 180 nm BiCMOS 工艺绘制了压控振荡器的版图，如图 7 所示。版图设计中，保证谐振回路和 PMOS 交叉耦合对管的对称性，可以有效地降低共模噪声。按照电流流向摆放原件，可以减少布线并且可以加快压控振荡器的起振时间。布线产生的寄生电容会降低整个振荡器的 Q 值，使压控振荡器的噪声性能变差，可以通过适当增加连接电感的金属线和输出振荡信号的金属线的宽度，降低寄生电容的影响。

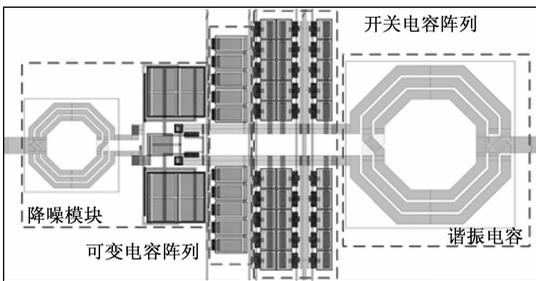


图 7 压控振荡器版图

经过 Cadence 软件进行了输出频率仿真，压控振荡器的调谐曲线仿真结果如图 8 所示，调谐电压范围为 0.3~3 V，压控振荡器的输出频率范围为 2.29~3.52 GHz，分为 16 个子频段，每个频段与相邻频段间都有一定的频率交叠以确保压控振荡器频率的连续性。

在中心频率为 3.31 GHz 处，使用 Cadence 软件进行 Spectre RF 仿真。分别对未加入降噪模块和加入降噪模块的压控振荡器进行了仿真对比。由仿真结果对比图 9 可知，未加入降噪模块的压控振荡器在偏离中心频率 100 Hz、1 kHz、10 kHz 处的相位噪声分别为 -20.3 dBc/Hz、-52.8 dBc/Hz、-85.6 dBc/Hz。加入降噪模块后的压控振荡器在偏离中心频率 100 Hz、1 kHz、10 kHz 处的相位噪声分别为 -30.6 dBc/Hz、-62.8 dBc/Hz、-93.2 dBc/Hz。

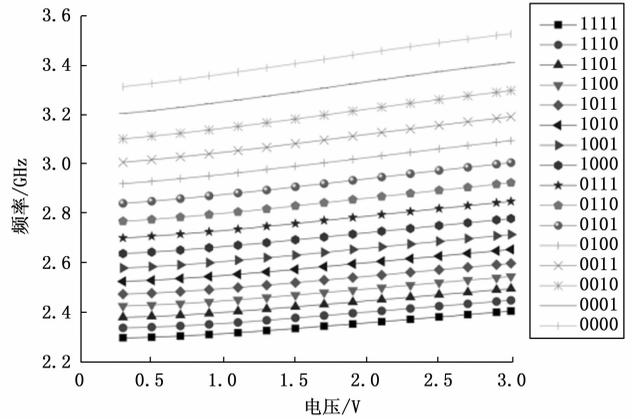


图 8 调谐曲线

相较于未加入降噪模块，加入降噪模块后的相位噪声得到了明显优化，在偏离中心频率近端得到了近 10 dBc/Hz 的噪声抑制。

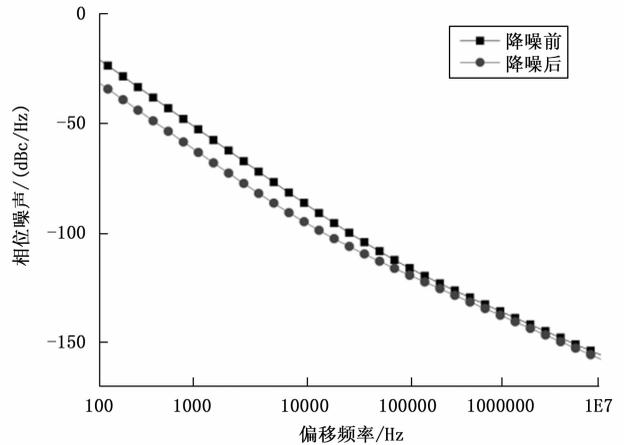


图 9 相位噪声对比

通过对压控振荡器整体的低相位噪声设计，在偏离中心频率 1 MHz 处的相位噪声可以达到 -137.41 dBc/Hz。经过 Cadence 瞬态仿真，压控振荡器在 3 V 电源供电下，其正常工作的功耗为 7.66 mW。采用文献中提供的 FOM 值定义，如下式所示：

$$FOM = -Phn + 20\log_{10}\left(\frac{f_0}{\Delta f}\right) - 10\log_{10}\left(\frac{P}{1\text{mW}}\right) \quad (15)$$

式中，FOM 是压控振荡器的综合性能指标，Phn 为相位噪声， f_0 为中心频率， Δf 为偏移频率，P 为压控振荡器的功耗。

经计算本文中提出的压控振荡器的 FOM 值为 198.95。从表 1 中可以看出，本文所设计的压控振荡器具有非常好的性能。

4 结束语

针对压控振荡器宽调谐范围和低相噪问题，本文提出了一种基于 180 nm BiCMOS 工艺设计的 PMOS 型压控振荡

表 1 相位噪声对比表

相位噪声对比	工艺	频率 /GHz	功率 /mW	相位噪声 /@1 MHz (dBc/Hz)	FoM/dBc /Hz
文献[16]	180 nm CMOS	2.39	—	-117	181
文献[17]	180 nm CMOS	2.21	0.97	-113	180.2
文献[18]	35 nm BiCMOS	2.89	2.65	-124.8	197.6
文献[19]	BiCMOS6M	2.1	10.8	-148	210
文献[20]	130 nm BiCMOS	3.9	—	-131	184
文献[21]	250 nm BiCMOS	4	13.5	-125.3	186
本文	180 nm BiCMOS	3.31	7.66	-137.4	198.95

器。通过开关电容阵列和电压控制的可变电容器阵列扩大压控振荡器的调谐范围。在 3 V 供电电压下, 压控振荡器通过开关电容阵列分为 16 个子频带, 通过可变电容器阵列保证相邻子频段间有频率有一定的交叠, 使整个输出频率连续不间断。经仿真结果表明最终的频率输出范围为 2.3~3.5 GHz。通过加入 LC 滤波模块、RC 滤波模块和电容反馈结构, 降低压控振荡器的相位噪声, 在偏离中心频率的近端, 噪声可以降低近 10 dBc/Hz, 在偏离中心频率 1 MHz 处, 相位噪声达到 -137.41 dBc/Hz, 达到了降低相位噪声的目的。本文提出的压控振荡器, 结构简单, 性能可以达到很高的效果, 符合宽带低相噪压控振荡器的设计要求, 能够广泛应用于频率综合器中, 满足高性能频率综合器的设计需求。

参考文献:

[1] LI J H, HUANG F Y. A broadband low phase noise 12.4~15.4 GHz CMOS voltage controlled oscillator [C] //2015 IEEE International Conference on Communication Problem-Solving, 2016: 62-65.

[2] 周治良, 郑丽娜, 王书义. 一种变感式 LC 压控振荡器设计 [J]. 自动化技术与应用, 2015, 34 (5): 111-114.

[3] SUN L, XU X, YOSHIMASU T. An X-band low voltage crosscoupled voltage-controlled oscillator IC in 56-nm SOI CMOS [C] //2018 IEEE MTT-S International Wireless Symposium (IWS), 2018: 1-3.

[4] LI A, LUONG H C. A reconfigurable 4.7~6.6 GHz and 8.5~10.7 GHz concurrent and dual-band oscillator in 65 nm CMOS [J]. IEEE Radio Frequency Integrated Circuits Symposium, 2012: 523-526.

[5] NATARAJAN V, NADERI M H, JOSE S M. Low noise RF quadrature VCO using tail-switch network-based coupling in 40 nm CMOS [C] //2018 IEEE Custom Integrated Circuits Conference (CICC), 2018: 1-4.

[6] 曲明, 翟越, 王楠. 基于射频收发应用的低噪声频率综合器设计 [J]. 无线电通信技术, 2017, 43 (3): 76-80.

[7] LIM C C, RAMIAH H, YIN J, et al. A 5.1-to-7.3 mW, 2.4-to-5 GHz class-C mode-switching single-ended-complementary VCO achieving >190 dBc/Hz FoM [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2019, 66

(2): 237-241.

[8] YAN D, ZHANG L, ZHANG L, et al. A 3.1~4.2 GHz automatic amplitude control loop VCO with constant KVCO and <10mV amplitude variation [C] //2016 IEEE International Symposium on Circuits and Systems (ISCAS), 2016: 1654-1657.

[9] CHEN Z. A low phase noise and high linearity class-C VCO for FMCW radar system [C] //2018 IEEE International Conference on Electron Devices and Solid State Circuits (EDSSC), 2018: 1-2.

[10] NIU G, JIN Z, CRESSLER J D. Transistor noise in SiGe HBT RF technology [J]. IEEE Journal of Solid-State Circuits, 2001, 36 (9): 1424-1427.

[11] SHIN H, KIM J. A 17 GHz push-push VCO based on output extraction from a capacitive common node in GaInP/GaAs HBT technology [J]. IEEE Transactions on Microwave Theory & Techniques, 2006, 54 (11): 3857-3863.

[12] MENG C C, CHEN C H, CHANG Y W. 5.4 GHz~127 dBc/Hz at 1 MHz GaInP/GaAs HBT quadrature VCO using stacked transformers [J]. Electronics Letters, 2005, 41 (16): 906.

[13] TANG X F. Design of wide-band LC VCO with low phase noise [J]. Application of Electronic Technique, 2015, 41 (11): 54-57.

[14] LIN T Y, YU T Y, KE L W. A low-noise VCO with a constant K VCO for GSM/GPRS/EDGE applications [C] //2008 IEEE Radio Frequency Integrated Circuits Symposium, 2008: 387-390.

[15] HEGAZI E, ABIDI A. Varactor characteristic oscillator tuning curves and AM-FM conversion [J]. IEEE JSSC, 2003, 38 (6): 1033-1039.

[16] XU X, YANG X, YOSHIMASU T. 2.4 GHz band low-voltage class-C PMOS VCO IC with amplitude feedback loop [C] //2015 Asia-pacific microwave conference (APMC), 2015: 1-3.

[17] YANG X, XU X, YOSHIMASU T. An ultra-low-voltage Class-C PMOS VCO IC with PVT compensation in 180 nm CMOS [C] //2016 IEEE 16th Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems (SiRF), 2016: 107-109.

[18] JANG S L. A low power push-push differential VCO using current-reuse circuit design [J]. Progress in Electromagnetics Research C, 2012, 27: 85-97.

[19] HEGAZI E, SJOLAND H, ABIDI A A. A filtering technique to lower LC oscillator phase noise [J]. IEEE J. Solid-State Circuits, 2001, 36 (12): 1921-1930.

[20] THAKKAR A, THEERTHAM S, MIRAJKAR P, et al. A 3.9~4.5 GHz class-C VCO with accurate current injection based on capacitive feedback [C] //2017 12th European Microwave Integrated Circuits Conference (EuMIC), 2017: 224-227.

[21] FAHS B, GAMAND P, BERLAND C. Low-phase-noise LC-VCO using high-Q 8-shaped inductor [J]. Electronics Letters, 2010, 46 (2): 140-141.