

基于实时频谱分析的便携式射频通信干扰器设计

翟建龙¹, 郭全全², 姜贵鑫², 李鹏月²

(1. 中国人民武装警察部队研究院, 北京 100012;

2. 天津诺华仪器科技有限公司, 天津 300309)

摘要: 针对传统电子干扰器系统复杂、体积大、功耗高的缺点, 文章设计了一种基于 FXI 规范的射频通信干扰器, FXI 规范在 FMC 信号定义的基础之上, 针对虚拟仪器领域的应用, 定义了 FXI 模块的结构尺寸和 FXI 接口的专有信号组, 提高了虚拟仪器模块的功能密度, 从而实现了模块化、小型化和轻量化的设计目的; 该射频通信干扰器内部同时集成了频谱仪模块和射频信号发生器模块, 通过采用硬件逻辑实现射频信号的实时跟踪和干扰信号的实时合成, 从而实现高跳速射频通信信号的跟踪和干扰, 用户可针对短波通信、超短波通信和微波通信扩展不同的模块, 来实现在不同使用场景中的应用; 经过测试, 该射频通信干扰器的各项指标可满足使用要求, 可进一步推广至电子对抗、无人机干扰等技术领域。

关键词: 干扰器; 实时频谱分析; 实时信号合成; 跟踪干扰; FXI 规范

Design of Portable RF Communication Jammer Based on Real-Time Spectrum Analysis

ZHAI Jianlong¹, GUO Quanquan², LOU Guixin², LI Pengyue²

(1. The Chinese Armed Police Force Research Institute, Beijing 100012, China;

2. Tianjin Nuohua Instrument Technology Company, Tianjin 300300, China)

Abstract: In view of the shortcomings of traditional electronic jammers, such as complex system, large volume and high power consumption, A RF communication jammer based on FMC extended instrument (FXI) specification is designed. The FXI specification is based on the definition of FMC signal, aimed at the application of virtual instrument field, the structure of FXI module and the exclusive signal group of FXI interface are defined, which improves the function density of virtual instrument model, the design purposes of modularization, miniaturization and lightweight are realized. A spectrum analyzer module and a RF signal generator module are simultaneously integrated into the RF communication jammer. The hardware logic is used to implement the real-time tracking of RF signals and the real-time synthesis of interference signals, which realizes the interfere and tracking of the high-speed frequency hopping signals. With different users for shortwave communication, VHF communication and microwave communication, the jammer could be used to realize different scenarios. After testing, the parameters of the jammer meet the practical requirements. It can be further promoted to the other technical fields of electronic countermeasures and the UAV jamming.

Keywords: jammer; real-time spectrum analyzing; real-time signal synthesizing; signal tracking; FXI specification

0 引言

随着通信技术的快速发展, 未来战争已经演变成一种电子对抗的战争。在电子对抗中, 为了防止电子干扰, 跳频通信技术凭借其优秀的抗干扰、低截获率、抗衰落等优点, 被广泛的应用^[1-8]。如何快速简便识别并干扰高速跳频信号成为了电子对抗的关键点。

电子干扰按照干扰生成的方式分为有源电子干扰以及无源电子干扰^[9]: 有源电子干扰是通过发射或传递某种特定形式的电磁波, 扰乱或者破坏使敌方的电子设备以及电子系统。干扰信号的功率、载频和干扰样式是根据被干扰的电子设备的类型、技术体制、工作频率等进行选择的。

无源电子干扰是用一些本身不能发射电磁波的器材, 例如反射器、箔条或电波吸收体等, 将敌方电子设备发射的电磁波反射或吸收掉, 削弱或破坏其效能^[10]。在通信干扰中, 有源电子干扰因其主动性和灵活性被广泛应用。

目前通信干扰器产品大部分采有源电子干扰技术, 并被广泛应用于电子对抗领域^[11-12], 干扰器通过识别敌方无线通信的频点, 来对其施加干扰电磁波使敌方通信系统瘫痪或短暂的失效, 从而实现电子干扰的目的^[13]。传统的干扰器大都采用独立的仪器设备通过系统集成来实现, 具有系统复杂、体积大、功耗高等缺点, 无法实现快速布设, 不具备机动性和灵活性, 无法适应当今局部小范围冲突和

收稿日期: 2022-07-08; 修回日期: 2022-07-18。

作者简介: 翟建龙(1978-), 男, 山西省岚县人, 博士, 副教授, 主要从事无人智能化装备方向的研究。

通讯作者: 李鹏月(1987-), 女, 河北省涿州市人, 硕士, 主要从事测试测量产品、通信产品方向的研发管理。

引用格式: 翟建龙, 郭全全, 姜贵鑫, 等. 基于实时频谱分析的便携式射频通信干扰器设计[J]. 计算机测量与控制, 2022, 30(10): 233-239, 245.

反恐、防暴的需要^[14]。基于以上现状和需求,有必要设计一种模块化、小型化的便携式射频通信干扰器,以满足各种军用与警用情境下的快速对抗需要。

文中提出了一种基于实时频谱分析和实时信号合成的模块化、小型化、便携式的射频通信干扰器的设计方法,并成功研制出干扰器样机,已被应用在某部队的通信训练中。

1 系统结构及原理

文中所设计的射频通信干扰器是基于现场可编程门阵列中间层板卡(FMC, FPGA mezzanine card)接口扩展的虚拟仪器(FXI, FMC extended instrument)规范进行设计的。FXI是一种模块化仪器设计规范,该规范在FMC信号定义的基础上,针对虚拟仪器领域的应用定义了FXI模块的结构尺寸和FXI接口的专有信号组。由于借鉴了FMC的模块化思想,该种设计提高了虚拟仪器模块的功能密度,从而时基于FXI规范设计出的射频通信干扰器具备便携性、模块化和轻量化的特点。文中射频通信干扰器主机结构为加固笔记本形式,单屏设备总重量不超过6公斤。另外在实际使用中,可针对短波通信、超短波通信和微波通信扩展不同的模块,来实现对短波、超短波和微波通信的干扰。

文中射频通信干扰器主要由主机、天线和功率放大器组成,如图1所示。其中主机为一台三屏加固笔记本,由侦测和干扰两部分组成,侦测和干扰组件分别位于设备的两侧。侦测部分的外围组件为多个接收天线,用于在短波、超短波和微波频段进行循环监测,发现频段内的频率使用情况。发送部分的外围组件由功放及发射天线组成,由主机产生的干扰信号经过功率放大器进行放大,然后通过发射天线发送出去,对跟踪到的信号进行干扰。

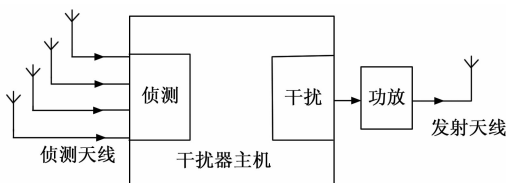


图1 射频通信干扰器组成

射频通信干扰器实物布局图如图2所示。



图2 射频通信干扰器布局图

2 设计方案

射频通信干扰器内部同时集成频谱仪和射频信号发生器,频谱仪和射频信号发生器通过FXI信号组紧密耦合,可实现对跳频信号的快速跟踪,从而实现对快速跳频信号的无缝跟踪干扰。

通常跳频信号的干扰有瞄准式、阻塞式和跟踪式等不同形式^[16-21]。瞄准式干扰也叫单频干扰,是指干扰信号的中心频率与被干扰信号的频率重合,或干扰信号和被干扰信号频谱宽度基本一致。瞄准式干扰的频谱较窄,干扰功率相对比较集中,所有能量全部用来压制敌方的某一通信信号,功率利用率高,干扰效果好^[22]。但是此种干扰方式要求干扰信号与被干扰信号有较高的频率重合度,从而对干扰器的性能提出了较高要求,而且要有引导干扰频率的侦察部分。瞄准式干扰通常用来压制对方重要的指挥性通信。阻塞式干扰是一种宽频带干扰,它可以对某一频段内的全部信号进行干扰。其较宽的干扰信号频谱,通常能覆盖被干扰无线设备的整个工作频段,同时对该频段内的所有通信信号进行压制,因此,也叫多频干扰。这种干扰无需频率重合,也无需引导干扰的侦察设备,相对比较简单^[23]。通常用于压制地方战术分队的无线电通信。跟踪式干扰通常是先对截获的信号进行分选、分析,确定要干扰的对象,引导干扰器发射出瞄准式干扰。此干扰方式对跳频通信产生的威胁很大,这就需要通信方能以尽可能高的速率进行跳频,以减少干扰方在每跳上的干扰时间百分比^[24]。

文中所设计的射频通信干扰器可实现瞄准式、阻塞式和跟踪式三种干扰方式,其中瞄准式干扰和阻塞式干扰不需要频谱仪模块跟踪被干扰信号,而跟踪式干扰需要频谱仪模块来跟踪被干扰信号。针对瞄准式干扰,信号发生器模块在设定的频率点上产生指定模式的干扰信号;针对阻塞式干扰,信号发生器模块在两个频率点之间的频带内施加宽频带干扰信号。在跟踪干扰过程中,频谱仪需要实时跟踪被干扰信号的频频信号,并引导信号发生器在所跟踪的频率点上施加干扰信号。

2.1 系统框图

射频通信干扰器主机内部由载板和子板构成,系统框图如图3所示。载板上设计有大规模现场可编程门阵列(FPGA, field programmable gate array)、高速模数转换器(ADC, analog to digital converter)和高速数模转换器(DAC, digital to analog converter)。大规模FPGA用以通过快速傅里叶变换(FFT, fast fouriertransform)算法来跟踪射频信号,并通过反向快速傅里叶逆变换(IFFT, inverse fast fouriertransform)算法来合成各种模式的射频干扰信号,ADC用以采集频谱仪子板传送过来的模拟基带信号,DAC用以合成各种模式的基带干扰信号。频谱仪子板用以实现射频信号下变频,将射频信号变换到DC~40 MHz的基带信号,并将基带信号送至载板上的高速ADC。射频信号发生器子板用以实现射频信号上变频,将DAC输出的DC~40 MHz的基带干扰信号变换到指定频点上。

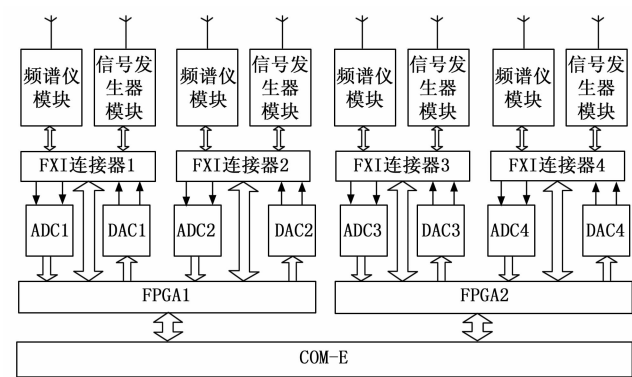


图 3 干扰器硬件功能框图

2.2 FXI 信号组

在文中射频通信干扰器的设计中, 用到的 FXI 信号组定义如表 1~表 3 所示。

表 1 高带宽模拟量输入接口

序号	信号名	方向	说明
1	AIN1_P	输入	模拟通道 1 输入正
2	AIN1_N	输入	模拟通道 1 输入负
3	AIN2_P	输入	模拟通道 2 输入正
4	AIN2_N	输入	模拟通道 2 输入负

表 2 高带宽模拟量输出接口

序号	信号名	说明
1	AOUT1_P	模拟通道 1 输出正
2	AOUT1_N	模拟通道 1 输出负
3	AOUT2_P	模拟通道 2 输出正
4	AOUT2_N	模拟通道 2 输出负

表 3 SPI 接口信号

序号	信号	方向	有效	描述
1	SCLK	I	N. A.	时钟信号
2	SDI	I	N. A.	数据输入
3	SDO	O	N. A.	数据输出
4	SPCS	I	高	片选

参考表 1~3, 载体上的 ADC 对 FXI 连接器上的两路高带宽模拟量输入信号采样, 将采样数据送至 FPGA, 通过 FPGA 的算法逻辑对 ADC 的两路模拟量采样数据作时域或频域分析。载体上的 DAC 合成两路高带宽模拟量信号并送至 FXI 连接器, 由射频信号发生器子板进行上变频, 将基带信号加载到射频载波上。FXI 连接器上的串口外设接口 (SPI, serial peripheral interface) 信号组用以配置频谱仪子板和信号发生器子板中的自动增益控制 (AGC, automatic gain control) 和可变增益控制 (VGC, variablegain control) 的工作参数。

3 系统硬件设计

3.1 系统硬件功能框图

射频通信干扰器硬件设计功能如图 4 所示。

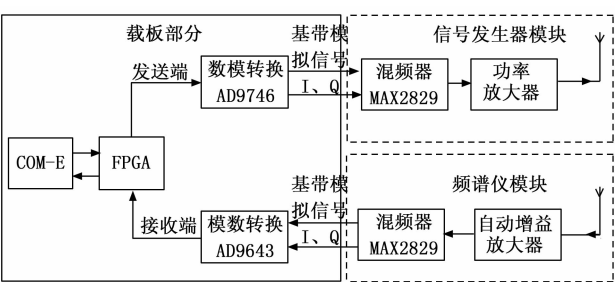


图 4 干扰器硬件设计功能框图

3.2 载体设计

3.2.1 设计说明

图 4 中, 射频通信干扰器载体采用基于 X86 系列处理器的计算机模块标准 (COM-E, computer-on-module express) 设计, 在载体上集成 2 片大容量 FPGA 芯片、4 片高速 ADC 和 4 片高速 DAC。COM-E 模块通过 PCIe 总线来控制 FPGA、访问 FPGA 内部资源。FPGA 通过低压差分信号 (LVDS, low voltage differential signaling) 接口连接 ADC 和 DAC 芯片, 并通过串行外设接口 (SPI, serial peripheral interface) 总线来配置 ADC 和 DAC。

载体上设计有 3 个低引脚数 (LPC, low pin count) 的 FMC 连接器和一个高引脚数 (HPC, high pin count) 的 FMC 连接器, 每个 FMC 连接器可通过堆叠设计, 连接两个 FXI 板卡。在设计中, 每个 FMC 连接器上连接一个频谱仪模块和一个信号发生器模块, 从而实现对 40 MHz 带宽的射频信号的干扰, 4 个模块总共实现对 160 MHz 射频信号的实时干扰。

3.2.2 COM_E 模块

COM-E 是一种集成度高并且结构紧凑的模块计算机, 可以像集成电路组件一样用于设计和应用。每个 COM-E 模块都集成了核心 CPU 和内部存储功能、通用输入输出 (I/O, input/output)、USB、音频、图形以及以太网等。COM-E 采用基于夹层的方法, 所有 I/O 信号都映射到模块底部的两个高密度、薄型连接器^[25]。COM_E 标准基于最新的总线技术, 可以将传统通信接口与现在流行的 LVDS 接口平滑连接, 可适用于当前大部分高性能处理器, 同时它也提供了传统总线技术到当今最新总线技术的过渡和兼容。

文中设计选用的 COM_E 模块为施耐基科技的 SNJ-C567 型模块, 该模块可提供 1 个千兆以太网接口、5 个 USB3.0、8 个 USB2.0 接口、2 个 TTL 串口、4 路 PCIe、2 个 SATA 接口, 可满足硬件设计需求, 并且其尺寸仅为 84 mm * 62 mm, 节省了整体空间。

3.2.3 FPGA 选型

在文章所述设计中, 选用赛灵思公司 (XILINX) 的 K7 系列高性能 FPGA, 型号为 XC7K325T。此系列 FPGA 集成了丰富的可编程资源, 功能强大、并能够灵活组合配置的, 用于实现输入输出接口、通用数字逻辑、存储器、

数字信号处理、时钟管理等多种功能,并且提供了强大的布线资源与专用时钟,适用于复杂、高速的数字逻辑电路的设计实现,在通讯、信息处理、工业控制、数据中心、仪表测量、医疗仪器、人工智能、自动驾驶等领域可广泛应用^[26]。XC7K325T 产品包含可用于实现常规数字逻辑和分布式运行内存(RAM, random access memory)的可配置逻辑模块(CLB, configurable logic block)。设备中内部 CPU 与 FPGA 的数据通信采用 FPGA 内嵌的“PCI Express Endpoint”模块,支持 PCI Express 1/2/4/8Lane,符合 PCI Express v1.1/2.0 标准,每个 Lane 的传输速率是 2.5 Gbps。FPGA 与 ADC 和 DAC 等器件之间 I/O 接口的标准有 LVDS 与低压互补金属氧化物半导体电平标准(LVCMOS, low voltage complementary metal oxide semiconductor)。外部晶振产生 200 MHz 系统时钟信号并被引入到 FPGA 的专用引脚。此外,还包含 Block RAM、数字信号处理器(DSP, digital signal processor)、混合模式时钟管理器(MMCM, mixed-mode clock manager)、千兆收发器(GTX, gigabit transceiver)等可编程模块,可以方便地实现各类特定应用。

3.2.4 模数转换器 ADC

在文章所述设计中,选用亚德诺半导体公司(ADI, analog devices)的 AD9643 作为模数转换器,AD9643 是一款双通道、14 位模数转换器(ADC),其最高采样速率可达 250 MSPS 的,具有尺寸小、功耗低、带宽宽、多功能通信应用的特点。这款 ADC 采用多级、差流水线架构,内部集成了输出纠错逻辑。AD9643 均具有宽带宽输入,支持额定范围内可选的不同输入范围。其集成的占空比稳定器可用于补偿 ADC 时钟占空比的波动,使得转换器始终保持优秀的性能。ADC 输出数据直接路由至两个外部 14 位 LVDS 输出端口,格式化为交错式或通道复用式。芯片专用差分输入可在高达 400 MHz 的输入频率下保持优良的信噪比性能。其芯片内部设置与控制编程利用三线式 SPI 兼容型串行接口与 FPGA 连接来完成,且可通过 SYNC 引脚输入允许多个设备同步。AD9643 采用 64 引脚 LFCSP 封装,额定温度范围为 $-40\sim+85\text{ }^{\circ}\text{C}$ 工业温度。

3.2.5 数模转换器 DAC

在文章所述设计中,选用亚德诺半导体公司的 AD9746 作为数模转换器,AD9746 是一款具有 10/12/14/16 位分辨率的高动态范围的双口 DAC,采样率高达 250 MHz。其可直接转换传输应用的特定功能,包括增益和偏移补偿,可以与模拟正交调制器(MAX2829)无缝连接。与 AD9643 类似,其串行的外部接口 SPI 端口可控制芯片内部设置与逻辑。此芯片还具有低噪声和互调失真(IMD, inter modulation distortion)专用开关输出,增强动态性能和可编程电流输出和双辅助 DAC 的特点可以实现高质量的宽带信号合成。

3.3 频谱仪和射频信号发生器接口模块设计

3.3.1 频谱仪接口模块设计

频谱仪接口模块功能如图 5 所示,射频输入信号先通

过低噪声放大器(LNA, low noise amplifier)放大,然后进行自动增益控制(AGC, automatic gain control),稳定信号强度。调理后的信号经过下变频网络,同互为正交的本振信号相乘后,进入低通滤波器(LPF, low pass filter),滤除高频分量,产生基带的 I 分量和 Q 分量,送至载板上的高速 ADC,由 ADC 采样后,送至 FPGA 中的 FFT 模块,进行信号的频谱分析。

图 5 中的本振信号源由 FPGA 控制,频率在 100 kHz~6 GHz 内连续可调。

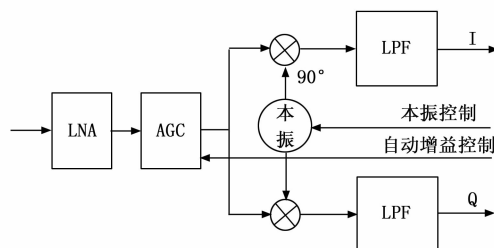


图 5 频谱仪接口模块功能框图

3.3.2 射频信号发生器接口模块设计

射频信号发生器接口模块功能如图 6 所示,DAC 输出的两路互为正交的基带信号 I 和 Q 经过 LPF 滤波后同相位相差 90° 的本振信号相乘,再经由加法器上变频至设定的频点。上变频后的射频信号经由可调增益放大器调理后送至功率放大器输出至发射天线。

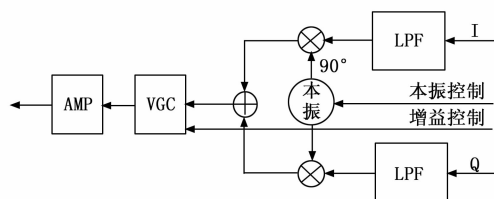


图 6 射频信号发生器接口模块功能框图

3.3.3 芯片选型

文中所述设计中采用的 MAX2829 是一款单芯片射频收发器芯片,专为正交频分多路复用技术(OFDM, orthogonal frequency division multiplexing) 802.11 无线局域网(WLAN, wireless local area network)应用设计。MAX2829 用于双频 802.11a/g 应用,覆盖 2.4~2.5 GHz 以及 4.9~5.875 GHz 全波段范围。该芯片包括了实现无线射频(RF, radio frequency)收发功能所需要的全部电路,提供完全集成的接收通道、发送通道、压控振荡(VCO, voltage controlled oscillation)、频率合成器以及基带/控制接口。文中干扰器 RF 前端方案整体电路除 MAX2829 还加入了功率放大器(PA, power amplifier)、RF 开关、RF 带通滤波器(BPF, bandpass filter)、RF 非平衡变压器(bal-un)以及少量的无源器件,最终实现射频信号的收发。

此芯片在接收器/发送器内集成了滤波器,无需外部声表波(SAW, surface acoustic wave) SAW 滤波器。基带滤

波器和 Rx/Tx 信号通道经过优化, 可满足 802.11a/g IEEE 标准, 覆盖全范围的数据速率要求 (OFDM 的 6 Mbps、9 Mbps、12 Mbps、18 Mbps、24 Mbps、36 Mbps、48 Mbps 和 54 Mbps; 补码键控 (CCK, complementary code keying) /直接序列扩频 (DSSS, direct sequence spread spectrum) 的 1 Mbps、2 Mbps、5.5 Mbps 和 11 Mbps), 灵敏度比 802.11 a/g 标准提高 10 dB。MAX2829 收发器采用小尺寸、56 引脚、具有裸露焊盘的薄型 QFN 封装。

3.4 算法设计

3.4.1 功能逻辑框图

干扰器控制及算法如图 7 所示, 信号的频谱分析和干扰信号的合成均在 FPGA 中采用硬件逻辑实现, 从而确保信号跟踪和干扰信号合成的实时性。频谱分析采用 512 点 4 基的 FFT 算法实现, 信号合成采用 512 点 4 基的 IFFT 算法实现。频谱分析模块输出至控制逻辑, 由控制逻辑根据频谱分析的结果来控制信号发生模块合成干扰信号。控制逻辑由软件通过主机接口控制, 来设定干扰信号的模式。

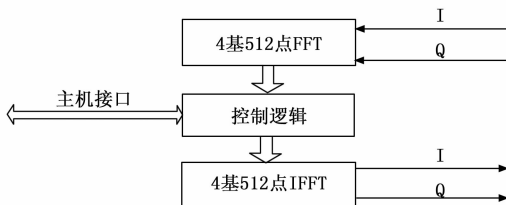


图 7 干扰器控制及算法框图

3.4.2 算法实现

512 点的离散傅里叶变换表示为下式:

$$X(k) = \sum_{n=0}^{N-1} x(n)W_{512}^{nk} \quad (1)$$

将上式中的求和项以 8 为间隔, 分为 8 组, 每组 64 点, 重新组合后, 上式等价于:

$$X(k) = \sum_{r=0}^{\left(\frac{N}{8}\right)-1} x(8r)W_{512}^{8rk} + \sum_{r=0}^{\left(\frac{N}{8}\right)-1} x(8r+1)W_{512}^{(8r+1)k} +$$

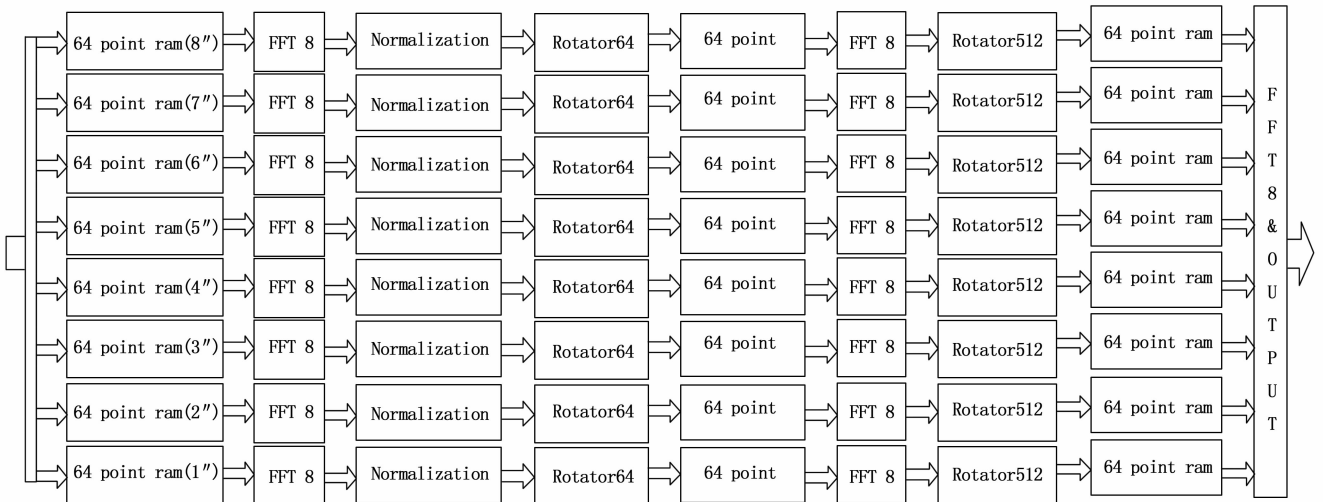


图 8 512 点 FFT 功能框图

$$\begin{aligned} & \left(\sum_{r=0}^{\left(\frac{N}{8}\right)-1} x(8r+2)W_{512}^{(8r+2)k} + \sum_{r=0}^{\left(\frac{N}{8}\right)-1} x(8r+3)W_{512}^{(8r+3)k} + \right. \\ & \left. \sum_{r=0}^{\left(\frac{N}{8}\right)-1} x(8r+4)W_{512}^{(8r+4)k} + \sum_{r=0}^{\left(\frac{N}{8}\right)-1} x(8r+5)W_{512}^{(8r+5)k} + \right. \\ & \left. \sum_{r=0}^{\left(\frac{N}{8}\right)-1} x(8r+6)W_{512}^{(8r+6)k} + \sum_{r=0}^{\left(\frac{N}{8}\right)-1} x(8r+7)W_{512}^{(8r+7)k} \right) \quad (2) \end{aligned}$$

又变换为:

$$\begin{aligned} X(k) = & \left(\sum_{r=0}^{\left(\frac{N}{8}\right)-1} x(8r)W_{64}^{rk} + W_{512}^k \sum_{r=0}^{\left(\frac{N}{8}\right)-1} x(8r+1)W_{64}^{rk} + \right. \\ & W_{512}^{2k} \sum_{r=0}^{\left(\frac{N}{8}\right)-1} x(8r+2)W_{64}^{rk} + W_{512}^{3k} \sum_{r=0}^{\left(\frac{N}{8}\right)-1} x(8r+3)W_{64}^{rk} + \\ & W_{512}^{4k} \sum_{r=0}^{\left(\frac{N}{8}\right)-1} x(8r+4)W_{64}^{rk} + W_{512}^{5k} \sum_{r=0}^{\left(\frac{N}{8}\right)-1} x(8r+5)W_{64}^{rk} + \\ & W_{512}^{6k} \sum_{r=0}^{\left(\frac{N}{8}\right)-1} x(8r+6)W_{64}^{rk} + W_{512}^{7k} \sum_{r=0}^{\left(\frac{N}{8}\right)-1} x(8r+7)W_{64}^{rk} \left. \right) \quad (3) \end{aligned}$$

参见式 (3), 在做 512 点傅里叶变换前, 先将其转换为 8 组 64 点的傅里叶变换, 其逻辑实现如图 8 所示。

FFT512 和 IFFT512 可在 256 个时钟周期内完成 512 个谐波的分析 and 512 个谐波的合成。图 9 为 FFT512 算法仿真结果, di 与 dr 模拟的是 ADC 采集的时域输入基带信号, doi 与 dor 模拟的是经过如图 6 所示算法变换后输出的频域信号。由图 7 信息可知, 在采用 256 M 时钟采样时每一次采样与信号识别时间在 $2.5 \mu\text{s}$ 以内, 干扰信号的注入与合成时间也在 $2.5 \mu\text{s}$ 以内, 因此整体可在 $5 \mu\text{s}$ 以内完成射频信号的跟踪和干扰信号的合成, 从而实现最大 10 万次/秒的跳频信号的跟踪和干扰。

4 系统软件设计

文中设计的射频通信干扰器的软件采用 Visual C++ 语言开发, 由于干扰器的算法和控制逻辑均在 FPGA 中通过硬件逻辑实现, 所以干扰器的软件设计主要为人机交互界面, 一方面用于干扰器工作过程中的工作参数设置, 另一

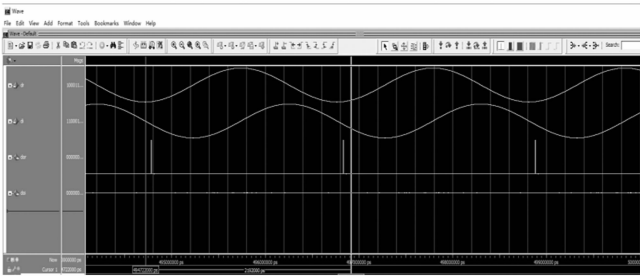


图 9 FFT512 算法仿真结果

方面用于射频信号的监测和显示。

4.1 软件设计流程

在设计实现上, 射频通信干扰器软件由上位机软件、驱动软件两部分组成, 其设计实现基本思路如图 10 所示。上位机软件由频谱跟踪软件、瀑布图软件、干扰器控制软件三部分构成, 主要实现干扰器跟踪数据的曲线显示、干扰器跟踪频点抑制后的情况显示、频段内频点信号强度的显示, 以及通过界面对干扰器设备的启停、干扰类型、干扰种类的控制。驱动层软件主要完成与干扰器硬件的交互, 完成干扰器命令和数据的转发传递。

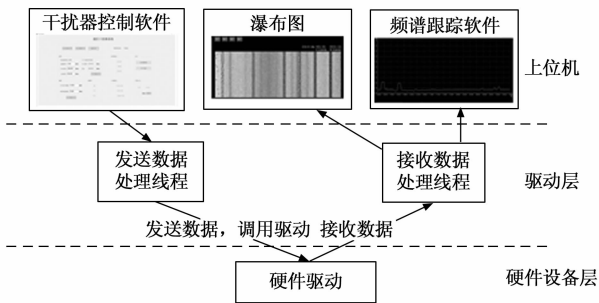


图 10 干扰器软件设计实现

4.2 系统设置界面

射频通信干扰器系统设置界面如图 11 所示, 系统配置界面由以下几个功能区域组成, 可对干扰器设备的启停、干扰模式、干扰方式等的控制。



图 11 干扰器配置界面

4.1.1 系统控制按键

用于打开/关闭频谱仪、功率放大器, 波形起止、系统

屏幕显示。

4.1.2 参数设置区域

1) 频率设置:

- (1) 起始和终止频率: 可手动改变起始和终止频率;
- (2) 中心频率和带宽: 可手动改变中心频率和带宽;
- (3) 分屏频率: 可以手动改变分屏的频率值。

2) 阈值设置区域:

- (1) 信号电平阈值: 可更改信号电平阈值;
- (2) 频率跳变阈值: 可更改频率跳变阈值。

3) 灵敏度设置区域:

点击“高”、“中”、“低”根据需要进行灵敏度设置。

4) 采样模式设置区域:

(1) 点击“最大值”, 可出现干扰器工作期间的各段频率对应幅值的最大值;

(2) 点击“最小值”, 可出现干扰器工作期间的各段频率对应幅值的最小值;

(3) 点击“平均值”, 可出现干扰器工作期间的各段频率对应幅值的平均值。

5) 干扰模式设置区域:

干扰模式调节点击“单音干扰”、“多音干扰”、“白噪声干扰”。

6) 干扰方式:

(1) 手动干扰: 选择“手动”, 输入目标干扰频率即可;

(2) 自动干扰: 双击屏幕目标干扰频率即可。

4.3 信号监测界面

图 12 为射频通信干扰器信号监测界面, 信号监测界面由上到下分为控制按钮和数值信息显示区域、频谱瀑布图显示区域、频谱曲线显示区域三部分, 用户可直观地通过数值、颜色、曲线等不同形式观察频谱信号的情况, 可以实现干扰器跟踪数据的曲线显示、干扰器跟踪频点抑制后的情况显示、频段内频点信号强度的显示等。

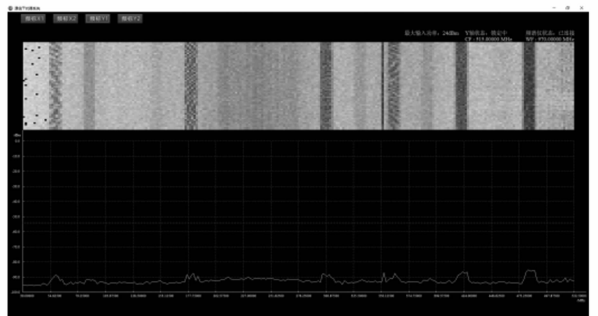


图 12 射频信号跟踪/干扰界面

信号监测界面主要包含以下控制按键:

1) 频标 X1 按钮: 打开频标 X1 会显示一条垂直虚线, 在图表右上角会显示频标 X1 的位置信息, 与 X2 配合可以测量一段波形的频率大小, 数值显示在右上角。

2) 频标 X2 按钮: 打开频标 X2 会显示一条垂直虚线, 在图表右上角会显示频标 X2 的位置信息, 与 X1 配合可以

测量一段波形的频率大小, 数值显示在右上角。

3) 频标 Y1 按钮: 打开频标 Y1 会显示一条水平虚线, 在图表右上角会显示频标 Y1 的位置信息, 与 Y2 配合可以测量一段波形的信号强度大小, 数值显示在右上角。

4) 频标 Y2 按钮: 打开频标 Y2 会显示一条水平虚线, 在图表右上角会显示频标 Y2 的位置信息, 与 Y1 配合可以测量一段波形的信号强度大小, 数值显示在右上角。

5 实验结果与分析

在室温环境下, 通过使用双通道宽带功率计、频率计数器、衰减器、频谱分析仪等测试设备对射频通信干扰器输出的短波信号各项参数指标进行实际测量, 以验证设备性能。

测量结果如表 4~8 所示。

表 4 频率准确度		
标称值/MHz	实测值/MHz	误差/Hz
30	30.029 362	-29 362
50	50.031 350	-31 350
100	100.028 066	-28 066
200	200.028 151	-28 151
300	300.027 775	-27 775
400	400.027 253	-27 253
500	500.027 188	-27 188
600	600.028 064	-28 064
700	700.021 224	-21 224
800	799.982 198	17 802
900	900.024 372	-24 372
982	982.026 356	-26 356

表 5 输出功率				
频率/MHz	实测值/W	不确定度 $U(k=2)$ /W	允许值/W	结论
30	11	1	≥ 10	通过
50	28	1	≥ 10	通过
100	35	1	≥ 10	通过
200	30	1	≥ 10	通过
300	36	1	≥ 10	通过
400	24	1	≥ 10	通过
500	29	1	≥ 10	通过
600	25	1	≥ 10	通过
700	24	1	≥ 10	通过
800	17	1	≥ 10	通过
900	21	1	≥ 10	通过
982	10	1	≥ 10	通过

表 6 输出功率稳定度@5 分钟				
载波频率 /MHz	实测值 /dB	不确定度 $U(k=2)$ /dB	允许值 /dB	结论
30	0.19	0.22	≤ 0.5	通过
500	0.17	0.22	≤ 0.5	通过
900	0.05	0.22	≤ 0.5	通过

表 7 输出频率稳定度@5 分钟				
载波频率 /MHz	实测值 /Hz	不确定度 $U(k=2)$ /Hz	允许值 /Hz	结论
30	26	10	≤ 30	通过
500	28	10	≤ 30	通过
900	22	10	≤ 30	通过

表 8 干扰信号谐波					
频率 /MHz	谐波 次数	实测值 /dBc	不确定度 $U(k=2)$ /dB	允许值 /dBc	结论
30	2nd	-42	1	≤ -35	通过
100	2nd	-46	1	≤ -35	通过
500	2nd	-43	1	≤ -35	通过
900	2nd	-45	1	≤ -35	通过
982	2nd	-46	1	≤ -35	通过

测试数据表明, 文中所设计的射频通信干扰器的各项技术指标可满足实际使用要求。

6 结束语

本文所设计的射频通信干扰器主要用于电子对抗中对短波、超短波和射频微波信号的干扰。该干扰器采用 FXI 规范, 实现了模块化、小型化和轻量化的设计, 且符合单兵便携式使用要求。经过测试, 所设计的射频通信干扰器的各项指标满使用足要求, 并已应用于某部队通信训练中, 并可进一步推广至电子对抗、无人机干扰等技术领域。

参考文献:

[1] BERGER S. Digital radio frequency memory linear range gate stealer spectrum [J]. IEEE Transactions on Aerospace Electronic Systems, 2003, 39 (2): 725-735.

[2] 石 荣. 电子对抗在中国的起源与早期发展历程回顾 [J]. 舰船电子工程, 2021, 41 (02): 14-19.

[3] 丁 凯. 电子对抗在现代战争中的作用 [J]. 电子技术与软件工程, 2019 (7): 85.

[4] 赵禄达, 王 斌, 姜福涛. 通信电子战系统的排队论建模及效能分析 [J]. 电讯技术, 2021, 61 (3): 328-334.

[5] GRRECO M, GINI F, FARINA A, et al. Effect of phase and range gate pull-off delay quantisation on jammer signal. [J]. IEEE Proceedings of Radar Sonar and Navigation, 2006, 153 (5): 454-459.

[6] 李胜峰. 通用超短波跳频电台的研究与实现 [J]. 舰船电子工程, 2012, 32 (8): 58-60.

[7] 张 强. 浅谈跳频技术与跳频干扰方法 [C] //天津第三十二届中国 (天津) 2018'IT、网络、信息技术、电子、仪器仪表创新学术会议, 2018: 96-99.

[8] 苏 扬, 钱 皓. 基于 FPGA 的跳频通信系统开发 [J]. 计算机测量与控制, 2016, 24 (10): 171-174.

[9] 郝 威, 杨露菁. 跳频技术的发展及其干扰对策 [J]. 舰船电子对抗, 2004, 27 (4): 7-12.

[10] 张希忠. 一种车载电子干扰设备的固定装置和固定方法 [P]. 中国: 202010029492.2, 2020-01-11.

(下转第 245 页)