

瞬态过载测试数据回读系统设计

陈梦旒^{1,2}, 鲍爱达^{1,2}, 马游春^{1,2}, 李学超^{1,2}

(1. 中北大学 电子测试技术国家重点实验室, 太原 030051;

2. 中北大学 仪器科学与动态测试教育部重点实验室, 太原 030051)

摘要: 在电磁轨道炮发射过程中, 由于需要采集并存储电枢的瞬态过载参数, 数据量大且变化率极快, 因此对瞬态过载信号回读的传输率和稳定性要求更高; 基于对瞬态过载数据回读的需要, 实现了一种基于 USB 传输总线的回读系统; 该回读系统采用 XC3S400 主控芯片, 控制过载数据的采集、存储数据的回读和上位机指令接收, 内部 FIFO 负责数据缓存; 采集模块采用仪表放大器和数字电位器相结合的方法, 实现电路增益可调; 以 FT232HL 桥接芯片作为 USB 接口芯片, 利用该芯片的同步 245 FIFO 接口, 设计了 USB 接口硬件电路, 数据传输速率能够达到 46 MB/s; 采用 FLASH 模块存储数据, 以 FT232HL 芯片为载体, 实现 PC 端与存储模块的数据传输; 经过试验验证, 系统能够对弹丸的瞬态过载参数进行可靠回读, 整个系统开发周期短, 硬件设计简单, 可适用于其他工程应用中。

关键词: 过载测试; 数据回读; FPGA; FT232HL; 同步 FIFO

Design of Transient Overload Test Data Readback System

CHEN Mengni^{1,2}, BAO Aida^{1,2}, MA Youchun^{1,2}, LI Xuechao^{1,2}

(1. National Key Laboratory for Electronic Measurement Technology, North University of China, Taiyuan 030051, China;

2. Key Laboratory of Instrument Science & Dynamic Measurement of Ministry of Education,

North University of China, Taiyuan 030051, China)

Abstract: During the launch of the electromagnetic railgun, due to the need to collect and store the transient overload parameters of the armature, the data volume is large and the rate of change is extremely fast, so the transmission rate and stability of the transient overload signal readback are required to be higher. Based on the need for readback of transient overload data, a readback system based on USB transmission bus is implemented. The readback system uses the XC3S400 main control chip to control the collection of overload data, the readback of stored data and the receiving of commands from the host computer. The internal FIFO is responsible for data buffering. The acquisition module uses a combination of instrumentation amplifiers and digital potentiometers to achieve a circuit that implements adjustable gain. The FT232HL bridge chip is used as the USB interface chip, and the synchronous 245 FIFO interface of the chip is used to design the USB interface hardware circuit, the data transmission rate can reach 46 MB/s; the FLASH module is used to store data, and the FT232HL chip is used as the carrier to realize the data transmission between the PC terminal and the storage module. It has been verified by experiments that the system can reliably read back the transient overload parameters of the projectile. The whole system has a short development cycle and simple hardware design, which can be applied to other engineering applications.

Keywords: overload test; data readback; FPGA; FT232HL; synchronous FIFO

0 引言

随着军用武器的不断发展, 电磁轨道炮作为新一代战略武器, 受到了各国军方的青睐。和传统火药不同, 电磁炮能够将弹丸在短时间内超高速发射, 利用电磁力转变为动力, 大幅度提高弹丸的速度和射程^[1]。电磁发射作为一种新概念的武器发射手段, 研究测量发射过程中的关键参数至关重要。其中, 对电枢的瞬态过载测试是辅助研制电磁炮、评估电磁炮性能的重要手段, 主要以获取弹丸发射时的加速度为主。过载测试数据一般通过搭载加速度计的弹载数据记录仪来获取^[2]。

通常在工程应用数据回读传输时, 采用的 422 总线或 485 总线等通信接口, 在传输过程中会受到电磁干扰、噪声、功耗等制约, 同时需要满足传输速率和距离等要求, 这些接口不满足实际需求^[3]。USB 2.0 通用串行总线的传输速度可达到 480 Mbps, 满足过载测试数据回读系统传输率和稳定性的需求^[4], 具有即插即用、成本低廉、传输速率高、接口应用广泛和占用资源少等优点^[5]。因此本系统选择 USB 2.0 接口作为过载测试系统与上位机的交互接口。一般的 USB 接口设计中, USB 传输协议使用较为复杂^[6], 需开发 USB 专用固件, 开发时间相对较长^[7]; 不需开发

收稿日期: 2022-05-23; 修回日期: 2022-06-23。

作者简介: 陈梦旒(1997-), 女, 山西临汾人, 硕士研究生, 主要从事动态测试、电子信息、微系统集成等方向的研究。

鲍爱达(1980-), 男, 河北秦皇岛人, 博士, 副教授, 硕士生导师, 主要从事电子测试仪器与系统方向的研究。

引用格式: 陈梦旒, 鲍爱达, 马游春, 等. 瞬态过载测试数据回读系统设计[J]. 计算机测量与控制, 2022, 30(10): 82-87, 117.

USB 专用固件的情况下, 采用异步 FIFO 通信模式, 数据传输速率仅达到 8 MB/s^[8]。

基于以上传输方式存在的问题, 本文设计了一种针对电枢发射的瞬态过载数据回读系统。系统采用了较少的逻辑单元实现了瞬态过载数据采集系统与上位机的数据传输, 显著降低了数据回读系统的成本。该系统开发周期短, 降低了硬件设计的复杂性, 能够实现数据的可靠、快速传输, 数据传输速率可达到 46 MB/s。

1 总体设计方案

该系统主要由四部分组成, 分别是过载数据采集模块、电源模块、FPGA 主控模块和 USB 回读模块, 如图 1 所示。过载数据采集模块主要实现采集弹丸发射时的瞬态过载数据。弹丸发射后, 通过加速度传感器获取到信号, 经过信号调理和数字化后, 经由 FPGA 模块内部的 FIFO 将数据传输给存储模块。电源模块负责转换电压, 为回读系统提供稳定的电流和电压。FPGA 模块是核心部分, 接收到上位机下发的指令后判断指令内容, 再相应地根据指令内容进行操作^[9]。根据上位机下发的读取数据指令, FPGA 读取过载数据存储模块内的信息, 将并行数据暂时缓存到 FPGA 内部 FIFO, 上位机下发指令后, 传输给 USB 模块。USB 模块利用 FT232HL 芯片的同步读写模式, 通过其内部的读、写 FIFO 实现数据传输, 最后使用 USB 接口输出到上位机显示和储存。

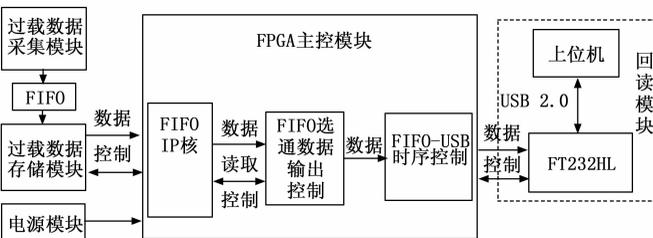


图 1 系统设计方案

2 硬件电路设计

2.1 过载数据采集模块

过载数据采集模块用于处理加速度传感器采集的数据。电磁炮发射完成后, 传感器采集的过载数据电压输出范围为 ± 50 mV, 必须经过信号调理放大和 A/D 转换电路, 之后由主控模块内部缓存将数据传输到存储模块。采集模块的原理如图 2 所示。在该采集模块中, 采用仪表放大芯片和数字电位器相结合的办法, 可根据需要调整调理电路的放大倍数。一般的信号调理电路根据运算放大器外围电阻确定放大倍数, 该电路解决了这种一旦确定阻值放大倍数就不可更改的问题。

2.1.1 调理放大电路

该系统采用仪表放大器和数字电位器实现信号的调理放大, MAX4208 是具有超低失调电压、低功耗、高精度等特性的仪表放大器。由于加速度传感器输出的是差分信号,

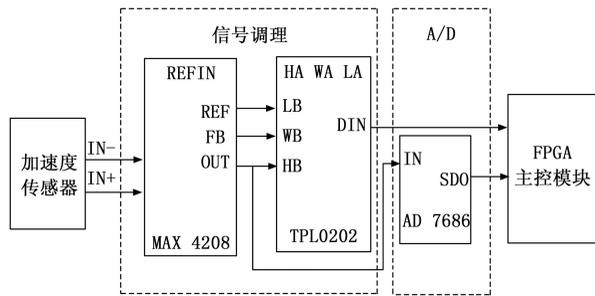


图 2 数据采集模块原理图

因此需要提供一个偏置电压使得输出信号始终为正值, 便于后续电路的处理。该芯片采用双运放跨导架构, 可充分使用差分输入信号的全部动态范围。由于芯片供电电源为 5 V, 因此偏置电压值通过数字电位器设置为 2.5 V。通过利用该偏置电压引脚, 该电路实现将过载信号的差分输入转为可调增益的单端输出。

电路中的信号增益是通过调整芯片的 REF 引脚与 FB 引脚和 OUT 引脚与 FB 引脚之间两个外部电阻值来确定的。这两个外部电阻连接的是数字电位器的 LB、WB 和 HB 引脚。数字电位器芯片具有两个通道, 在功能上彼此独立, 两端电阻值为 10 k Ω , 分别具有 256 位分辨率, 意味着有 256 种阻值可选择。两个电位器的电阻配比都由 WA、WB 划片引脚确定, 每次划片位置信息由芯片内部的非易失性存储器存储, 可通过 FPGA 发送指令调整划片位置, 改变仪表放大器外围电阻值的大小, 从而实现自定义增益大小。

2.1.2 A/D 转换电路

该系统采集单通道过载数据, 经过调理电路的过载信号为模拟信号, 由于进入 FPGA 处理的信号需为数字信号, 所以设计一个 A/D 模数转换电路, 以此保证对原始信号进行处理分析。A/D 芯片的采样吞吐率和转换速率直接影响到采集模块的采集效率, 同时还有功耗和噪声干扰等方面对模块的影响, 因此, 选择合适的 A/D 芯片是数据采集模块的关键。在该系统中, A/D 转换电路采用的芯片是 AD7686。该芯片是 16 位的单通道模数转换器, 具有低噪声、低功耗等特性, 在供电电压为 5 V, 采样速率为 100 kSPS 时, 功耗仅有 3.75 mW。该芯片采样吞吐率达到 500 kSPS, 完全满足对过载数据的采样需求。当时钟沿上升, 芯片对 IN+、IN- 输入电压差进行采样, 电压差范围为 0-REF。REF 参考电压设置为芯片供电电压 5 V。该芯片可使用三线或四线的 SPI 串行接口直接与 FPGA 连接, 本系统中使用三线接口模式, 节约资源。该模式下, FPGA 通过 SCK 和 CNV 引脚控制 AD 芯片, CNV 引脚拉高后, 在时钟约束下 AD 芯片开始对模拟过载数据量转化, 通过 SDO 引脚输出数字量。

2.2 电源模块

由于 USB 接口能够提供稳定电压^[10], 因此, 本设计中各个模块的电压均由 USB 接口提供, 电源模块的原理如图 3 所示。过载数据采集模块使用的供电电压为 5 V, 可直接

通过 USB 接口得到。FPGA 主控模块和过载数据存储模块使用的供电电压分别是 3.3 V、1.2 V、2.5 V，均需通过线性稳压器降压得到。本设计模块中，USB 接口提供的 5 V 电压通过 SPX3819 稳压器，分别输出 3.3 V、2.5 V、1.2 V 电压。相比于 DC-DC 稳压器，SPX3819 系列稳压器具有很好的低噪声输出性能，芯片尺寸小，设计简单。

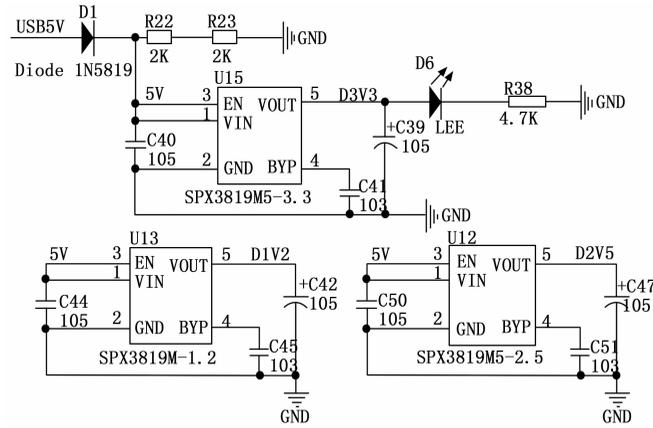


图 3 电源电路原理图

2.3 FPGA 模块

主控模块是整个系统的核心，控制着数据采集模块、存储模块和 USB 回读模块的正常运行，负责接收数据采集模块的数据，将模拟数据量化编码后编帧发送给存储模块；负责从 FLASH 中读取存储模块的数据，通过 USB 接口芯片将数据发送到上位机；负责接收应答上位机的传输、读数等指令，将有效指令信息分发给相应的模块单元。在控制芯片的选择上，选用 FPGA 作为主控芯片。在常见的主控芯片中，单片机是单线程芯片，硬件固定，通过软件编程实现功能，按照顺序实现逻辑；DSP 用于高速执行串行算法，常用于数字信号处理中，硬件设计一旦确定，不宜修改；FPGA 是硬件可编程芯片，具有并行处理的能力，适合处理并行任务，可显著提高工作效率，工作更稳定，性能更可靠，普遍应用于实现数字电路^[11]。本系统选用 XILINX Spartan-3 系列的 XC3S400 芯片作为主控模块，内置高达 25 344 个逻辑单元，具有最多 502 个 I/O 引脚数和 576 Kb 的 Block RAM，性能满足瞬态过载测试数据回读系统的要求。并且芯片内部具有可配置嵌入式 SRAM 块，可设置为不同容量的存储器结构，可将 SRAM 块配置为内部 FIFO 控制单元，负责对过载存储数据进行缓存。

2.4 USB 控制模块

该系统选用 USB 接口负责过载测试系统与上位机之间的指令和数据传输。一般来说，USB 的接口设计有多种方法，除了选择支持 USB 接口的单片机和专用的 USB 接口芯片外^[12]，还可使用 USB / FIFO 桥接芯片。前两种方式通常需要自己开发驱动程序，电路设计方面较为复杂。第三种方式的芯片内部集成了 USB 协议，不需编写驱动程序。因此本文采用第三种方式。

本文选用 FTDI 公司的 FT232 HL 芯片进行通信传输。

该芯片是基于 USB 2.0 的单通道高速桥接芯片，驱动自行处理 USB 协议数据。此款芯片可通过 EEPROM 配置为不同的串行或并行接口，如 UART、245 FIFO、JTAG、SPI (MASTER) 和 I²C 等接口。在并行 FIFO 传输模式下，异步数据传输速率高达 8 MB/s，同步模式可达 40 MB/s。同步通信模式下，通信双方在同步时钟域工作，在时钟的边沿控制下进行数据的读写^[13]。异步通信模式下，通信双方则工作在不同的时钟域。因此，同步通信与异步通信相比，具有较高的传输速率。本系统使用同步 245 FIFO 模式，进行数据的高吞吐量传输，大幅提高数据的传输速率。

该系统将 FT232HL 内部时钟作为上位机和 FPGA 的同步信号。FPGA 和 FT232HL 的接口如图 4 所示，USB 芯片的 ADBUS [7: 0] 为 8 位双向 I/O 数据接口，与主控模块的数据输入引脚连接，用于数据的发送和接收。RXF# 和 TXE# 分别为读、写准备信号，当两者都为低电平时表示 FPGA 可读、可写。RD# 和 WR# 分别为读信号和写信号，由 FPGA 控制。与异步模式相比，同步 FIFO 接口独有两个信号：CLKOUT 时钟信号和 OE# 输入信号。该芯片驱动 60 MHz 的时钟供外部系统使用，并且所有信号在时钟上升沿到来时有效。读信号有效之前，输出 OE# 使能信号需提前至少一个时钟周期有效，以供数据缓存区的周转。

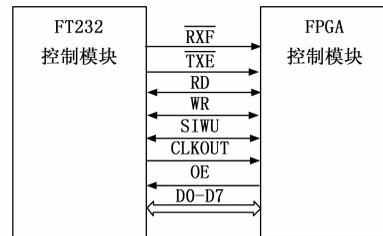


图 4 FT232HL 模块与 FPGA 接口连接图

FT232HL 的硬件接口电路如图 5 所示，直接与 USB 接口相连，右边的引脚均与 FPGA 相连。通过与 93LC56 存储芯片相连，将 FT232HL 配置为 FT245 FIFO 模式的信息存储于芯片中。FT232HL 虽然内部可自行产生时钟，无需外挂晶振，但没有外部晶振可能会导致输出信号错乱。因此，该芯片电路设计外接 12 MHz 晶振，连接该芯片的 XC-SI 和 XCSO 引脚^[4]。将 12 MHz 晶振五倍频得到 60 MHz 时钟信号，供数据回读系统和上位机使用。

该芯片使用的总线电源经过滤波电路处理，为整个电路提供 +5 V 电压。DM、DP 引脚连接 USB 数据线，用于数据通信。通过 VCCD 输出引脚向 VCCIO、VPLL 和 VPHY 引脚提供 +3.3 V 的电压，同时为了减小噪声干扰，在 VCCD 引脚与 VCCIO、VPLL 和 VPHY 引脚之间加入了电容滤波电路。

3 系统软件设计

3.1 数据采集逻辑设计

该模块采集的过载数据是单路信号，采样率一般不超

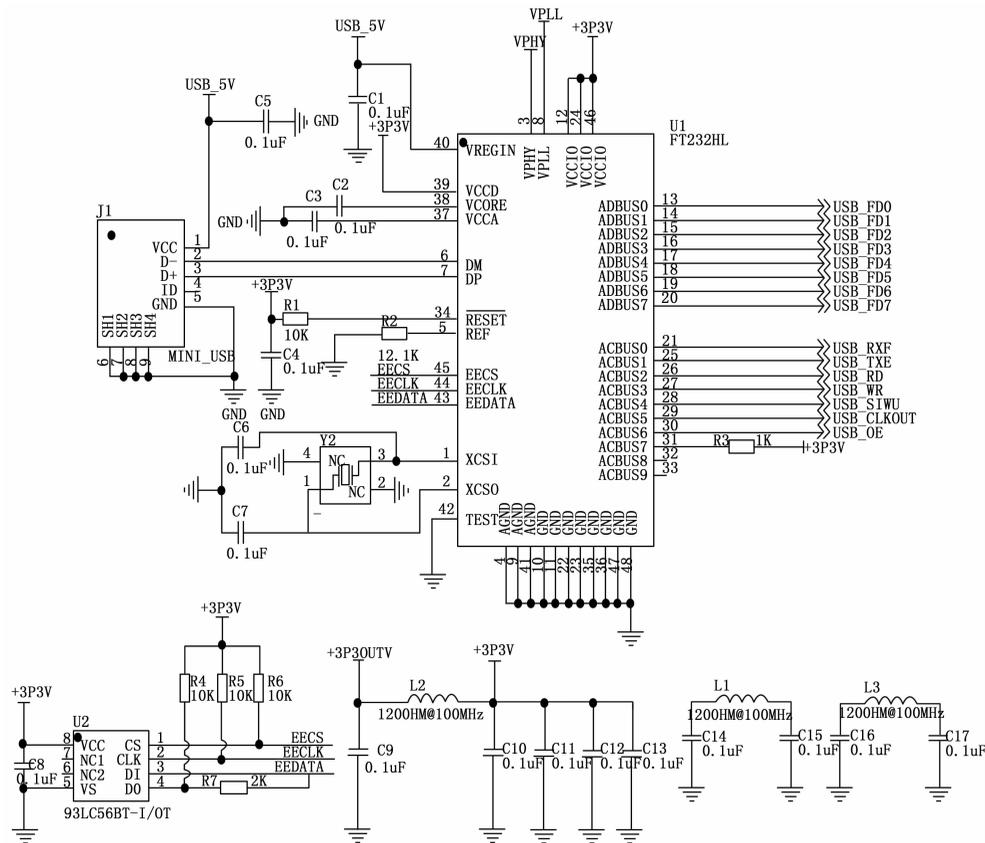


图 5 FT232HL 硬件电路

过 10 kHz。系统上电复位后, 主控模块 FPGA 控制单路信号进入信号调理模块, 经过调理放大后, 进行 A/D 转换。在 A/D 转换过程中, 将 CONV 信号置低来控制模数转换。转换完成后, 需要时刻判断 BUSY 信号的状态, 若 BUSY 置高, 则说明正在执行模数转换操作, 若该信号为低电平, 则说明转换结束。在转换结束后, 使用读控制信号控制数据的读取, 完成过载数据的采集。

3.2 FIFO 缓存单元

数据采集模块中, 采用单通道 16 位的 AD 芯片对数据模数转换, 转换的数字信号传输到存储模块。由于 AD 转换速率和存储芯片存储的速度不同, 直接传输可能导致数据错传、少传等问题, 因此在 FPGA 内部建立 FIFO IP 核缓冲数据。由于采用 16 位的 AD 芯片, 因此分为两个八位进行传输。本系统调用 FPGA 内部宽度八位、深度 4K 的 FIFO IP 核, 实现采集模块向存储模块的通讯。系统上电后, 每次都要对 FIFO 块内清空, 避免残留数据干扰。当读取速度快于写速度, FIFO 内的数据全部被读出, 则会产生空信号; 当写速度快于读速度, FIFO 内数据量会达到最大深度, 则易产生满信号。在软件设计中, 需设定空标志、半满标志和满标志, 控制相应的读写操作, 使数据传输无误。

当 AD 采集完成时, FIFO 的读控制信号置高, 在时钟沿来临时, 采集模块向 FPGA 内部 FIFO 写入数据, 存储芯片按照 FIFO 先进先出的原则读出数据。数据存储模块与

回读模块通信时, 使用 FT232HL 同步 FIFO 模式实现通信, 芯片内部包含 1K 字节的读写缓冲区。FIFO 的写控制信号由 USB 接口芯片给出, 芯片内部写 FIFO 写入 FPGA 内的数据, 将其转换为 8 字节数据, 可与 FPGA 实现直接通信。上位机读取 USB 接口芯片内部读 FIFO 块内的数据, 写 FIFO 与读 FIFO 之间互相传输。USB 2.0 物理层与上位机信息交互, 将主控模块的 8 位数据以串口形式传输, 处理 FT232HL 的读写请求, 实现对 FIFO 控制信号和数据的处理。

3.3 过载数据存储部分

在本系统中, 过载数据存储存储在 FLASH 中, 上位机发送固定的读取数据、擦除数据、停止读数等操作指令来实现与测试系统的数据传输与通信。接收到来自上位机的“EF91”读数操作指令后, 存储模块控制 FIFO 将过载数据通过 USB 接口传输到上位机。存储模块利用 CE、RB、ALE、CLE 控制线实现了存储芯片的数据读取与上传^[14]。上电后, 由 FPGA 向 FLASH 发送读数据 00H 命令, 然后发送数据的行地址和列地址, 之后写入确认命令 30H, 若 FIFO 非空, 则读取该地址的数据。若接收到“EF90”擦除命令, 则 FLASH 以块为单位进行擦除, 上位机接收到芯片擦除完成的信息后再进行读取等操作。“EF92”是停止读数指令, 可根据系统的需要进行操作。

由于瞬态过载数据量过大且变化率过快, 在读取数据

时,可自行设置起始读取地址,目的在于省略有效数据到来前的无效数据,只取中间有效的数据,以此来节省读数时间。同时,将两个 8 位串口数据编帧为 16 位的并行数据,读取操作的地址位标志是通过将高三位设置为“101”来实现的,起始地址位由剩下的十三位来实现,用以提高数据传输速率。

3.4 接口芯片软件设计

USB 模块的主要功能是接收 FPGA 内部 FIFO 的缓存数据,通过 FT232HL 发送到上位机。FPGA 与 FT232HL 之间通过 8 路双向数据线传输数据和控制信号。此外,FT232HL 包含 1 K 字节的接收和发送缓冲区^[15],用于 USB 数据和 FPGA 串行 I/O 数据之间的交换缓冲。FT232HL 的同步 245 FIFO 模式时序如图 6 所示。CLKOUT 是一个 60 MHz 时钟信号,用于芯片驱动,系统信号状态的变化与时钟信号同步。

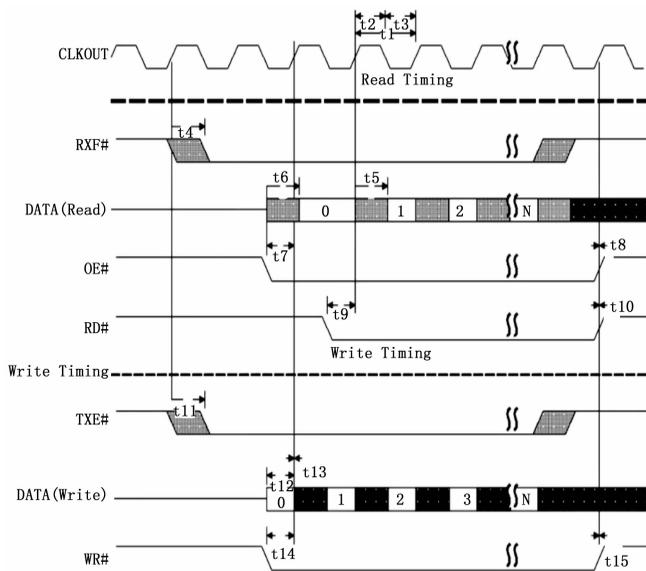


图 6 FT232HL 同步 245 FIFO 读写时序图

若读准备信号为低电平,则芯片 FIFO 接收缓存区内不为空,表示数据可读。若该信号为高,则表明 FIFO 接收缓冲区为空或有数据正在处理,此时,无法从缓冲区读取数据^[16]。如果写入准备信号为低,则 FIFO 发送缓冲区未滿,说明可写入数据。若该信号为高电平,则表明当前的 FIFO 传输缓冲区已滿或正被写入新字节,此时无法执行写入操作^[17]。当接收到上位机下发的控制信号时,先拉低读准备信号,在 OE# 信号拉低持续至少一个时钟周期后,拉低读信号,芯片可通过八位数据总线将数据传输给 FPGA。当芯片接收到发送数据的命令后,通过驱动 WR# 为低电平,FPGA 在 CLKOUT 上升沿开始持续向 FT232HL 写入数据。写数据过程中,FPGA 需持续判断 FIFO 发送缓冲区的状态。

本系统中,FPGA 控制 USB 芯片的读写使用状态机实现,如图 7 所示。整个控制流程有 5 种状态,分别为 IDLE 空闲状态、START 读写预备状态、READ 读数据、

WRITE 写数据和读写数据完毕。当 USB 接口芯片处于空闲状态时,使能 OE 信号和读写控制信号置高,FPGA 和上位机不能进行读写数据操作。此时判断 FT 232HL 芯片内部读写 FIFO 状态,若读 FIFO 非满,则进入读操作预备状态,读数据准备信号 RXF 拉低。之后将 OE 使能信号和读数据信号拉低,芯片内部读 FIFO 从 FPGA 内部 FIFO 中读取数据。若读操作过程中 RXF 拉高,表明 FPGA 要发送的数据发送完毕,可进行下一次的读操作。读操作完成后,OE 使能信号和读数据信号置高,返回空闲状态。若写 FIFO 非空,则进入写操作预备状态,写数据准备信号 TXE 拉低。在写操作时,先将 OE 使能信号拉高,再拉低写数据信号,写 FIFO 块中的数据通过 USB 接口开始发送至上位机。若写操作过程中 TXE 拉高,表明上位机未准备好接收数据,等 TXE 信号置低后可继续写操作。写操作完成后,OE 使能信号拉低,写数据信号置高,返回空闲状态。

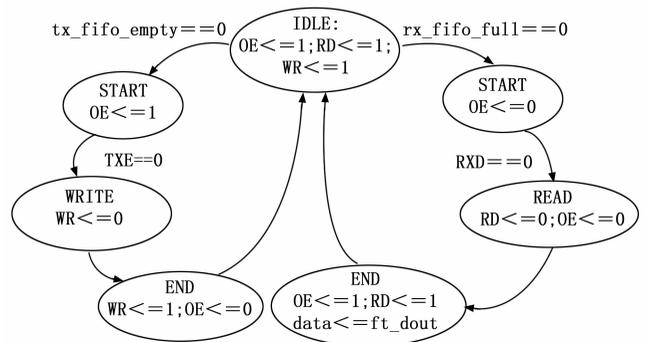


图 7 FT232HL 同步 245 FIFO 读写时序图

3.5 USB 驱动模块设计

要想通过 USB 接口实现主控模块与上位机的数据通信,还需对上位机软件进行设计。由于 FT232HL 芯片内部集成了 USB 协议,省去了驱动程序的编写工作,芯片可直接配置为高速 USB 转串口通信或单通道 USB 通信。前者是将芯片模拟为虚拟串口,可直接与上位机通讯,但该种方式传输速率较低。为获得更好的传输性能,本系统选用单通道 USB 通信。

3.5.1 上位机软件设计

上位机控制 USB 通信的流程如图 8 所示。采用 D2XX 作为 USB 接口的设备驱动程序^[18],通过调用链接库的函数实现 USB 与上位机的通信。上位机调用函数可检测到当前连接的所有 USB 接口设备,通过 FT_GetDeviceInfoList 函数能够获得指定 USB 接口的详细信息。确认设备信息后,通过调用 FT_Open () 以及 FT_Read () 函数打开并读取 USB 设备的传输数据^[19]。成功连接指定设备后,清空 FT232HL 的发送和接收缓冲区,之后再对 USB 设备进行配置。

在配置设备时,最为关键的是设置 FT232HL 的工作模式。FT232HL 默认为异步串行模式,通过 FT_SetBitMode (ftHandle, 0, 0x40) 将芯片进行设置,由应用程序

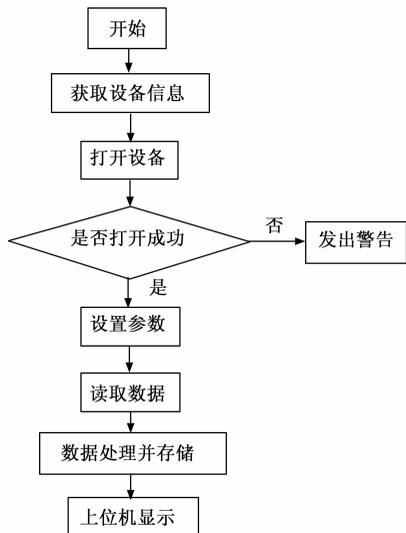


图 8 上位机流程图

发送到当前驱动程序, 芯片则被设置为同步模式。另外, 需对 USB 传输块大小、FT232HL 工作模式、读写等待时间等进行配置。配置完成后, 上位机向 USB 设备发送读取数据命令, 若缓冲区此时无数据, 则上位机开始读取 FPGA 上传的数据信息, 并对数据进行处理并存储。读取和写入 USB 设备所用到的函数分别是 FT_Read 和 FT_Write 函数。

读取数据完成后, 通过上位机得出数据传输的速度。主控模块按照固定的帧格式编帧通信内容, 通过检查通信帧帧头来分析上位机接收数据的错误率^[20]。上位机读取完数据后, 可通过 FT_close 函数关闭 USB 接口。

3.5.2 FT232 模式配置

过载测试系统通过 USB 芯片连接 FPGA 主控模块和上位机之前, 需先安装 USB 驱动程序对芯片进行配置, 下载固件后才能控制芯片的使用。使用的配置软件是官方软件 FT_Prog, 点击扫描之后, 软件会自动检测到 USB 设备。首先需要配置 93LC56, 并设置 USB 设备的各种信息和同步 245 FIFO 模式。要注意的是当配置外部晶振时, 需选中 USB External Oscillator, 若无配置选中该项则会导致芯片无法启动。上电后, FT232HL 会读取到设备的 VID、PID 以及各种信息, 同时 LED 指示灯 D1 被点亮^[21], 表明芯片的同步 245FIFO 工作模式已配置成功。

4 系统验证

为验证芯片时序, 对 FT232HL 芯片进行了时序仿真, 芯片接收上位机下发数据时, 时序波形如图 9 所示。可以看到 rxf_n、oe_n、rd_n 依次拉低电平, 在 oe_n 拉低至少一个时钟周期后, FT232HL 在时钟上升沿接收到有效数据, 上位机发送的数据和芯片接收到的数据相同, 因此可认为芯片接收数据功能没有问题。芯片发送数据时序仿真波形如图 10 所示, 可以看到 tx_e_n、we_n 依次拉低电平, 数据从 34 开始, 每次加 1, 持续向上位机发送数据。

由时序仿真波形可知, FT232HL 的读写控制达到要求。

在过载测试数据回读系统实物测试中, 搭建了系统硬件电路。上位机与回读系统使用 USB 接口连接, 存储模块接收到读数指令, 上位机对其进行参数设置、系统复位和数据读取擦除等操作。为验证过载数据回读系统的传输能力, 将数据回读至上位机进行速度测试。经过多次测试, 本系统采用 FT232HL 高速芯片, 数据传输速度能够稳定达到 46 MB/s。

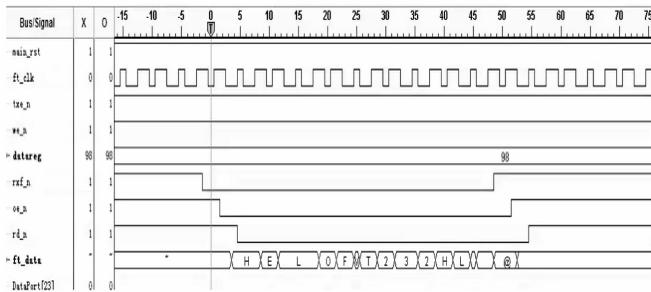


图 9 接收数据时序仿真

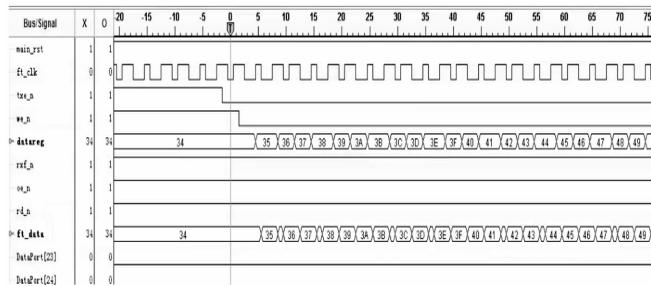


图 10 发送数据时序仿真

将该回读系统搭载在电磁轨道炮实弹测试, 测试完成后, 将存储数据导出, 测试结果如图 11 所示。回读过程中, 数据没有丢失现象, 该弹丸发射过程中最大加速度可达 13 330 g。该测试表明, 该回读系统能实现可靠传输, 已成功应用于过载测试项目中, 能够完成存储模块内过载测试数据的读取。

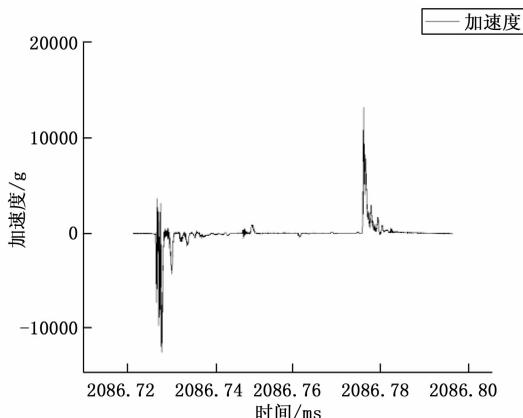


图 11 过载测试数据结果

(下转第 117 页)