

# 微处理器下的数字集成电路测试系统设计

郑宇, 方岚, 李苏苏, 谢玉巧

(华东光电集成器件研究所, 吉林 吉林 132001)

**摘要:** 设计一种基于微处理器嵌入结构的数字集成电路测试系统; 该系统在保留了传统数字集成电路测试系统使用的布尔差分算法的基础上, 将布尔差分算法形成的中间大数据进行模糊神经网络的进一步分析, 使得布尔差分算法获得可测故障捕捉结果的同时, 将不可测故障进行充分捕捉; 最终设计一款提供  $30 \times 30$  固定快插式引脚且运行在最大 750 MHz 频率上的数字集成电路测试系统; 经过实测, 发现升级后算法在测试敏感度和特异度方面均获得提升; 该技术革新成果将对高复杂度硬件系统的测试工作带来显著的效率提升。

**关键词:** 芯片测试; 数字集成电路; 布尔差分算法; 机器学习; 模糊神经网络

## Design of Digital Integrated Circuit Test System Based on Microprocessor

Zheng Yu, Fang Lan, Li Susu, Xie Yuqiao

(East China Institute of optoelectronic integrated devices, Jilin 132001, China)

**Abstract:** A digital integrated circuit test system based on microprocessor embedded structure is designed. On the basis of retaining the Boolean difference algorithm used in the traditional digital IC test system, the system further analyzes the middle big data formed by the Boolean difference algorithm to the fuzzy neural network, so that the Boolean difference algorithm can obtain the measurable fault capture results and fully capture the unmeasurable fault. Finally, a digital integrated circuit test system with  $30 \times 30$  fixed fast pin is designed, which runs at the maximum frequency of 750 MHz. After testing, it is found that the test sensitivity and specificity of the upgraded algorithm are improved. The results of this technical innovation will bring significant efficiency improvement to the test work of high complexity hardware system.

**Keywords:** chip testing; digital integrated circuit; boolean difference algorithm; machine learning; fuzzy neural network

## 0 引言

数字集成电路芯片的设计、加工、系统整合方面的技术研究近来发展迅猛, 但国内相关工作平台的设计与实现工作相对滞后。提供一个无需生产环境即可实现对数字集成电路进行相关测试的微处理器嵌入平台, 是本文的研究重点。相关研究中, 基于布尔差分法在微处理器的嵌入式控制下, 针对测试码集对微处理器进行激励-反馈测试, 是数字集成电路测试系统的主要实现模式。

代鹏(2020)等研究了一二次融合开关技术在数字集成电路测试系统中的应用及相关的电气细化设计<sup>[1]</sup>。王玉菡(2020)等研究了相变存储器单元在高速电流脉冲条件下的数字集成电路测试系统中的应用<sup>[2]</sup>。开关技术和寄存技术是高频信号发生的关键技术, 在对高频数字集成电路的测试中, 测试系统本身的高频性能必须超过待测试数字集成电路的高频信号需求且保留一定冗余。田强(2020)等研究了一种基于 V58300 平台的数字集成电路测试系统二次开发设计<sup>[3]</sup>。使用既有数字集成电路测试系统并通过二次开发过程使其潜在性能得到充分开发, 也是当前数字集成电路测试平台开发的重要方向。石君(2020)等及王金萍(2020)分别对数字集成电路测试系统的相关算法<sup>[4]</sup>和测

试方法<sup>[5]</sup>进行了研究。郑永丰(2019)等研究了在数字集成电路测试平台中融入射频信号发生功能的工程实现方法<sup>[6]</sup>。

基于上述技术文献的前期研究, 本文基于 TL5708-EVM-1000-64GE8GD-I 开发板, 设计一种可提供 750MHz 测试频率环境的数字集成电路测试系统。设计过程介绍如下。

## 1 数字集成电路的测试原理与可用技术分析

### 1.1 数字集成电路测试的任务模式

基于测试码构成的测试集, 通过对数字集成电路的输入激励获取其输出响应, 进而判断数字集成电路的不同故障模式。是当前数字集成电路测试系统的基本测试策略。详见图 1。

图 1 中, 存储器用来存储相关策略和测试集, I/O 模块和外部接口用于连接外部控制设备, 主要是桌面级工作站。以上模块及测试控制模块即核心开发板均属于通用模块, 硬件开发压力较小。测试系统的核心硬件开发任务来自测试引脚阵列及其控制器模块的开发。详见图 2。

图 2 中, 使用一个非门电路对数据回路的输入输出进行晶闸管控制, 形成一二次融合开关架构, 从而进一步实现引脚的多用途复用。引脚的排列按照 ICC 电气标准进行

收稿日期: 2020-07-22; 修回日期: 2020-09-08。

作者简介: 郑宇(1985-), 男, 吉林省吉林人 高级工程师, 本科, 主要从事机械设计工程方向的研究。

引用格式: 郑宇, 方岚, 李苏苏, 等. 微处理器下的数字集成电路测试系统设计[J]. 计算机测量与控制, 2021, 29(3): 27-31.

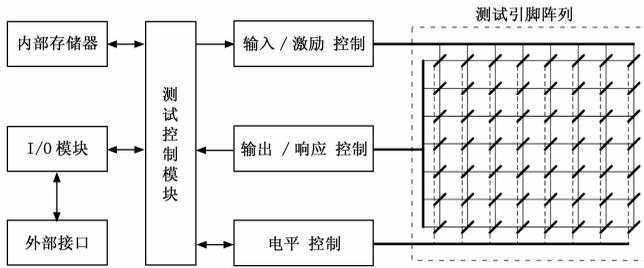


图 1 集成电路测试系统的基本构成策略

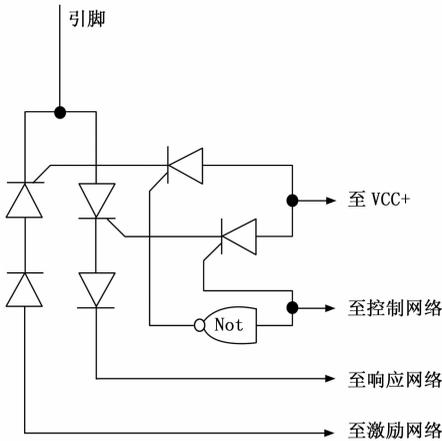


图 2 集成电路测试系统引脚设计图

布局，可以实现对大部分标准封装数字集成电路的直接插入并进行引脚定义。

### 1.2 数字集成电路测试的布尔差分算法

对所有通过测试集可以测出的可测故障 (Detectable Fault) 编制测试集，且保持测试集的冗余度，分析所有可测故障的控制性，及所有测试集的相互包含和交集关系。最终构建测试集  $F(x)$ 。

如果  $F(x) = F(x_1, x_2, \dots, x_n)$  属于对所有变量有效的逻辑函数，那么其布尔差分定义函数为：

$$\frac{dF(x)}{dx_i} = F(x_1, x_2, \dots, x_{i-1}, x_i, x_{i+1}, \dots, x_n) \oplus F(x_1, x_2, \dots, x_{i-1}, \bar{x}_i, x_{i+1}, \dots, x_n) \quad (1)$$

式中： $x_i$  为测试中的输入测试码集； $F(x_i)$  为  $x_i$  对应的响应结果； $F(\bar{x}_i)$  为  $x_i$  对应的错误响应结果；该式可用的前提是  $F(x_1, x_2, \dots, x_{i-1}, x_i, x_{i+1}, \dots, x_n) \neq F(x_1, x_2, \dots, x_{i-1}, \bar{x}_i, x_{i+1}, \dots, x_n)$ 。

即数据响应错误可以向错误集传导，实现对所有可测故障的有效测量控制。

### 1.3 核心开发板的选型及引脚定义

本文选择 TL5708-EVM-1000-64GE8GD-I 开发板进行系统开发，该开发板提供 8GByte 的 eMMC 存储空间，提供 1GByte 的 DDRIII 高速动态存储器，ARM 总线频率 1 000 MHz，DSP 总线频率 750 MHz，除 ARM A15 核心处理器 (CPU) 外，还提供一个 SGX544 3D+GC320 的浮点处理器 (GPU)，具有较强的大数据分析处理能力。外部接

口方面，支持 GPMC 拓展。可提供 128 pix 的 DSP 同步双工并行接入。

其中，为了满足一个  $32 \times 32$  点阵的测试引脚阵列的 DSP 同步扫描，且支持至少 32 路输入输出控制，则应占用至少 64 pix 的 I/O 引脚进行扫描管理，至少占用 16pix 对引脚状态锁存器进行管理。同时，还应提供一个  $4 \times 4$  键盘状态扫描模块，需要占用 8 pix 控制引脚，提供一个对 MAX7219 八位管控制器的控制功能，需要 4 pix 控制引脚。系统的扩展存储通讯在 DATA 总线上，外部通讯接口通讯在 USB3.0 总线上。

其引脚定义如表 1。

表 1 TL5708 引脚定义表

起止序号	引脚占用量	对面设备	通讯功能
0—31	32	输入控制器	激励信号输入
32—63	32	输出控制器	响应信号捕捉
64—79	16	引脚状态控制器	控制引脚阵列状态
80—87	8	键盘控制器	键盘状态扫描
88—91	4	八位管控制器	错误码显示
92—127	36	浮空	冗余

表 1 中，冗余引脚共 36 pix，占全部引脚的 28.1%。其中主控信号引脚 80 pix，占全部引脚的 62.5%。

## 2 数字集成电路测试软件设计

### 2.1 软件基础算法

如图 3，该数字基层电路测试系统的核心算法，来自其对测试集的顺序遍历和逐一判断，当发现基于布尔差分算法的正确响应时，直接跳转下一时钟循环，顺序遍历下一条测试集数据，而当发现基于布尔差分算法的错误响应时，根据其响应结果判断该可测故障的类型并计入到错误信息汇总表中。最终系统会将时钟循环过程中的错误状态进行一次判断，当不存在错误标志信息时，则直接显示 PASS 结果，而当存在错误标志信息时，则输出所有错误标志信息。

在基础布尔差分算法的支持下，该软件实现方式可以实现对大部分可测故障的有效控制测量，但仍存在诸多不足：

首先，对不可测故障的测试存在短板。在单纯布尔差分算法下，存在可测故障 (Detectable Fault) 和不可测故障 (Undetectable Fault) 的差别，前者指可以通过固定的测试集反馈结果反映出被测集成电路故障的测试结果，后者指无法通过固定的测试集反馈结果反映出被测集成电路故障的测试结果。且电气工程视角下，芯片存在固定故障 (Stuck Fault) 桥接故障 (Bridging Fault) 时滞故障 (Delay Fault) 等，固定故障指某一位输出值保持电平不可控且不可变的电气问题，桥接故障指某二位或二位以上的输出值出现短路表现出电平的非逻辑性的同步变化问题，时滞故障指集成电路的高频响应能力低于预期使其在高频状态下不能做出正确响应的问题。这些故障很难在单纯使用布尔差分算法的前提下完成评价。

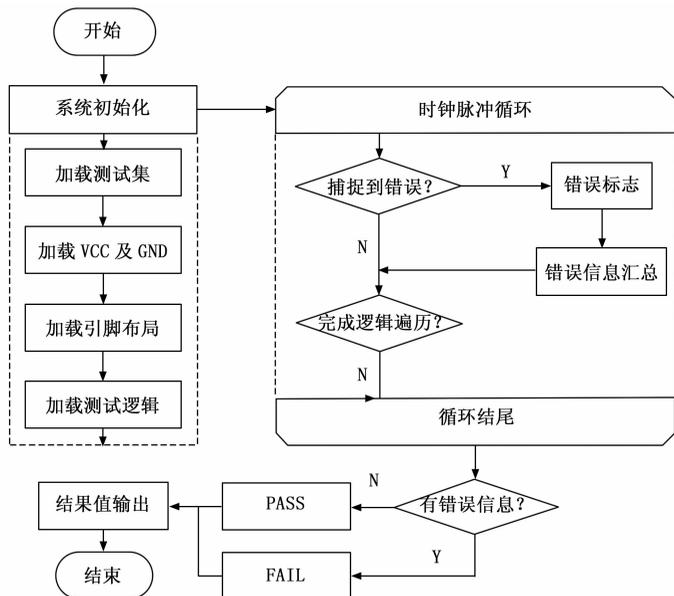


图 3 基于布尔差分算法的数字集成电路软件设计流程图

其次, 无法对数字集成电路提出统观性的评价。传统测试条件下, 较容易实现对出现可测故障的数字集成电路做出评价, 但假定该集成电路处于无故障状态为状态 0, 而出现可测故障的状态为状态 1, 那么会有相当一部分集成电路模块处于介于 0 与 1 之间的故障状态。即该系统无法就不可测故障做出论断的前提下, 较容易出现测试敏感度低, 无法发现不稳定故障的系统设计问题。为判断出系统故障状态 < 1 的统观性评价结果, 需要在测试软件中引入机器学习模块以提供相应判断功能。

### 2.2 软件的机器学习功能实现

针对特定目标集成电路芯片的测试集, 在单纯布尔差分算法支持下, 会输出一组特定的判断结果。该结果一般包含 3 000~6 000 条记录不等。如果对这些记录进行统一输入到模糊神经网络中进行判断, 则模糊神经网络的节点数量将空前增多, 特别是这些记录的大部分数据处于无故障的判断结果条件下。所以, 在实际构建模糊神经网络的过程中, 需要引入模糊神经元的概念, 先对上述输出结果进行折叠和归一化, 即对数据进行前置模糊, 最终的输出数据, 再进行解模糊输出, 即可判断出对应的判断结果。

以 6 000 条测试数据为例, 如果对其进行三维折叠, 则可形成一组 18×18×19 的三维矩阵, 对上述矩阵进行归一化处理, 可以得到一组 18×18 和一组 18×19 的归一化二维矩阵, 进一步归一化后, 可得四列分别为 18、18、18、19 单元的归一化评价结果, 对这些结果进行神经网络分析, 可以在深度卷积条件下实现对数据的二值化输出, 最终为判断结果提供待解模糊计算的一组投影在 (0, 1) 区间上的双精度浮点结果 (Double)。详见图 4。

图 4 中, 数据归一化算法的计算过程是首先获得该列数据的最大值和最小值, 根据该列数据的最大值和最小值

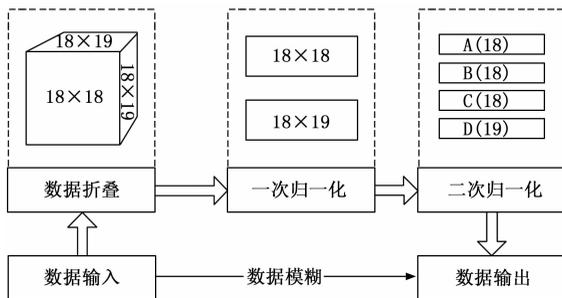


图 4 数据的模糊过程

对每个单元数据求取线性投影, 进而将该线性投影值累加, 从而得到该列数据的归一化结果, 即:

$$R_{A(x)} = \sum_{i \in U_{bound}(A)} \frac{x_i - \min(A)}{\max(A) - \min(A)} \quad (2)$$

式中: 数列 A 的 min 值与 max 值与相邻数列无关, 如果该数列中最大值最小值均为 0, 则输出值 R 的输出值必为 0。

鉴于该模糊矩阵, 本文模糊神经网络的设计策略如图 5。

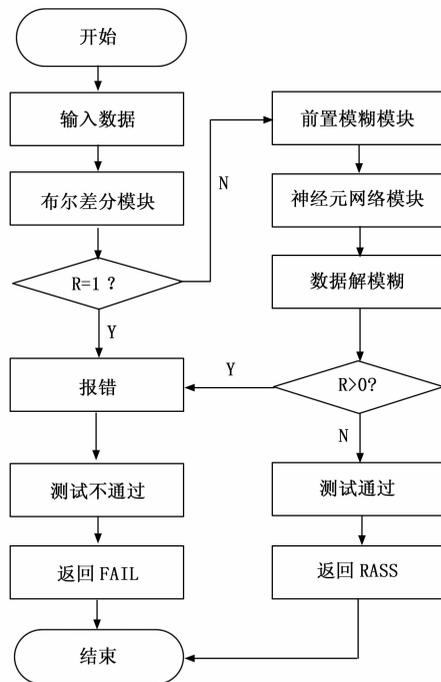


图 5 本文模糊神经网络模块设计示意图

如图 5 中, 布尔差分算法模块详见图 3, 前置模糊模块详见图 4, 其他模块将在下文进行分析。该设计中, 当使用布尔差分算法认定为故障芯片时, 系统将不再启动模糊神经网络的分析, 可以节约大量的计算时间和计算资源。

## 3 神经网络软件模块的细部设计

### 3.1 神经网络的卷积策略设计

本文设计的前置模糊策略对输入数据进行了大幅度压缩, 导致个案中约 6 000 条数据的数据输入量被压缩到 A、B、C、D 四个数列共 73 个双精度浮点变量中, 所以, 其数

据模糊过程属于典型的熵增耗散过程。该过程使大部分数据实现了归一化和去量纲化，数据丢失量较大，所以需要输入数据进行充分卷积，才可以实现对数据细节的深度挖掘。详见图 6。

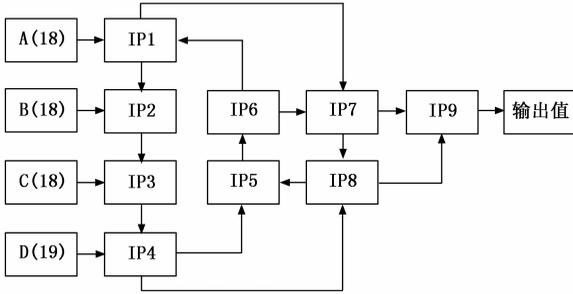


图 6 神经网络的卷积模式设计示意图

图 6 中设计了两个卷积循环，其中神经网络模块 IP1—IP6 构成第一重卷积循环，IP1 负责采集数列 A 信息，IP2 负责采集数列 B 信息，IP3 负责采集数列 C 信息，IP4 负责采集数列 D 信息，在数据卷积过程中完成信息采集，而在神经网络模块 IP5—IP8 中进行第二重卷积循环，其中 IP7 负责整合 IP6 及 IP1 的输出量，IP8 负责采集 IP7 与 IP4 的输出量，与 IP5 和 IP6 构成卷积循环后，整合 IP7 与 IP8 的输出信息，构建数据输出模块 IP9，输出一个二值化数值。

文中，IP1 至 IP8 的神经网络模块隐藏层结构相同，仅输入层结构因为输入需求的不同各有不同，其中 IP1 至 IP4 的输入节点数较多，分别为待输入的 18~19 个归一化结果值，均为双精度变量，外 1 个卷积值，同样为双精度变量。而 IP5~IP8 均为两个内部卷积数据的输入，均为双精度变量。所有神经网络的输出变量均为 1 个双精度变量，需要同步向多个模块提供数据支持的，将同一个输出变量值同时分发到对应的模块中。

该 8 个神经模块的中间层均按照 4 层设计，分别为 23 节点、17 节点、7 节点、3 节点，输出层均为 1 节点。而 IP9 神经模块采用 5 层中间层设计，分别为 3 节点、11 节点、23 节点、7 节点、3 节点。

### 3.2 神经网络的节点函数选择

首选分析神经模块 IP1—IP8 的节点设计方式。在统计学意义上，该 8 个神经网络模块的统计学意义均为充分挖掘数据细节，使数据细节得到充分展现，故其所有节点均可采用多项式函数进行迭代回归管理。其节点函数为：

$$Y = \sum_{j=0}^5 A_j X_i^j \quad (3)$$

式中， $X_i$  为输入序列的第  $i$  个输入结果； $j$  为多项式阶数； $A_j$  为第  $j$  阶多项式的待回归变量； $Y$  为该节点的输出值；

神经模块 IP9 的统计学意义在于将接近于 0 值的判断结果尽可能后移，但不能打破所以数据点投影的位置相对序列关系。在其输出层需要构建一个二值化层，确保最终数据投影在 (0, 1) 区间上。故 IP9 的隐藏层节点函数应为对数函数：

$$Y = \sum (A \cdot \log_e X_i + B) \quad (4)$$

式中： $A$  为该对数函数的斜率校正值的回归结果； $B$  为该对数函数的截距校正值的回归结果； $e$  为自然常数，用作对数底值，此处取近似值 2.718 281 8； $X_i$  为输入序列的第  $i$  个输入结果； $Y$  为该节点的输出值；

IP9 模块的输出层应采用二值化函数进行管理，其节点函数为：

$$Y = \sum \frac{1}{A \cdot e^x - B} \quad (5)$$

式中， $A$ 、 $B$  为该函数的待回归变量； $e$  为自然常数，用作幂底值，此处取近似值 2.718 281 8； $X_i$  为输入序列的第  $i$  个输入结果； $Y$  为该节点的输出值；

对上述节点设计进行统计，整合模块设计的结果，可以得到该神经网络模块的总设计架构，详见表 2。

表 2 神经网络各模块的设计参数汇总表

子模块名称	输入节点	输出节点	中间层结构	节点函数规则
IP1	19	1	23、17、7、3	公式(3)
IP2	19	1		
IP3	19	1		
IP4	20	1		
IP5	1	1		
IP6	1	1		
IP7	2	1		
IP8	2	1		
IP9	2	1	3、11、23、7、3	公式(4)(5)

## 4 系统测试与测试结果讨论

选择 40 片 MC6821 集成电路与 40 片 MAX7219 芯片作为测试芯片，经过前期全面工程测试，每组芯片均为 20 片故障芯片与 20 片正常芯片，分别使用升级前算法 RC1 算法与升级后的 RC2 算法进行芯片故障测试。其测试结果如表 3 所示。

表 3 算法升级前后的测试效果统计表

测试策略	RC1	RC2	P
真阳性	16	20	0.002
假阴性	4	0	0.000
真阴性	17	19	0.004
假阳性	3	1	0.003
敏感度	84.2%	95.2%	0.005
特异度	81.0%	100%	0.000

表 3 中可以看到，算法升级后的模糊神经网络算法合并布尔差分算法的 RC2 算法，相比较单纯使用布尔差分算法，其测试敏感度从 84.2% 提升到 95.2%，其测试特异度从 81.0% 提升到 100%，所有测试结果经过 SPSS 信度分析， $P < 0.01$ ，具有显著统计学意义。故可认为，升级后的算法测试能力显著优于升级前算法。

但是，该算法仍存在一些不足，这一不足体现在升级

后算法不能完全排除将正常芯片认定为故障芯片的可能, 即使用新算法的系统仍可能对无故障芯片发生误报。此时, 建议对同一芯片进行 2 次以上的测试, 最终 2 次以上测试解决均相同时, 认为测试结果有效。

传统的基于工程分析的芯片测试工作往往需要耗费大量的时间成本和人力成本, 特别是大规模硬件开发工作中, 因为使用芯片较多, 很难在整体硬件功能出现问题时找到问题原因。这也是类似航空航天等高复杂度系统出现问题后, 故障排查周期可能长达数月甚至数年的主要原因。开发一种高可靠高可用高效率的集成电路故障分析系统, 将是解决这一问题的关键。本文升级算法设计后, 使得集成电路测试系统的分析效果得到了显著提升, 将使高精密度高复杂度设备的故障排查工作效率得到显著提升。

### 5 结束语

本文在传统的数字集成电路故障测试系统中进行深度开发设计, 通过选择更高配置的嵌入系统, 同时在传统的布尔差分算法的基础上, 引入模糊神经网络算法的机器学习功能对不可测故障进行更加精密的捕捉, 升级后的算法使该测试系统获得了更精确的测试结果。较以往通过升级

(上接第 26 页)

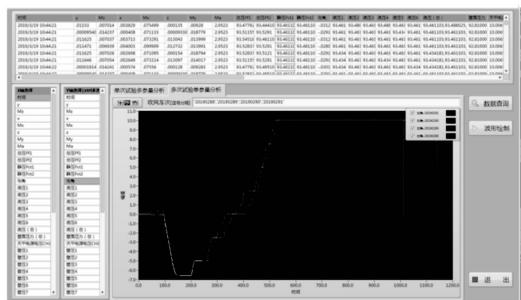


图 10 数据回放查询界面

准确, 软件运行良好, 占用内存低, 无卡顿, 操作方便, 实现了测量系统设备监测自动化。试验过程中, 流场信息、天平载荷数据以及超扩段壁面压力数据实时显示, 便于岗位人员监控风洞运行状态, 以及在异常情况下采取紧急措施, 从而确保测量系统设备及风洞试验的安全。后期的数据查询与分析功能, 为岗位人员掌握测量系统设备性能状态提供了帮助, 应用效果明显。

系统运行在某项风洞试验期间, 由于模型条件的改变和姿态角的变化, 天平出现超载, 载荷百分比变化超过 120%, 岗位人员及时采取紧急措施关闭风洞, 保护了模型和天平的安全。

### 4 结束语

测量系统状态监测系统整合现有设备资源, 搭建了反射内存网络, 克服测量设备物理上的分散, 实现了测量全系统实时监测的目的。监测软件利用 LabVIEW 强大的设计功能和数据库实现了友好的用户界面和数据管理。设备出

优化布尔差分算法测试集以提升测试结果精确度的技术升级方案不同, 该方案充分利用系统测试大数据资源, 使用机器学习和人工智能概念, 让测试过程的诸多不可控性得到了有效控制。

### 参考文献:

[1] 代 鹏, 刘 刚, 王秀茹, 等. 一二次融合智能开关及集成化自动测试技术研究 [J]. 电子器件, 2020, 43 (3): 537-541.  
 [2] 王玉茜, 曾自强, 王玉婵. 基于相变存储器单元的高速电流脉冲测试系统 [J]. 重庆理工大学学报 (自然科学), 2020, 34 (6): 195-199.  
 [3] 田 强, 杨婉婉, 李力南, 等. 一种基于 V58300 平台的集成电路功能测试系统设计 [J]. 太赫兹科学与电子信息学报, 2020, 7 (7): 1-4.  
 [4] 石 君, 张 谦, 裴丹丹. 基于自动测试系统实现系统级芯片异步信号测试 [J]. 电子与封装, 2020, 20 (2): 31-33.  
 [5] 王金萍. 集成电路工程化测试方法研究 [J]. 电子与封装, 2020, 20 (1): 11-13.  
 [6] 郑永丰, 张贵恒, 董 阳, 等. 国产芯片自动测试系统射频测试模块设计 [J]. 计算机测量与控制, 2019, 27 (10): 41-44.

现异常时, 监测系统均能及时报警, 系统实时性和可靠性均有可靠保证。

1.2 米风洞测量系统状态监测系统的成功研制和应用, 实现了对测量系统全方位、全时段的监测, 监测过程数据可追溯, 为风洞试验的数据分析以及故障排查提供了数据支撑, 为风洞试验的安全运行提供了可靠保障。

### 参考文献:

[1] 王新功, 邓晓曼, 等. FL-24 风洞性能与使用 [Z]. 绵阳: 中国空气动力研究与发展中心高速空气动力研究所, 2005.  
 [2] 阎 成. 1.2 米跨超声速风洞自主式维修保障系统建设方案 [R]. 中国空气动力研究与发展中心高速所, 2015.  
 [3] 冯旭哲, 罗飞路, 等. 基于反射内存网络的实时测试系统设计与实现 [J]. 计算机测量与控制, 2007, 15 (11) 1447-1448.  
 [4] 徐志跃, 王玉龙, 等. 基于反射内存网的红外导引头测试系统通信技术 [J]. 电子设计工程, 2015, 23 (1): 47-50.  
 [5] 唐长春, 林晓焕, 等. 基于反射内存的实时系统设计 [J]. 西安工程大学学报, 2010, 24 (1): 60-64.  
 [6] 范金磊, 邓晓曼, 等. 基于 VITE 的风洞测量系统自动检测诊断平台 [J]. 计算机测量与控制, 2018, 26 (11): 12-16.  
 [7] 吴勇航, 易 凡, 等. 大型暂冲式风洞自主式维修保障系统研究 [J]. 计算机测量与控制, 2018, 26 (7): 12-15.  
 [8] 宋 元, 吴勇航, 等. 基于 Intouch 的风洞自主式维修保障系统监控软件设计 [J]. 计算机测量与控制, 2014, 23 (12): 4229-4232.  
 [9] 刘龙兵, 郁文山, 等. 基于 LabVIEW 的状态监测系统在 2.4 m 风洞的设计与实现 [J]. 自动化与仪器仪表, 2016 (210): 62-64.