

# 基于 USB 3.0 的高速数据传输接口设计

周晨曦, 曾国强

(成都理工大学 核技术与自动化工程学院, 成都 610051)

**摘要:** 针对在高速数据采集过程中, 需要向计算机实时传输大量数据, 通过对各种传输方式的研究分析, 提出了采用 USB 3.0 传输方式进行数据传输, 设计了基于 USB 3.0 的高速数据传输接口, 接口实现的关键技术之一是稳定数据传输的速度; 通过对各种 USB 3.0 芯片分析, 采用了 FTDI 公司生产的 FT601 芯片, 根据相应的数据手册, 完成对 FT601 芯片的外围电路, 采用可编程逻辑门阵列 (FPGA) 作为 USB 3.0 传输控制器; 使用 Verilog 语言对 FPGA 内部进行编程, 实现使用先进先出 (FIFO) 方式对数据进行缓存, 控制 FT601 芯片完成与上位机之间的数据交换, 并进行测试; 测试结果表明, 接口能在进行相应配置后, 以平均 350 MB/s 的速率传输数据, 保证了数据传输速度的稳定性和数据的完整性。

**关键词:** 高速数据传输; USB 3.0; FT601; 可编程逻辑门阵列; FIFO

## Design of High Speed Data Transmission Interface Based on USB3.0

Zhou Chenxi, Zeng Guoqiang

(College of Nuclear Technology and Automation Engineering, Chengdu University of Technology, Chengdu 610051, China)

**Abstract:** In the process of high-speed data acquisition, a large amount of data needs to be transmitted to the computer in real time. Through the research and analysis of various transmission methods, the data transmission using USB 3.0 transmission method is proposed, and the high-speed data transmission interface based on USB 3.0 is designed. One of the key technologies is to stabilize the speed of data transmission. Through the analysis of various USB 3.0 chips, the FT601 chip produced by FTDI is used. According to the corresponding data manual, the peripheral circuit of the FT601 chip is completed, and the field programmable gate array (FPGA) is used as the USB 3.0 transmission controller. The internal programming of the FPGA is performed using the Verilog language, and the data is buffered by using a first-in-first-out (FIFO) method, and the data exchange between the FT601 chip and the host computer is controlled and tested. The test results show that the interface can transmit data at an average rate of 350 MB/s after corresponding configuration, ensuring the stability of data transmission speed and data integrity.

**Keywords:** high-speed data transmission; USB 3.0; FT601; field programmable gate array; FIFO

## 0 引言

随着高速数据采集技术的不断发展, 对采集数据的传输速度的要求也越来越高。高速数据传输方式纷繁复杂, 其所能达到的最大传输速率也不尽相同。目前使用较多的高速数据传输方式主要有 PXIE, 光纤, PCIE, PCI 等, 但这些方式几乎都有布线复杂、程序编写复杂以及功耗较高, 体积庞大等缺点, 使得在开发时, 由于其布线复杂, 程序编写复杂, 在对于电路设计要求较高的同时也不利于后期调试, 从而延迟开发周期; 在使用时, 由于功耗较大, 导致能源利用率不高, 器件还会发热, 导致接口寿命降低, 同时由于体积庞大, 在某些狭窄环境下使用不便。而 USB 3.0 作为新晋的高速数据传输方式, 以其布线经济、安装简单、高达 5 Gbit/s 的带宽、可支持热插拔、与更多计算平台之间存在兼容性等优点, 在与计算机交换数据的过程中

获得广泛应用<sup>[1]</sup>。但因为各种 USB 3.0 接口设计所使用的的 USB 3.0 芯片的不同, 使得数据传输速率参差不齐, 其稳定性也不尽人意, 所以在 USB 3.0 接口设计中, 其芯片选型至关重要。

通过调研发现无论是市面上已经开发成功的产品还是各种文献中提出的设计方法几乎都采用了 CYPRESS 公司生产的 USB 3.0 芯片进行开发。其中使用较多的是 CY-BUS3014 芯片, 该芯片采用 BAG 封装, 在芯片内部集成了 ARM9 内核, 使得功能较为全面。但在硬件设计上, 特别是在 PCB (Printed Circuit Board, 印刷电路板) 布线阶段由于过孔较多, 造成整体结构复杂, 从而使得布线较难, 大大增加了前期设计与后期调试的工作量与难度。而在信号的传输方面, 因为其复杂的结构, 在信号传递过程中会降低信号质量, 影响数据的传输速度<sup>[2-4]</sup>。

FTDI 公司生产的 FT601 芯片是一片 USB 3.0 和 FIFO 的桥接芯片。在电路设计方面, FT601 使用 QFN 封装, 可以减少其布线时的过孔量, 对于 PCB 布线, 硬件调试以及后期的开发的难度都有显著的降低<sup>[3]</sup>, 同时其内部集成了 100 MHz 的时钟芯片, 在无需提供外部时钟的同时, 还能为主控芯片提供时钟, 保证了主控芯片与 FT601 的时钟一致性, 从而保证了信号传输的质量。在 FPGA 内部程序编

**收稿日期:** 2019-09-20; **修回日期:** 2019-10-28。

**基金项目:** 国家重点研发计划项目 (2017YFC0602100); 国家自然科学基金项目 (41474159); 四川省科技支撑计划项目 (2017GZ0390)。

**作者简介:** 周晨曦 (1995-), 男, 四川宜宾人, 硕士研究生, 主要从事高速数据采集技术方向的研究。

写上,由于其只有6根主要控制线,大大简化了有限状态机的设计,降低程序编写难度。在性能上,能在保证数据传输的质量与速度,对于绝大多数场合来说,其性能能完全满足需求。

本设计采用FT601芯片作为与PC机通信的芯片,以Intel公司生产的cyclone IV系列的FPGA芯片作为主控芯片,实现USB 3.0接口设计。

## 1 硬件电路设计

本设计的硬件电路主要由FT601外围电路、电源电路以及FPGA控制电路构成,其整体结构如图1所示。

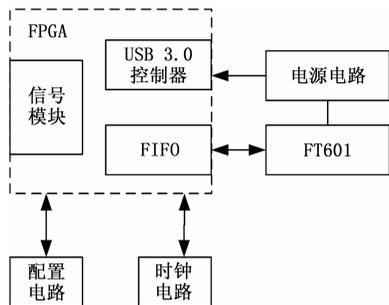


图1 USB 3.0接口结构图

其中FPGA作为控制芯片,其主要由USB 3.0控制器模块和FIFO模块构成,实现对FT601芯片的控制,使其向上位机传输数据。配置电路主要为FPGA服务,固化程序,方便后期调试和实现脱机工作。电源使用PC机上的USB接口进行供电,电压为5V,电源电路主要实现降压,为PCB板上的各个芯片提供工作电压。其具体设计方法将在后文进行介绍。

### 1.1 USB 3.0外围电路

USB 3.0也被称为Super-Speed USB,作为新一代“即插即用”通用串行总线规范,USB 3.0继承于USB 2.0,在原有的4线结构(电源,地线,2条数据线)上,再增加了4条线路,用于接受和传输信号,同时采用全双工模式,简化了等待引起的时间消耗,提升传输速率。同时继承了USB 2.0可热插拔性,通用性等的优点的同时其还拥有高达5 Gbps的带宽和900 mA的供电能力<sup>[5]</sup>。与大多数数据传输方式相比,我们可以在不提供外接电源的情况下对大多数外接设备进行操作使用。在简化了电路结构的同时还允许设备从不同的待机模式转入挂起模式的电源管理方式,从而大大节省了能源。

本设计采用了FTDI公司生产的FT601芯片作为USB 3.0接口芯片,该芯片能有效的连接FIFO和USB 3.0,实现向PC机传输数据,同时该芯片能兼容USB 3.0和USB 2.0,在低速数据传输或者不支持USB 3.0总线规范的PC机中也能使用,大大增强了其兼容性。FT601芯片内置有16 Kb FIFO数据缓存RAM,与单口RAM、双口RAM和SRAM等数据缓存RAM相比,其在数据传输过程中,数据处理速度更快,传输速度更快,并且功耗更低。其内部

集成的时钟芯片在为自身提供100 MHz工作时钟的同时还能为外部芯片提供100 MHz的高频时钟信号,这对于高速数据传输十分重要。FT601还具有最高4 Gbps的带宽,拥有满足绝大部分的应用需求的能力。FT601芯片结构示意图如图2所示<sup>[6]</sup>。

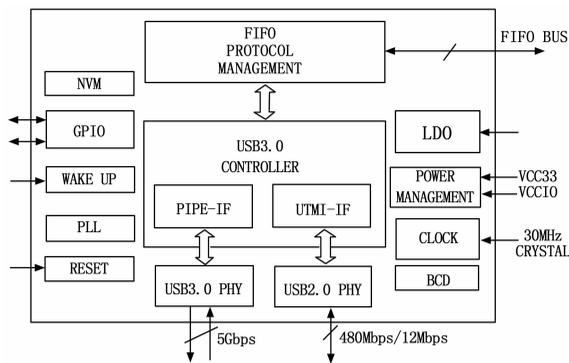


图2 FT601芯片结构示意图

### 1.2 FPGA控制电路

FPGA芯片以其高集成度,超快处理速度,编程灵活等优点已经成为电子学中的常客,在高速电路方面的更是其它类别的控制芯片不能比拟的。

本设计采用了Intel公司生产的cyclone IV系列的EP4CE6E22C8N芯片作为主控芯片,该芯片采用EQFP封装,提供了92个用户编程I/O,共8个bank,完全满足设计需求<sup>[7-9]</sup>。通过对FPGA进行编程,从而实现对芯片的控制以及数据的缓存。利用FPGA芯片强大的功能,使得整个电路只需FT601外围电路,FPGA外围电路,配置电路以及电源构成,大大简化了电路。其中FPGA控制电路部分主要包括FPGA配置电路和电源电路。

#### 1.2.1 配置电路

FPGA的配置电路最主要的是时钟电路的设计,且在高速数据传输过程中,时钟的一致性直接影响了数据传输的质量。本设计的时钟电路有2个时钟,其一为配置时钟,为配置FPGA时提供时钟;其二为数据传输时钟。

针对FPGA芯片在断电后,其在断电之前的所有的数据与程序都无法保存的缺点,而采用的M25P16非易失性存储器(non-volatile memory,缩写为NVM)存储PFGA程序,使在系统上电时,M25P16芯片能快速向FPGA导入配置程序。而M25P16芯片的工作时钟最高为50 MHz<sup>[10]</sup>,所以并不能直接使用FT601芯片所提供的时钟。由于使用降频方式对FT601芯片所提供的时钟进行降频处理将导致电路的复杂化以及在降频后可能带来的时钟抖动等原因。在FPGA配置时采用低抖动的50 MHz晶振为M25P16与FPGA提供时钟。而为了保证数据传输过程中时钟的一致性,数据传输时钟由FT601芯片中内部集成的时钟芯片提供,从而保证数据传输的质量。这使得整个系统在保证数据传输的质量的同时,还能进行脱机工作。

### 1.3 电源电路

本设计采用PC机作为供电设备,通过USB 3.0数据线

与 PC 机连接，在对数据传输的同时对接口电路中的芯片进行供电。极大的利用了 USB 3.0 的资源，减少了外部设备的连接。但由于各个芯片的工作电压不完全相同，且 PC 机所提供的电源电压为 5 V，所以需要使用降压芯片对其进行降压处理。

本设计采用 AMS1117 系列芯片对电源进行降压处理。AMS1117 系列芯片作为一款高效线性稳压器，拥有三端可调和固定稳压的能力，其输入电压在 3~12 V，最低电压可以稳压到 1.0 V，线性好，降压后电压稳定，且电路设计简单，有利于简化电路，在对不同的芯片供电的情况，更加实用。

本设计采用 AMS1117-1.2 V 芯片提供 FPGA 芯片所需的内核电压 VCCINT，AMS1117-2.5 V 芯片提供辅助电压 VCCA [7,9]。FT601 芯片内部集成了 LDO1.0 V 稳压器，无需外部降压芯片，其 I/O 模块的供电电压也支持 +1.8 V，+2.5 V，+3.3 V 三种电平之多 [6]。而 FPGA 芯片所需要的 I/O 驱动电压以及 M25P16 芯片工作电压均支持 +3.3 V，为了简化电路的设计，使用 AMS1117-3.3 V 芯片为上述芯片提供工作电压电压。

## 2 系统软件设计

软件设计主要是在 quartus II 环境下使用 Verilog 语言对 FPGA 芯片进行编程设计，实现 FPGA 对 FT601 的控制，达到数据传输的目的。而控制 FT601 芯片首先要确定其工作模式，FT601 芯片有两种工作模式：“245”单通道模式和多通道模式。其中多通道模式可以支持同时 4 通道数据传输，但传输速率较慢，而“245”单通道模式有更高的传输速率。

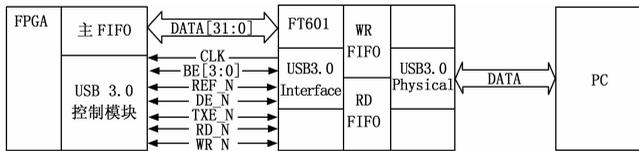


图 3 数据传输过程示意图

本设计中 FT601 芯片采用数据传输模式为“245 单通道”模式，该接口传输数据过程如图 3 所示，当 PC 通过 USB 3.0 接口向 FPGA 中传输数据时，先将数据缓存在 FT601 内置的 FIFO 中，即 FIFO RD 缓存区，同时 FT601 向 FPGA 发送可读 REF\_N 命令，当 FPGA 发送 RD\_N 命令时，读出 FIFO RD 中的数据，其中 REF\_N 表示 FIFO RD 中至少有 1 字节的数据可读，RD\_N 与 REF\_N 信号均为低电平有效；当 FPGA 通过 USB 3.0 接口向 PC 传输数据时，FT601 先向 FPGA 发送 TXE\_N 信号，该信号表示 FIFO WR 中至少可以写入 1 字节的数据，然后 FPGA 向 FT601 发送 WR\_N，先把需要传输到 PC 端的数据缓存在 FIFO WR 缓存区中，PC 端通过发送数据请求信号，从缓存区中读出数据，TXE\_N 和 WR\_N 信号均为低电平有效，FIFO WR 和 FIFO RD 缓存区的大小均为 8KB×2。

时钟信号 CLK 是 FT601 输出到 FPGA 控制器的并行 FIFO 时钟输出信号，时钟频率可以通过 FTDI 公司提供配置软件配置为 66 MHz 和 100 MHz；BE [3: 0] 是并行 FIFO 总线字节使能信号，高电平有效，信号 OE\_N 引脚是数据输出使能信号，低电平有效 [6]。

FPGA 内部程序设计主要由 I/O 控制模块、FIFO 控制模块、有限状态机模块和信号模块组成。

I/O 控制模块主要实现外部端口与内部模块之间信号的连接，即控制 FPGA 的 I/O 接收外部芯片向 FPGA 所传输的数据和信号和向外部芯片发送数据和信号，即 I/O 的双向控制，其功能较为简单，不再赘述。有限状态机模块作为 FPGA 软件设计的最重要的一环，其主要功能是控制 FPGA 内部 FIFO（主 FIFO）的所有操作，实现其与 FT601 芯片内部 FIFO（从 FIFO）的数据传输过程；FIFO 控制模块控制内部 FIFO 的读写操作。信号模块的设计主要是为了接收外部设备的所传输的信号，同时还设计了一个信号发生器，方便测试。

### 2.1 有限状态机模块

有限状态机模块主要实现主 FIFO 读写状态的转换，其状态转换过程如图 4 所示。

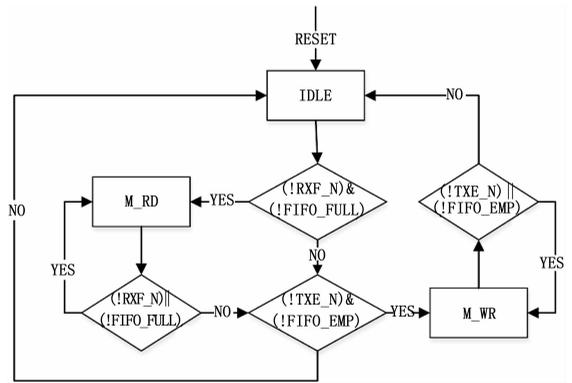


图 4 有限状态机状态转换示意图

在状态转换过程中，FT601 芯片的 RD FIFO 和 WR FIFO 的状态由其输入信号 RXF\_N 和 TXE\_N 表示。其中，RXF\_N 信号是 FPGA 中 RD FIFO 满输出信号，该信号表示 FIFO 至少有 1 字节能够被读出，当 RXF\_N 为低电平时，只能对 RD FIFO 进行读操作；TXE\_N 信号是发送 FIFO 空输出信号，该信号表示从 FIFO 至少还有 1 字节的空间能够被写入，当 TXE\_N 为低电平时，只能对 WR FIFO 进行写操作。FPGA 内部 FIFO（主 FIFO）的状态由 FIFO\_FULL 和 FIFO\_EMP 两个指示信号表示。其中，FIFO\_FULL 信号为 1 表示主 FIFO 满，FIFO\_EMP 为 1 表示主 FIFO 空。

系统复位后，状态机处于 IDLE 状态，当 RXF\_N 信号为 0 时，且 FIFO\_FULL 信号也为 0 时，状态机转入 M\_RD 状态，此时 FPGA 将对 FT601 内置 FIFO（从 FIFO）进行读操作，否则将判断判断 TXE\_N 和 FIFO\_EMP 信号。在 M\_RD 状态下，若 RXF\_N 和 FIFO\_FULL 信号有一个

为 1, 则判断 TXE\_N 和 FIFO\_EMP 信号, 否则状态机将继续留着 M\_RD 状态, FPGA 也将继续对从 FIFO 进行读操作。当进入 TXE\_N 和 FIFO\_EMP 信号的判断, 若 TXE\_N 和 FIFO\_EMP 信号均为 0, 状态机转入 M\_WR 状态, FPGA 开始对从 FIFO 进行写操作, 否则进入 IDLE 状态。在 M\_WR 状态下, 若 TXE\_N 和 FIFO\_EMP 信号仍然为 0, 则状态机继续处于 WR 状态, FPGA 将继续对从 FIFO 进行写操作, 否则状态机转入 IDLE 状态。

有限状态机的设计, 使得整个程序更具有逻辑性, 在后续的程序调试中也更容易找出程序中有问题的地方。

### 2.2 FIFO 控制模块

整个电路的 FIFO 分为 FPGA 内部由 IP 核生成的主 FIFO 和内置于 FT601 芯片的从 FIFO 两个部分。FIFO 控制模块主要分为控制主 FIFO 模块和从 FIFO 模块的数据接收、缓存和发送。主 FIFO 通过调用 quartus II 中的 IP 核生成, 其大小为 16k, 深度为 8 192, 读写的宽度为 32 位<sup>[11-12]</sup>。主 FIFO 的所有操作主要由有限状态机模块进行控制, 实现其与从 FIFO 的数据传输, 从 FIFO 大小为 16k, 读写数据宽度为 32 位, 从 FIFO 控制模块主要控制从 FIFO 的读写操作。

### 2.3 信号模块

信号模块分为外部信号接收器和内部信号发生器, 其中外部设备信号接收器主要是为了对外部设备所传输的信号进行接收, 在后续的使用与以后的开发也较为方便。内部信号发生器, 主要是为了在调试阶段, 能实时的通过分析上位机所接收到的 2 进制数据, 从而找到硬件电路设计与软件程序设计中的问题, 同时对计算误码率也更为方便。

## 3 测试与分析

### 3.1 接口测试

本设计利用用 inlet 公司所提供的 Quartus II 集成开发环境, 对编写的 FPGA 代码进行综合、实现之后, 使用 JTAG 配置模式对 FPGA 芯片进行在线配置, 方便对程序进行调试修改, 完成后, 生成 JIC 文件, 利用主动串行配置模式将 JIC 文件下载到 M25P16 中, 在完成对 FPGA 的编程工作的同时达到脱机工作的目的。

对于 FT601 芯片的配置, 主要有两种方法, 一种是通过对外部芯片引脚电平高低的选择, 来实现对芯片的 FIFO 时钟、通道数量以及工作模式进行配置, 另一种就是利用 FTDI 公司所提供的 FT60X Chip Configuration Programmer 软件进行配置<sup>[6]</sup>。本设计采用的配置方式为后一种方式。首先使用 USB 3.0 连接线将 PC 与电路连接, 利用 FT60X Chip Configuration Programmer 软件对 FT601 芯片的工作模式以及工作时钟进行配置。图 5 是对 FT601 芯片进行配置的图片。本系统中设置 FIFO 时钟为 100 MHz, 工作模式为“245”单通道模式<sup>[13]</sup>。

在完成对 FT601 芯片的配置之后, 通过 FTDI 公司提供的上位机程序示例, 对所设计的电路以及编写的 FPGA 代码进行测试<sup>[14]</sup>。测试结果如图 6 和图 7 所示, 其中图 6

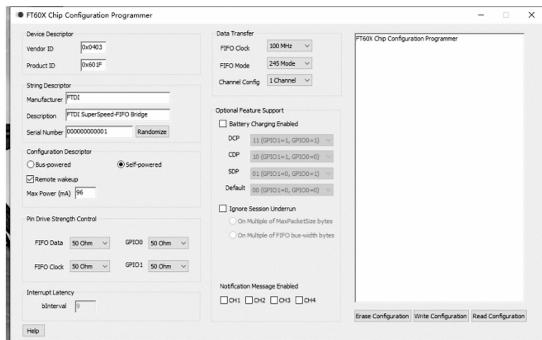


图 5 FT601 芯片配置图

为写速度即上位机向 FPGA 传输数据的速度, 图 7 为 FPGA 向上位机传输数据的速度, 从图中可以看出本设计可以有有效的传输数据, 且无论是 FPGA 向 PC 机传输数据时还是 PC 机向 FPGA 传输数据时, 其数据传输平均速度均能达到 350 MB/s。

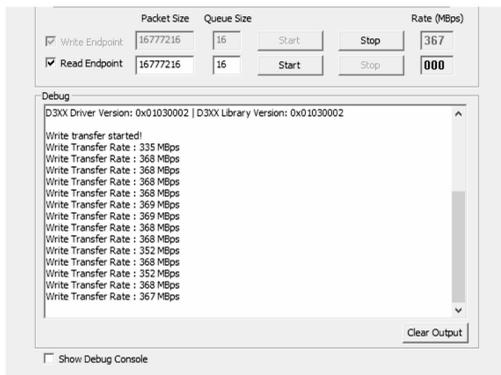


图 6 接口写速度测试图

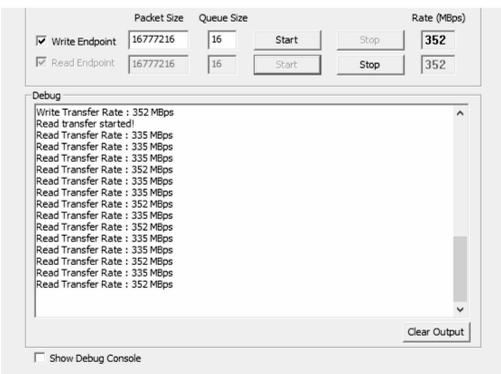


图 7 接口读速度测试图

### 3.2 结果分析

从电路测试的结果来看, 该接口能达到 350 MB/s 的数据传输速率, 达到了预先设定的目标, 通过计算, 该接口能满足数据采样率为 3 GSPS 以下的高速数据采集系统的实时数据传输的需求, 对于带有 SDDR 的数据采集系统则能满足更高采样率的数据采集系统的数据传输需求。但在进行了多次的 FPGA 的程序修改以及测试下, 仍未达到 FT601 芯片的数据手册中所说的最大传输速率 400 M/s。在

通过对结果分析以及对文献的大量查阅,总结了以下几点可能原因:

1) 硬件电路设计上,对于数据传输线的走线未能完全满足每条数据传输线长度相等。

2) 元器件对于信号传输有延时。FPGA 芯片内部逻辑翻转有延时。

3) 测试所使用的 PC 机性能不够,接收速率达不到。

但无论是哪种原因,本设计还需不断的改进,以追求更高的数据传输速率。同时在以后的高速电路设计中也应注意数据传输线的长度问题。

#### 4 结束语

本文主要对现有的数据传输方式进行介绍,并详细介绍了 USB 3.0 数据传输方式,设计了基于 USB 3.0 的高速数据传输接口,详细介绍了硬件电路的设计,数据缓存与传输的流程以及有限状态机的工作方式,并对设计的接口进行了实验测试与结果分析。测试结果表明,基于 FPGA 的 USB 3.0 高速数据传输接口设计,在按照要求进行相应配置情况下,能以 350 MB/s 左右的速度对数据进行传输,能满足大多数的数据传输任务。

虽然基于 USB 3.0 的高速数据传输接口设计具有良好的数据传输速度与稳定性,但在硬件设计方面还需要进一步的研究以达到更快的传输速度。USB 3.0 接口与大多数计算机兼容,无论在日常生活上还是在军事上都具有较强的通用性,对于数据传输的应用上也将是今后研究的热点。而 FPGA 以其高灵活性、定制性、较强的通用性和扩展性等优点,早已成为电子研究领域中的重要手段,二者结合使得数据传输接口体积向小型化微型化发展,同时也更加便于今后进行相应功能扩展和二次开发,使得本设计在高速数据输出方面拥有更为广阔的应用前景。

#### 参考文献:

- [1] 索晓杰,翟正军,姜红梅. USB 3.0 协议分析与框架设计 [J]. 计算机测量与控制, 2012, 20 (8): 2233 - 2235.
- [2] 杨金宙,徐东明,王艳. 基于 FPGA 的高速数据采集系统设计 [J]. 中国集成电路, 2017, 26 (Z1): 20 - 23.
- [3] 董强,倪健,刘云,等. PCB 的布线设计及抗干扰技术

(上接第 136 页)

#### 参考文献:

- [1] 夏城城. 水下滑翔机系统设计与优化 [D]. 杭州: 浙江大学, 2018.
- [2] 帅高山. 国外 UUV 发展现状分析 [J]. 电子世界, 2016 (22): 25 - 26.
- [3] 朱鹏飞. 国外水下滑翔器技术现状及应用 [J]. 现代军事, 2017 (4): 60 - 64.
- [4] Zhi S Q, Meng Z, Han F F, et al. Attitude control of underwater glider combined reinforcement learning with active disturbance rejection control [J]. Journal of Marine Science and Technology, 2019, 24 (3).

[J]. 舰船科学, 2006 (2): 57 - 59.

- [4] 陈松. 基于 USB 3.0 的高速数据传输系统的研究与设计 [D]. 成都: 电子科技大学, 2014.
- [5] 岳孝忠,裴东兴,王健. 基于 USB 3.0 接口高速数据采集系统的设计 [J]. 电子器件, 2015, 38 (1): 140 - 143.
- [6] FTDI. FT600Q-FT601Q IC Datasheet (Version 1.05) [EB/OL]. [https://www.ftdichip.com/Support/Documents/DataSheets/ICs/DS\\_FT600Q-FT601Q%20IC%20Datasheet.pdf](https://www.ftdichip.com/Support/Documents/DataSheets/ICs/DS_FT600Q-FT601Q%20IC%20Datasheet.pdf), 2017.
- [7] Intel. AN 592: Cyclone IV Design Guidelines (Version 1.3) [EB/OL]. <https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/an/an592.pdf?wapkw=an+592>, 2013.
- [8] Intel. Cyclone IV FPGA Device Family Overview (Version 2.0) [EB/OL]. <https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/hb/cyclone-iv/cyiv-51001.pdf>, 2019.
- [9] Intel. Cyclone IV Device Datasheet (Version 2.0) [EB/OL]. <https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/hb/cyclone-iv/cyiv-53001.pdf>, 2019.
- [10] STMicroelectronics. M25P16 Datasheet (Version 3.0) [EB/OL]. <https://pdf1.alldatasheet.com/datasheet-pdf/view/85530/STMICROELECTRONICS/M25P16.html>, 2004.
- [11] FTDI. AN\_377 Altera FPGA FIFO master Programming Guide (Version 1.0) [EB/OL]. [https://www.ftdichip.com/Support/Documents/AppNotes/AN\\_377%20Altera%20FPGA%20FIFO%20master%20Programming%20Guide.pdf](https://www.ftdichip.com/Support/Documents/AppNotes/AN_377%20Altera%20FPGA%20FIFO%20master%20Programming%20Guide.pdf), 2015.
- [12] 于海,樊晓桢. 基于 FPGA 异步 FIFO 的研究与实现 [J]. 微电子学与计算机, 2007 (3): 210 - 213.
- [13] FTDI. AN\_370 FT60X Configuration Programmer User Guide (Version 1.5) [EB/OL]. [https://www.ftdichip.com/Support/Documents/AppNotes/AN\\_370%20FT60X%20Configuration%20Programmer%20User%20Guide.pdf](https://www.ftdichip.com/Support/Documents/AppNotes/AN_370%20FT60X%20Configuration%20Programmer%20User%20Guide.pdf), 2017.
- [14] FTDI. AN\_387 FT600 Data Streamer Application User Guide (Version 1.5) [EB/OL]. [https://www.ftdichip.com/Support/Documents/AppNotes/AN\\_387%20FT600%20Data%20Streamer%20Application%20User%20Guide.pdf](https://www.ftdichip.com/Support/Documents/AppNotes/AN_387%20FT600%20Data%20Streamer%20Application%20User%20Guide.pdf), 2015.
- [5] Dong Y X, Zhi L W, Yan H W, et al. Wang. Coordinate Control, Motion Optimization and Sea Experiment of a Fleet of Petrel-II Gliders [J]. Chinese Journal of Mechanical Engineering, 2018, 31 (1): 127 - 141.
- [6] Ullah B, Ovinis M, Baharom M B, et al. Pitch and Depth Control of Underwater Glider using LQG and LQR via Kalman Filter [J]. International Journal of Vehicle Structures & Systems, 2018, 10 (2).
- [7] Liao Y L, Wang L F, Li Y M, et al. The Intelligent Control System and Experiments for an Unmanned Wave Glider [J]. PloS one, 2016, 11 (12).