

# 基于 USB 接口功率任意波发生器设计

胡永建<sup>1</sup>, 孙成芹<sup>1</sup>, 胡奕然<sup>2</sup>

(1. 中国石油集团工程技术研究院 北京石油机械有限公司, 北京 102206;

2. 北京市八一学校, 北京 100080)

**摘要:** 为了缩短井下短距离无线传输发射机的研发时间, 没有采用常规的使用商用任意波发生器的技术路线; 专门设计了一种功率任意波发生器, 上位机通过 USB 接口下载波形数据文件, 信号发生器可以输出高达 6W 的信号; 为了实现该设计, 使用专用 USB-SPI 桥接芯片完成上位机与高集成度模拟前端芯片的 USB 接口通讯; 由于上位机的非实时操作系统不能产生稳定、高速的指令发送, 使用同步 FIFO 来存储并回放 SPI 总线上的信号, 解决了 SPI 通讯速率的匹配问题, 增强了输出更新频率的稳定性; 该功率任意波发生器可以输出 6W、10 位精度, 500 kSa/s 采样频率的任意波形, 具有 512 k 采样深度, 满足井下 SDR 发射机设计需求; 其模拟前端电路与井下发射机完全相同, 实现了一次性硬件开发验证, 缩短了研发时间。

**关键词:** 任意波发生器; 功率信号; 发射机; 软件无线电; USB 接口; 石油钻井

## Design of a Power Arbitrary Wave Generator Based on USB Interface

Hu Yongjian<sup>1</sup>, Sun Chenqin<sup>1</sup>, Hu Yiran<sup>2</sup>

(1. Beijing Petroleum Machinery Co., Ltd., CNPC Engineering Technology R&D Co., Ltd., Beijing 102206, China;

2. Beijing Bayi School, Beijing 100080, China)

**Abstract:** In order to shorten the development time of downhole short-distance wireless transmitter, the conventional technical route using commercial arbitrary wave generator is not adopted. A power arbitrary wave generator is specially designed. The host computer downloads waveform data files through USB interface. The signal generator can output up to 6W signal. In order to realize this design, a special-purpose USB-SPI bridge chip is used to complete the communication between host computer and the highly integrated analog front-end (AFE) chip via USB interface. Because the non-real-time operating system of the host computer cannot produce stable and high-speed command transmission, the synchronous FIFO is used to store and play back the signals on the SPI bus, which solves the problem of matching the SPI communication rate and enhances the stability of the output update frequency of signal. This power arbitrary wave generator can generate 6 W, 10-bit, 500 kSa/s arbitrary waveforms with 512 k samples deep memory meeting the design requirements of downhole SDR transmitter. Its analog front-end circuit is exactly the same as the underground transmitter, which realizes one-time hardware development and verification, and shortens the development time.

**Keywords:** arbitrary wave generator; power signal; transmitter; software defined radio; USB interface; oil drilling

## 0 引言

在石油钻井领域, 井下信号的短距离无线传输技术不仅有利于在高频磁耦合信道中使用常规钻具代替造价昂贵的特殊有缆钻具<sup>[1]</sup>, 也有利于实现跨越螺杆钻具的近钻头参数测量<sup>[2]</sup>。井下无线信道由钻井液、钻柱、地层等共同组成。与水声信道类似<sup>[3]</sup>, 该信道也具有时间变化大、衰减大、频率低、传播路径丰富等特性<sup>[4]</sup>。不同信道条件需要不同通讯方式, 软件无线电 (software defined radio, SDR) 适合在同一硬件平台实现不同频段、不同调制方式的通讯<sup>[5]</sup>。对于井下无线通讯 SDR 发射机研制而言, 需要尽可能地通过软件方式实现除模拟前端 (analog front-end, AFE) 和数模转换器 (digital-to-analog converter, DAC) 外的所有功能。

井下 SDR 发射机研制的常规技术路线是利用上位机 (如兼容机) 设计信号调制等算法, 然后将算法移植到微控制器 (microcontroller unit, MCU)、现场可编程逻辑阵列 (field programmable gate array, FPGA)、数字信号处理器 (digital signal processing, DSP) 等嵌入式硬件中, 随后通过高集成度发射机输出功率信号。使用任意波信号发生器 (arbitrary wave generator, AWG) 可以验证算法, 如 Keysight 81150A 脉冲函数任意噪声发生器可以输出 14 位、512 k 采样深度、2 GSa/s 采样率的任意波形信号<sup>[6]</sup>。由于输出功率限制, 该信号发生器即便在增加高电压选件后输出功率也仅有 0.25 W, 不能满足井下 SDR 发射机的功率需求; 使用附加的独立放大器又无法满足高集成度一次性硬件开发验证的需求。

本文设计的 USB 接口功率任意波发生器的核心硬件与井下 SDR 发射机完全相同, 避免了硬件的二次开发验证。上位机通过 USB 接口写入设计好的波形数据, 功率任意波发生器通过单个高集成度芯片实现 DAC、功率放大器 (power amplifier, PA)、滤波器等功能, 输出功率高达 6

收稿日期: 2019-09-03; 修回日期: 2019-09-20。

基金项目: 国家科技重大专项 (2016ZX05020005-001)。

作者简介: 胡永建 (1970-), 男, 河南商水人, 理学硕士, 高级工程师, 主要从事石油钻井井下仪器及通讯设备研制方向的研究。

W。使用该功率任意波发生器能够缩短井下 SDR 发射机的研制周期。

## 1 结构及原理

井下高温高压环境对电子仪器的可靠性是一个挑战, 井下 SDR 发射机的可靠性可以通过高温元器件选型和高集成度设计来提升。

美国德州仪器公司 (TI) 设计的 AFE031 电力线模拟前端芯片<sup>[7-9]</sup>耐温达 125℃, 内部集成了 DAC、PA、可编程增益放大器 (programmable gain amplifier, PGA)、滤波器等多种部件, 是专为电力载波通讯设计的高集成度芯片。其频率范围满足 EN50065 CENELEC A、B、C、D 波段的需求, 支持频移键控 (frequency shift keying, FSK)、扩频频型频移键控 (spread frequency shift keying, S-FSK) 及正交频分复用 (orthogonal frequency division multiplexing, OFDM) 等调制方式, 在 1.5 A 输出时摆幅高达 12 V<sub>pp</sub>, 特别适合驱动低阻抗线路。本文设计的 USB 接口功率任意波发生器的核心硬件就基于该芯片, 与井下 SDR 发射机结构一致。外部设备通过串行外设接口 (serial peripheral interface, SPI) 接口与 AFE031 内部寄存器和 DAC 通讯。

美国芯科实验室 (Silicon Labs) 设计的 CP2130 桥接芯片<sup>[10]</sup>允许上位机通过通用串行总线 (universal serial bus, USB) 接口与 AFE031 芯片的 SPI 接口通讯。厂家提供了 Windows 兼容的应用程序编程接口 (application programming interface, API) 库, 对于 Linux 等平台则提供了 LibUSB 库。

以 150 kHz 作为井下 SDR 发射机的最高发射频率, 根据奈奎斯特采样定理, 采样频率不能低于 300 kHz。由于上位机并非实时操作系统, 通过 CP2130 UAB-SPI 桥接芯片直接向 AFE031 的 DAC 写入数据无法满足任意波形发生器对速率和时钟同步的需求。经过实测, 使用 Windows10 操作系统的主流商用计算机通过 USB 接口向 CP2130 连续发送指令, 一条 SPI 输出指令更新一次 DAC 的数据, 指令最小时间间隔约为 50 μs, 即此时任意波形发生器的更新频率 (采样频率) 低于 20 kHz, 并且时钟频率无法保持恒定。为了解决该难题, USB 接口功率任意波发生器创新性地使用大容量同步高速先进一先出存储器 (first input first output, FIFO) 作为 SPI 接口数据缓冲区, 实现了: 1) USB 接口下载波形数据; 2) FIFO 以 SPI 协议格式存储波形数据; 3) FIFO 通过 SPI 接口控制 DAC 回放波形数据的过程, 该过程通过上位机控制, 无需任何嵌入式编程控制。系统结构如图 1 所示, FIFO 将低速的 SPI 输入指令转换成高速的 SPI 输出指令, 控制 AFE031 内部的 DAC 产生信号并经过 PA 放大输出。AFE031 及其外围电路组成了与井下 SDR 发射机相同的核心硬件部分。

FIFO 选用了美国 IDT 公司的 IDT72V2111 芯片, 该同步 FIFO 芯片存储深度为 512 k, 允许级联扩展存储深度,

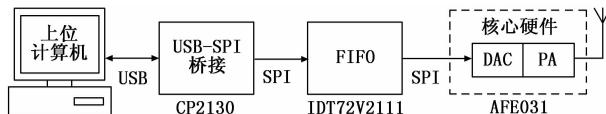


图 1 系统结构图

支持可扩展的 9 位数据存储<sup>[11]</sup>。选用其中的 3 位数据来存储所需的 SPI 通讯的过程信号。

上位机通过 CP2130 从 USB 接口转换为 SPI 接口, 通过 FIFO 与 SPI 接口的 AFE031 通讯。AFE031 具有两种通讯模式: 一种内部控制寄存器的读写操作; 另一种是 DAC 输出的只写操作。对于功率任意波发生器来说, 可以通过多次写入内部控制寄存器的操作来保证写入正确, 无需读取操作。这样从 CP2130 到 AFE031 的 SPI 操作就是单向数据流动, 只需要 CS、CLK 及 MOSI 共计 3 条通讯线, 满足 FIFO 的先进先出的使用条件。上位机发来的非实时 SPI 指令先存储在 FIFO 中, 然后按照所需的时钟频率实时发送给 AFE031, 以此来设定 AFE031 内部 DAC 特定的数据更新频率, 也即信号的采样频率。

CP2130 具有多达 11 个输出引脚, 除了用于 SPI 操作外, 部分引脚作为通用型输入输出引脚 (general-purpose input/output, GPIO) 控制 FIFO 的操作, 其中 GPIO.5 可以复用为 CLKOUT 时钟信号输出, 为 FIFO 提供稳定的读写时钟。

## 2 系统设计

### 2.1 硬件电路

图 2 给出了 USB 接口功率任意波发生器电路示意图。

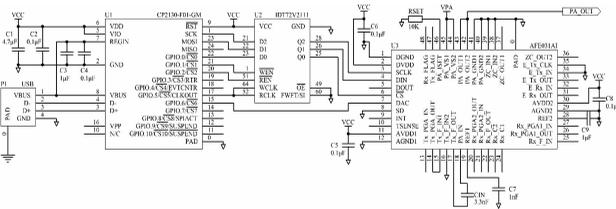


图 2 电路示意图

CP2130 内部的稳压器将 USB 接口的 5 V V<sub>BUS</sub> 总线电压降压为 3.45 V 的 V<sub>CC</sub> 输出, 为所有数字电路供电。使用默认的输出端口复用设置, GPIO.1 和 GPIO.1 分别控制 FIFO 的写入使能及读出使能, 可以通过分频器设定输出频率的内部振荡器 CLKOUT 为 FIFO 提供读写时钟, FIFO 在该时钟的上升沿完成读写操作。另外 GPIO.6 控制 AFE031 的 DAC 引脚, 选择确定 SPI 接口的通讯对象: AFE031 的控制寄存器或 DAC。

IDT72V2111 的 D<sub>0-2</sub> 是 FIFO 的 3 位输入, Q<sub>0-2</sub> 是 FIFO 的 3 位输出。FWFT/SI 引脚接地选择标准 FIFO 模式, OE 引脚接地使能 FIFO 输出。

AFE031 的内部 PA 由外部 15 V 的 V<sub>PA</sub> 供电。其内部相关模块如图 3 所示。

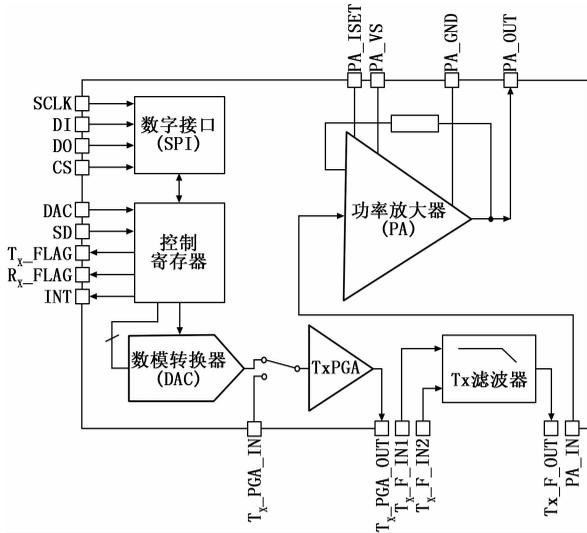


图 3 AFE031 相关功能模块图

当 DAC 引脚为高电平时，通过 SPI 数字接口可以读写控制寄存器；为低电平时，SPI 接口直接同 DAC 通讯。控制寄存器可用来设定 PA、Tx 各部件的启用与否等功能。

AFE031 支持两种工作模式：DAC 及脉冲宽度调制 (pulse width modulation, PWM)。前者使用内置的 10 位 DAC，后者通过 PWM 方式输出模拟信号。当 Enable1 控制寄存器的第 5 位 (DAC) 设定为 1 时，DAC 的输出端与 TxPGA 的输入端相连，此时使用信号失真度更低的 DAC 模式。对井下 SDR 发射机的低频载波频率，10 位精度的 DAC 可以满足需求。

Tx 低通滤波器的截止频率通过 Control1 寄存器设定为 CENELEC B、C、D 波段，其最高截止频率为 150 kHz 左右<sup>[12]</sup>。滤波器的 Tx\_F\_IN2 引脚需要接地，输出通过电容 C<sub>IN</sub> 直接与 PA 输入端相连，也可以视需要使用外部低通滤波器。电容 C<sub>IN</sub> 为功放的传输函数引入了单极点的高通特性，其截止频率  $f_{HP}$  与由 C<sub>IN</sub> 和 PA 的输入阻抗 R<sub>PA</sub> (20 kΩ) 共同确定。

$$C_{IN} = \frac{1000}{2\pi \cdot R_{PA} \cdot f_{HP}} \quad (1)$$

其中：C<sub>IN</sub> 单位为 nF，R<sub>PA</sub> 单位为 kΩ， $f_{HP}$  单位为 kHz。当 C<sub>IN</sub> 设定为 3.3 nF 时，高通截止频率为 2.4 kHz。

功放是高电压、大电流的反相放大器，电压增益固定为 6.5 V/V，满功率带宽为 300 kHz，将 Enable1 寄存器的第 0 位 (PA) 设定为 1 可以使能输出，其输出可以通过 R<sub>SET</sub> 电阻来设定电流限制。限定电流 I<sub>LIM</sub> 由下式确定：

$$R_{SET} = 20 \cdot \frac{1.2}{I_{LIM}} - 5 \quad (2)$$

其中：R<sub>SET</sub> 单位为 kΩ，I<sub>LIM</sub> 单位为 A。

DAC 的输出电压需要与功放匹配，通过 GAIN SELECT 寄存器可以将 TxPGA 的增益设定为 0.25、0.5、0.707 及 1 V/V。TxPGA 的输出与 Tx 滤波器的 Tx\_F\_

IN1 引脚相连。

AFE031 内部的发射机 PGA (TxPGA)、发射机滤波器 (Tx 滤波器) 以及功放等均是 通过运算放大器实现的，运放所需的偏置电路在图 3 中未画出。

## 2.2 更新频率与 FIFO 操作

IDT72V2111 的 FIFO 读写频率最高可达 100 MHz，选用 50 MHz 的 IDT72V211L20 即可满足需求。AFE031 的 SPI 时钟频率最高 20 MHz，内部 DAC 的数据更新速率为 1.5 MSa/s。CP2130 内部的 SPI 控制器时钟频率最高 12 MHz；内部 USB 控制器支持最高 12 Mbps 的 USB2.0 全速模式。

AFE031 的 DAC 更新只需 10 位数据，但 CP2130 的 API 库仅支持字节发送。图 4 给出了上位机连续发送 2 字节 16 位数据 (0xFF、0x00) 时 CP2130 SPI 输出接口的波形示意图，时钟相位上升沿有效 (CPHA=0)，时钟极性高电平有效 (CPOL=0)，AFE031 会自动忽略多余的发送位。

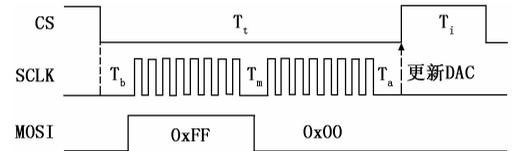


图 4 连续 2 字节 SPI 写入指令

CS 信号低电平启动 SPI 传输，在 SCLK 时钟上升沿读入 MOSI 数据，发送 2 字节数据后 CS 重新拉高。其中：T<sub>i</sub> 是 CS 低电平时间，T<sub>i</sub> 是两条连续指令的时间间隔，T<sub>b</sub>、T<sub>m</sub> 与 T<sub>s</sub> 是 2 字节数据的前、中及后的时间间隔。由于无法得到 CP2130 的内部逻辑及时序关系，对 CP2130 允许的 7 种速率 f，使用上位机连续发送指令，不使用 SPI 延迟，测得各个时间间隔如表 1 所示。

表 1 不同速率的时间间隔测量

f/kHz	T <sub>i</sub> /μs	T <sub>i</sub> /μs	T <sub>b</sub> /μs	T <sub>m</sub> /μs	T <sub>s</sub> /μs
93.75	192	22	14	7	11
197.5	107	22	11	5	11
375	64	22	10	4	11
1500	43	22	9	3	11
3000	32	23	8	3	11
6000	27	23	8	2	11
12000	24	23	8	2	11

如果将 CP2130 SPI 的输出直接与 AFE031 相连，在 CS 信号拉高的上升沿，AFE031 的 DAC 完成数据更新。此时 DAC 的更新频率  $f_{update}$  由下式确定：

$$f_{update} = \frac{1}{T_i + T_s} \quad (3)$$

由此得到不同 SPI 时钟速率的 DAC 更新频率如图 5 所示。

由于 T<sub>i</sub> 及 T<sub>s</sub> 的限制，随着 SPI 时钟速率 f 的增加，

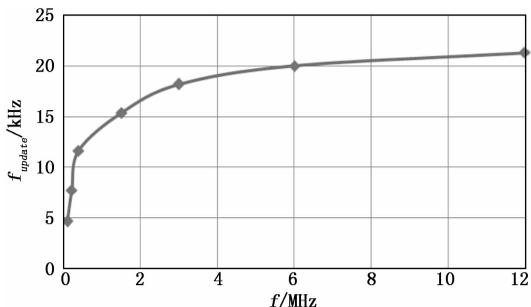


图 5 不同 SPI 时钟速率的 DAC 更新频率

DAC 的更新速率增加变缓, 在测量中发现  $T_i$  的测量值也愈发不稳定 (即指令周期不稳定), 意味着 DAC 更新速率的稳定性变差。该结论与上文分析相同。作为缓冲的 FIFO 的引入解决了该问题。

首先, FIFO 作为低速写入与高速读出的缓冲。将 CP2130 的 SPI 接口数据按照与 SPI 时钟速率相匹配的较慢的写入时钟送入 FIFO, 然后以更快地读取时钟发送给 AFE031 以保证正常的 DAC 更新频率。FIFO 的读取与写入时钟均选用复用为 CLKOUT 的 CP2130 GPIO. 5。需要注意的是, 该时钟是独立的, 与 SPI 的 SCK 并不同步。

其次, FIFO 可以消除指令周期不稳定的影响。选用最低的 SPI 时钟速率 93.75 kHz, FIFO 的写入时钟 CLKOUT 为其 4 倍频 (375 kHz), 这样可以消除 1/4 周期内的指令周期的抖动, 体现在写入 FIFO 的 CS 信号上升沿数据 (DAC 更新点) 具有稳定的重复周期, 在 FIFO 数据回放时, 只要保证读取时钟稳定就能保证稳定的 DAC 更新频率。

### 2.3 上位机软件

美国芯科实验室提供了上位机软件所需的 CP2130 驱动及链接库。对于 Windows 应用, 提供了 SLAB\_USB\_SPI.dll API 库及 C# 演示程序, 后者提供了大多数函数操作的示例代码<sup>[13-14]</sup>。函数分为数据传输及控制传输两类。

本设计使用 VB.NET 完成了功率任意波发生器的上位机软件。对于 SPI 通讯设置, API 库提供了 CP213x\_SetSpiControlByte 控制传输函数来设定 SpiControlWord 控制字, 其功能如表 2 所示。

表 2 SpiControlWord 控制字

位	名称	说明
7:6	保留	
5	相位	0:上升沿;1:下降沿
4	极性	0:高电平有效;1:低电平有效
3	模式	0:开漏输出;1:推拉输出
2:0	时钟	000-111;12 MHz-93.75 kHz

使用推拉输出模式, 电路中无需上拉电阻。

对于 SPI 写入操作, API 库提供了 CP213x\_TransferWrite 数据传输函数, 按照字节写入。写入成功则返回 USB\_SPI\_ERRCODE\_SUCCESS。

CP2130 的 GPIO 引脚可以通过配置其内部的一次性可编程只读存储器 (OTP ROM) 来配置, 本设计使用默认配置。通过 CP213x\_SetGpioModeAndLevel 函数设定引脚功能 (输入、开漏输出及推拉输出) 和状态; 通过 CP213x\_SetClockDivider 函数设定 CLKOUT 的输出频率, 由于设定的是分频系数, 不能保证时钟输出的步长恒定, 同时在 USB 接口挂起时无输出。

功率任意波发生器的程序就是对 FIFO 的读写控制, 读写时钟都是 CLKOUT, GPIO.1 作为写入使能 (WEN), GPIO.2 作为读取使能。使能后就可以写入或读取 3 条 SPI 信号线的过程数据了。图 6 给出了上位机软件工作流程图。

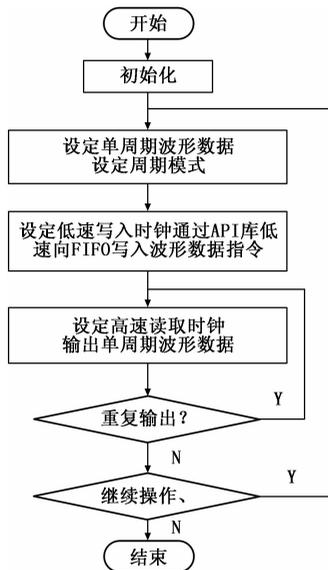


图 6 软件流程图

对于周期或重复信号, 无需输入完整的波形数据, 可以通过 IDT72V2111 的 RT 引脚 (使用 CP2130 的其它空闲 GPIO 引脚) 使 FIFO 中的单周期数据指令重新发送。作为 FIFO 读出时钟的 CP2130 内部振荡器 CLKOUT 的输出频率是通过分频器设定的, 为了实现任意输出周期, 需要在写入波形指令前预先设定单周期波形数据的采样率。IDT72V2111 的重新发送响应时间是确定且满足设计参数要求的。

通过芯片选型及程序设计, 本 USB 接口功率任意波发生器实现的最大输出功率为 6W, 输出精度 10 位, 具有 512 k 的采样深度, 最高采样频率为 500 kSa/s, 满足井下 SDR 发射机设计需求。

### 3 试验验证

使用本 USB 接口功率任意波发生器可以产生所需的高达 6 W 的输出波形, 输出功率由设定的输出信号幅度确定。对于周期性信号, 其周期可以通过 CLKOUT 的输出频率和每周期采样点来确定。输出频率越高、每周期采样点越低则输出频率越高。

通过预设不同的波形, 使用示波器测量输出, 其输出

精度与设计一致, 达到了设计要求。图 7 给出了 100 kHz 正弦波整形后的输出信号, 输出 10 V 峰峰值, 负载 50 Ω。

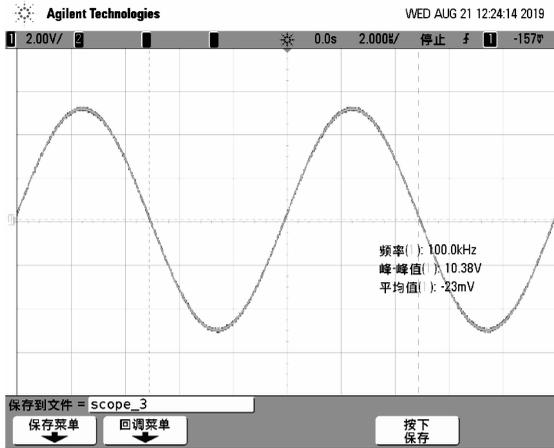


图 7 100 kHz 正弦波信号输出测量

该任意波发生器已经用于高频磁耦合有缆钻杆系统研制, 在井下信号的短距离无线传输的 SDR 大功率发射机设计中, 实现了高集成度一次性硬件开发验证的目的, 缩短了研发时间, 带来较大的经济效益。

#### 4 结论

USB 接口功率任意波发生器设计基于美国芯科实验室的 CP2130 USB - SPI 桥接芯片、美国 IDT 公司的 IDT72V2111 同步 FIFO 芯片和美国德州仪器公司的 AFE031 电力线模拟前端芯片, 无需嵌入式编程控制, 能够实现上位机通过 USB 接口下载波形数据并通过功率放大器输出波形信号的功能。CP2130 桥接芯片实现了上位机 USB 接口与功率任意波发生器的通讯, FIFO 芯片起到了匹配 SPI 通讯速度和稳定 DAC 更新速率的作用。AFE031 芯片及其外围电路组成的高集成度核心硬件与井下 SDR 发射机完全一致, 输出功率高达 6 W。该功率任意波发生器实现了

一次性硬件开发验证, 缩短了井下 SDR 发射机的研发时间。

#### 参考文献:

- [1] 胡永建, 黄衍福, 石林. 高频磁耦合有缆钻杆信道建模与仿真分析 [J]. 石油学报, 2018, 39 (11): 1292 - 1298, 1316.
- [2] 李林. 随钻测量数据的井下短距离无线传输技术研究 [J]. 石油钻探技术, 2007, 35 (1): 45 - 48.
- [3] 周胜利, 王昭辉. OFDM 水声通讯 [M]. 北京: 电子工业出版社, 2018.
- [4] 夏文鹤, 孟英峰, 唐波, 等. 变内径钻柱中微波传输衰减规律 [J]. 石油勘探与开发, 2018, 45 (3): 500 - 506.
- [5] 楼才义, 徐建良, 杨小牛. 软件无线电原理与应用 (第 2 版) [M]. 北京: 电子工业出版社, 2018.
- [6] Keysight Technologies. Keysight 81150A and 81160A Pulse Function Arbitrary Noise Generators (5989 - 6433EN) [EB/OL]. (2018, 8) [2019 - 01 - 15]. <https://literature.cdn.keysight.com/litweb/pdf/5989-6433EN.pdf?id=1360537>.
- [7] Texas Instruments. AFE031 Powerline Communications Analog Front-End (SBOS531D) [Z]. 2012, 5.
- [8] Texas Instruments. Analog Front-End Design for a Narrow-band Power-Line Communications Modem Using the AFE031 (SBOA130A) [Z]. 2011, 11.
- [9] Texas Instruments. DC Power-Line Communication Reference Design (TIDU160) [Z]. 2013, 10.
- [10] Silicon Laboratories. CP2130 Single-chip USB-to-SPI Bridge [Z]. 2014, 1.
- [11] IDT. IDT72V2101, IDT72V2111 3.3 Volt High Density Cmos Supersync FIFO (DSC-4669/6) [Z]. 2018, 1.
- [12] MAXIM. MAX2992 G3-PLC MAC/PHY Powerline Transceiver [Z]. 2011.
- [13] Silicon Laboratories. CP2130 Interface Specification (AN792) [Z]. 2014.
- [14] Silicon Laboratories. CP2130 USB-to-SPI Interface Library Help 1.0 [Z]. 2011.

(上接第 250 页)

#### 参考文献:

- [1] Agrawal A, Simon G, Karsai G. Semantic translation of Simulink/Stateflow models to hybrid automata using graph transformations [J]. Electronic Notes in Theoretical Computer Science, 2004, 109: 43 - 56.
- [2] Liu M, Ho D W C, Shi P. Adaptive fault-tolerant compensation control for Markovian jump systems with mismatched external disturbance [J]. Automatic, 2015, 58: 5 - 14.
- [3] Qiao L, Xu Y, Wang M, et al. The intergrated graphic modeling method of fault perception and control based on the stateflow [A]. Prognostics and System Health Management Conference [C]. 2019, Pairs.
- [4] 邵强, 李友俊, 田庆旺. 综合评价指标体系构建方法 [J].

- 大庆石油学院院报, 2004, 28: 74 - 76.
- [5] 贾仁耀, 刘湘伟. 建模与仿真的校核与验证技术综述 [J], 计算机仿真, 2007 (34): 49 - 52.
- [6] Xu B Y, Ye X H, Luo M. Hybrid modeling and simulation of hydraulic breaker based on Simulink/stateflow [J]. Construction Machinery, 2009 (2A): 55 - 59.
- [7] Yao J, Ni X H, Chen C. Building anti-collision decision making supporting system Simulation [J]. Journal of System Simulation, 2007, 19 (12): 2768 - 2771.
- [8] 邵立周, 白春杰. 系统综合评价指标体系构建方法研究 [J]. 海军工程大学学报, 2008 (3): 48 - 53.
- [9] 吴晓蕾, 赵敏荣. 仿真系统可信度评估及模型验证方法研究 [J]. 计算机仿真, 2002 (3): 25 - 28.
- [10] 李远远, 基于粗糙集的指标体系构建及综合评价方法研究 [D]. 武汉: 武汉理工大学, 2009.