

基于 FPGA 的便携式导弹快速测试方法研究

孙成¹, 陈泽宏², 牛康¹, 高龙³, 白旭¹

(1. 上海机电工程研究所, 上海 201109; 2. 空军驻上海地区第一军事代表室, 上海 201109;
3. 上海航天技术研究院, 上海 201109)

摘要: 针对当前导弹测试方法繁琐复杂、测试效率较低等问题, 同时结合导弹快速发射等实际需求; 论文提出了一种基于 FPGA 的便携式测试方法; 该方法以 Cyclon IV FPGA 芯片作为核心数据综合处理单元, 核心处理单元采用双核处理器架构, 搭载对应的通信板、模拟量以及数字量板卡, 分别完成对应的测试指令发送和对应的数据采集, 数据处理软件采用 $\mu\text{c}/\text{OS II}$ 操作系统完成整个系统任务的调度; 同时采用便携式智能数据终端来实施查看并自主分析测试数据; 实验表明该方法在可降低测试设备体积、降低测试方法复杂度的同时提高测试效率, 从而实现快速发射。

关键词: 便携式; FPGA; 双核处理; 智能终端; $\mu\text{c}/\text{OS II}$

Research on Portable Quick Test Method Based on FPGA for Missiles

Sun Cheng¹, Chen Zehong², Niu Kang¹, Gao Long³, Bai Xu¹

(1. Shanghai Electro-Mechanical Engineering Institute, Shanghai 201109, China;
2. Military Representative No. 1 Office of the Air Force in Shanghai, Shanghai 201109, China;
3. Shanghai Academy of Spaceflight Technology, Shanghai 201109, China)

Abstract: Aiming at the problems of complex and inefficient missile test methods, and combining with the actual requirements of missile rapid launch, the paper puts forward a new method of missile test. A portable test method based on FPGA is proposed in this paper. This method uses Cyclon IV FPGA chip as the core data processing unit. The core processing unit uses dual-core processor architecture, carries the corresponding communication board, analog and digital card, respectively, completes the corresponding test instruction transmission and data acquisition. The data processing software uses $\mu\text{c}/\text{OS II}$ operating system to complete the task scheduling of the whole system. At the same time, portable intelligent data terminal is used to view and analyze test data independently. Experiments show that this method can reduce the volume of testing equipment, reduce the complexity of testing methods and improve the efficiency of testing, so as to achieve rapid launch.

Keywords: portable; FPGA; dual core processing; intelligent terminal; $\mu\text{c}/\text{OS II}$

0 引言

导弹测试是导弹研制、生产、使用过程中的重要工作环节, 用于检查、验证导弹系统的功能和主要技术性能, 进行故障定位, 在必要和允许的情况下调整不合格的参数或更换有故障的部件, 以保证工厂生产的导弹技术性能满足要求、部队使用的导弹处于良好的备战状态。当前, 随着航空、航天技术的飞速发展, 以导弹为核心的空天防御武器在空间防御、区域防空力量竞争等条件中所承担的任务和角色越来越多, 伴随而来的武器装备需求也随之增大。这就对以导弹为核心的空天防御武器在地面测试的过程中提出了很高的要求^[1-2]。不仅需要地面测试设备和测试方法在短时间内可以完成覆盖性测试, 同时要求地面测试设备和测试方法在面对大规模数据处理时可以有效地完成数据实时可视化处理和智能决策。

与此同时, 随着集成电路、微电子技术以及综合电子技术的快速发展, 便携化智能化测试方法已逐渐成为测控

领域的一个重点研究分支^[3]。相比较于导弹等空天技术的发展速度, 与其相配套的测试方法和设备的发展却依然沿用传统的顺序测试方法和测试流程。对比传统导弹测试方法, 现代测试方法不仅可以提高测试效率、降低设备成本、提高数据分析能力, 同时可以提高整个测控系统的稳定性。

当前传统的地面导弹测试设备体积庞大、专用性强、测试电缆连接复杂, 而且当前测试设备存在过度冗余现象, 一方面往往很简单的测试项目都需要很多设备来配合完成; 另一方面而言, 有很多测试设备为了完成测试项目, 在设计测试设备时往往加入了太多不需要的东西。从测试数量来看, 当前测试都只针对单个个体进行测试, 在进行批量化测试时会遇到很大的阻碍。在数据处理方面, 传统的测试过程中很大程度上依赖人力进行测试数据的操作和故障的诊断, 极大的限制了当前对导弹进行快速集成和测试, 同时更难以支持导弹的批量化测试需求^[4-5]。其次, 从测试流程中可以看出, 传统的测试流程都采用单一顺序测试流程, 不同流程之间相关性较大, 导致整个测试流程所消耗的相对时间较长, 测试效率低下。

近年来, 关于对导弹进行快速测试技术研究的过程中,

收稿日期: 2019-08-24; 修回日期: 2019-11-01。

作者简介: 孙成(1991-), 男, 江苏淮安人, 助理工程师, 主要从事遥测系统设计方向的研究。

比较典型的都是以 NI 处理器和对应的 NI 板卡为核心的基于 LABVIEW 的顺序测试流程。具有代表性的有以下几种测试方法: 文献[6]提出采用基于 PC/104 的导弹动态测试系统, 但是该方法更偏重于单一测试频率下进行动态测试; 文献[7-8]提出采用基于 PXI 的测试方法, 但是该方法以 PXI 机箱为测试核心, 但是于传统的测试方法相比, 虽然设备的体积得到了一定情况的减小, 但是从测试效率和测试流程方法上来看并未有很大的改善。

因此, 智能化、模块化、便携化、批量化的测试手段是未来空天防御武器快速测试和快速发射的一个重要发展方向。

1 系统应用环境与结构

便携式导弹快速测试方法主要以战场导弹快速发射和批量化测试为研究背景, 以提高导弹的测试效率和加快导弹的发射速度为目的。面向导弹的快速发射技术的应用环境框架如图 1 所示。

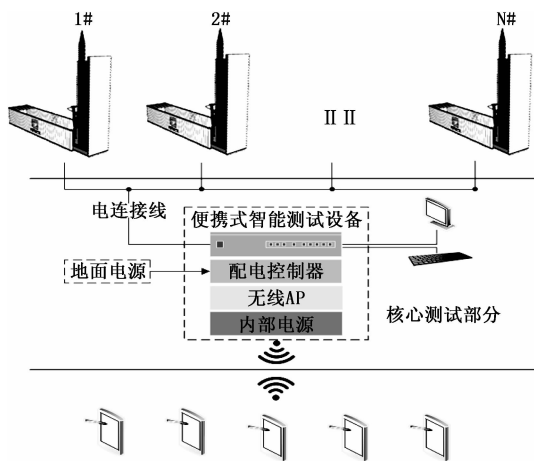


图 1 便携式测试设备应用环境

如图 1 所示, 地面测试系统是整个应用环境中的重要一环, 便携式智能测试设备作为其核心测试部分。其结构如图 2 所示。

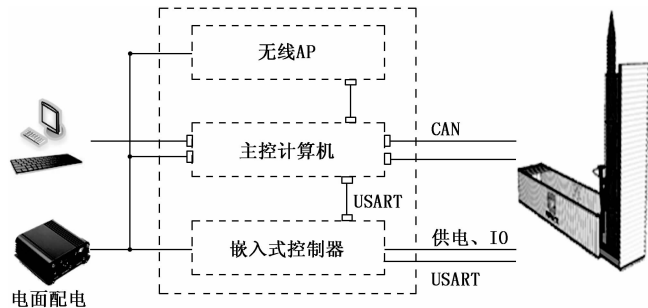


图 2 核心测试设备结构

便携式智能测试系统主要包括主控计算机、无线 AP、嵌入式控制器及通信总线等。本文主要介绍一种基于 FPGA 的便携式导弹快速测试方法。该方法采用板卡组合结构, 各级板卡采用自主设计, 分别包含 FPGA 综控数据处理板卡、通信板卡、模拟量采集板卡、开关量等处理板卡。系

统结构如图 3 所示。

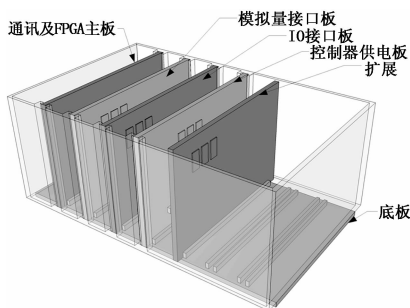


图 3 系统结构

2 系统硬件设计

基于 FPGA 的便携式导弹快速测试系统采用板卡组合结构, 各级板卡采用自主设计。整个硬件系统主要由综合数据处理板卡、通信板卡、模拟量采集板卡以及开关量处理板卡组成。

2.1 基于 FPGA 的综合数据处理系统

系统硬件主要采用 Cyclone IV FPGA 芯片作为主处理器。首先, 相比较于传统 ARM 架构处理器, FPGA 采用并行数据任务流处理方式, 其数据处理速度远快于 ARM 架构处理器; 其次, FPGA 中包含上千万的可编程逻辑资源, 在设计时, 可以利用并行体系结构, 将设计分解为结构良好的数据执行流, 根据不同的任务数据来进行自主设计处理方式; 最后, FPGA 具有强大的新一代互联互通和增强的灵活性, 可以利用最新的技术发展在器件上重新编程。基于 FPGA 的数据综合处理系统板主要用于完成对其他功能板卡的数据进行处理和综合调度。

首先, FPGA 内部处理器设计过程中, 为了尽可能的提高处理速度。在进行搭配 CPU 时, 核心板采用双核处理器系统, 两处理器之间通过双端口 RAM 进行相互数据交换。CPU1 主要用于完成与各底板的通信和数据处理, CPU2 主要用来完成与前端平台的数据交互。双核处理架构如图 4 所示。

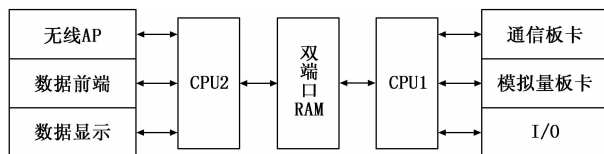


图 4 FPGA 内部硬件结构搭配

在进行核心板硬件原理图设计时, 为了尽可能的减少系统硬件体积、尽可能的提高系统抗干扰性能, 同时为了方便布局走线, 数据综合处理系统采用多层板进行布线。FPGA 核心板硬件电路原理图设计如图 5 所示。

2.2 数据通信板卡

核心板搭载在数据通信系统板上, 主要负责完成与其他板卡之间的数据通信, 以及与显示软件或者智能设备之间的交互通信等功能。

在与板卡之间进行数据通信、同时与导弹进行通信主

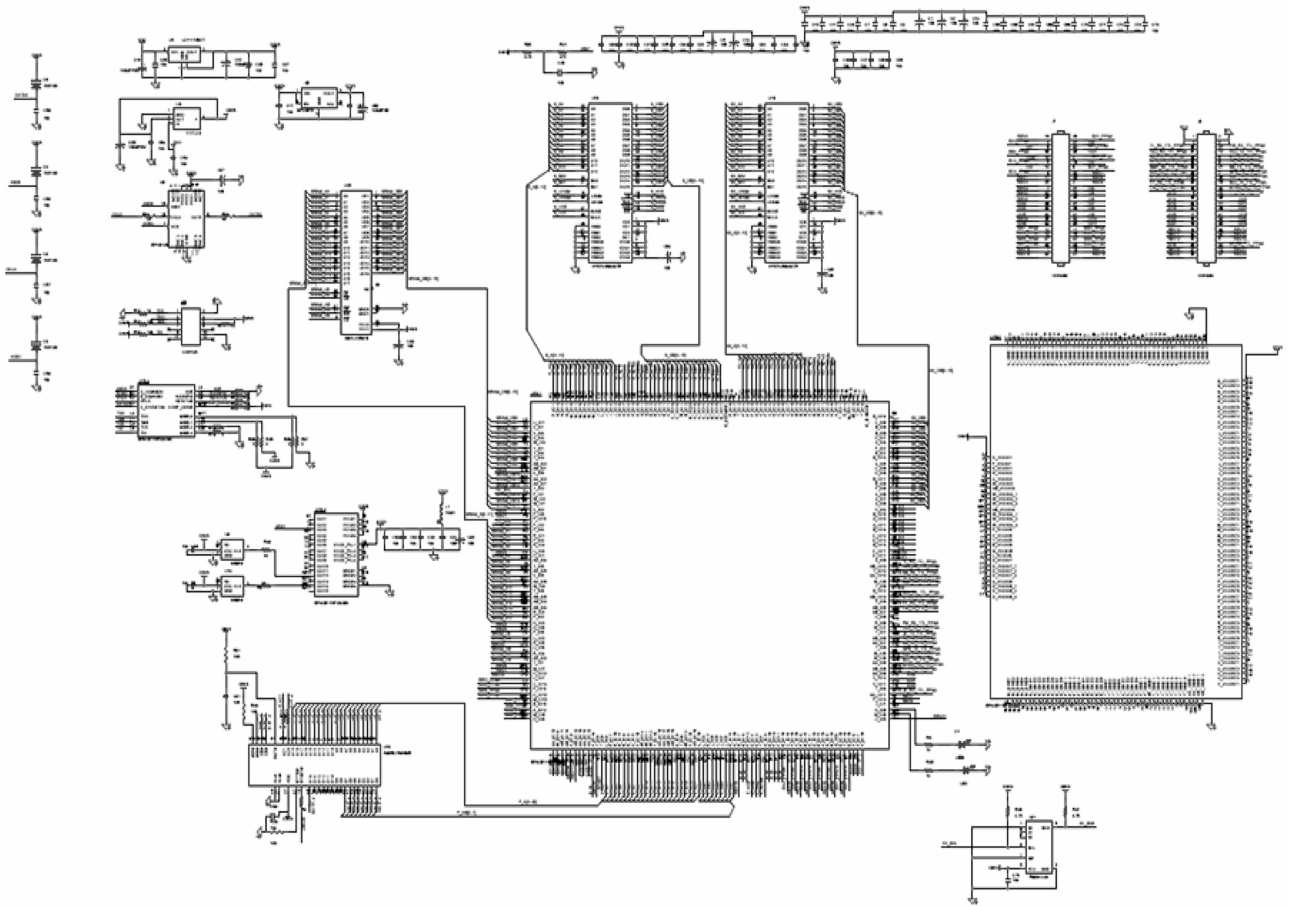


图 5 核心板原理图

要采用 422 通信接口，422 通信接口具有速率快、抗干扰能力强等优点，通信板卡共设计了 8 路 422 通信接口。对应的原理图如图 6 所示。

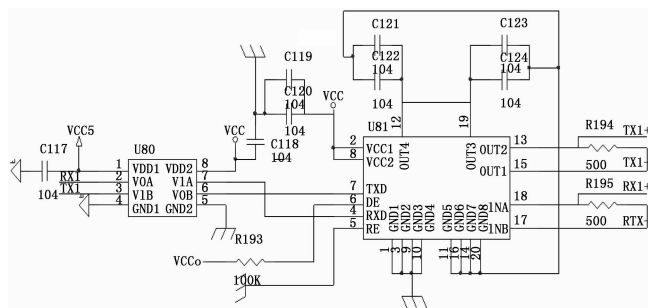


图 6 422 通信原理图

在与主控计算机上位机平台进行通信时，采用以太网来进行数据交互，以满足大数据量、快速传输的要求。芯片接口以太网原理图如图 7 所示。

2.3 IO 系统板

IO 主板采用 ARM 芯片为核心处理器，采用 FreeRTOS 来进行任务调度。任务主要为与核心板通信、通信数据处理、IO 执行操作、继电器控制等。

IO 板主要由电源配置单元、EEPROM、SDRAM 等部分组成；其系统架构和硬件设计原理图分别如图 8 所示。

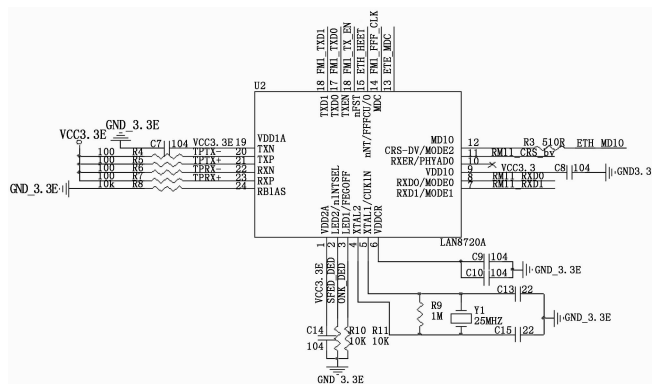


图 7 以太网通信

如图 8 所示，电源配置主要用来对 IO 板工作芯片供电电压进行分配，并为 IO 工作芯片提供稳定可靠电压；EEPROM 主要用于存储与 FPGA 核心板进行通信、IO 操作以及其他配置参数；SDRAM 用于存储需要大量操作的数据。

在 IO 系统板的设计过程中，为了考虑尽可能多的满足使用需求，板卡设计了 16 路 IO 的输入和输出、16 路继电器控制以及 16 路的 OC 门输出电路，其原理图如图 9~12 所示。在与 FPGA 核心板进行通信时依然采用的是 422 通信接口，以实现数据的高速传输与处理。

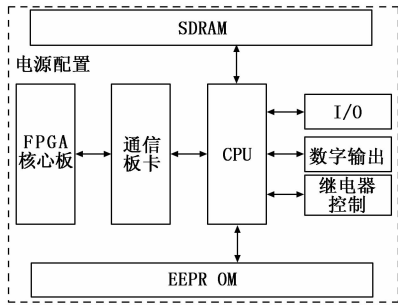


图 8 IO 系统板架构图

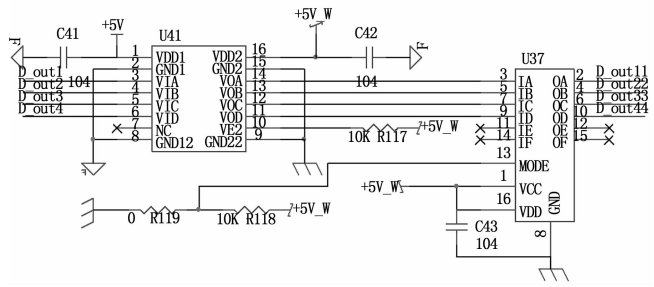


图 12 数字开关输出原理图

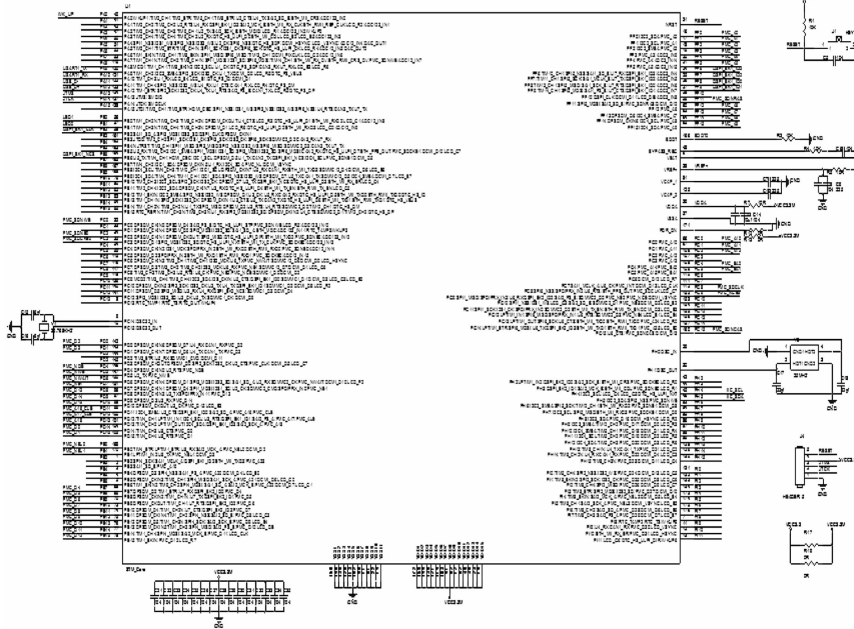


图 9 IO 核心处理器原理图

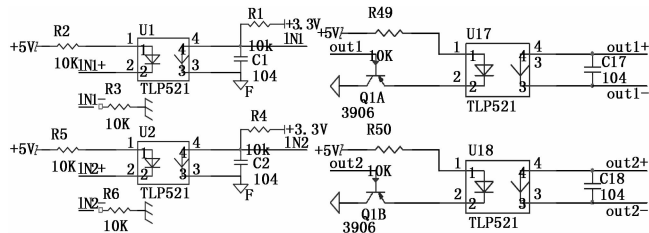


图 10 IO 开关原理图

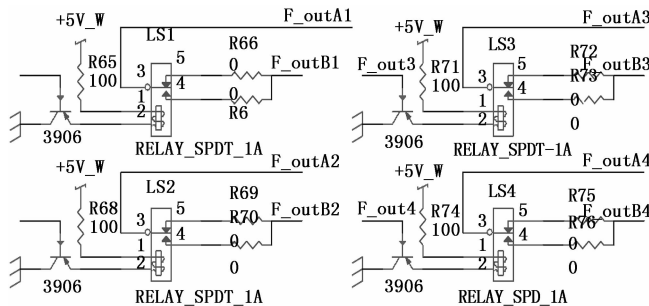


图 11 继电器控制原理图

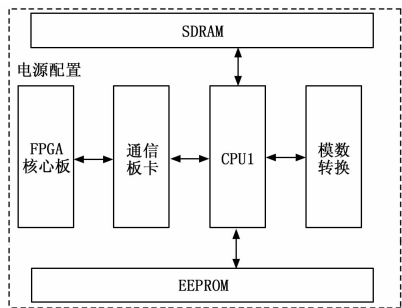


图 13 模拟量系统板架构图

2.4 模拟量系统板

模拟量系统板同样以 ARM 芯片为核心处理器, 采用 FreeRTOS 来进行任务调度。任务主要为与核心板通信、通信数据处理、模拟量数据采集等。

模拟量系统板架构和硬件设计原理图分别如图 13~14 所示。

在进行模拟量系统板卡设计时, 为了尽可能满足使用需求, 模拟量系统板卡共设计了 16 路模拟量输入电路, 可以实现对 16 路模拟量信号的同时采集, 通过软件设置进行并行采集处理可以有效地降低测试的时间。

3 系统软件设计

在对系统软件进行设计的过程中, 为整个硬件系统的几个核心组成部分都设计了相应的软件, 分别为 FPGA 综合数据处理核心板软件、模拟量系统板软件、IO 系统板软件。

3.1 FPGA 综合数据处理核心板软件设计

FPGA 综合数据处理核心板软件主要完成分系统板卡的数据采集、数据再组包、数据上传、对弹数据通信、无线 AP 通信等任务。在进行软件开发的过程中分别采用了 Quartus II 完成 FPGA 内部处理器的搭建, 采用 NIOS II 为平台系统完成数据处理系统软件的设计和开发。另外, 为了尽可能的完成各个任务之间的相关转换, 软件通过移植 Uc/os II 操作系统完成对所有数据任务的调度。

FPGA 数据综合处理系统的软件流程图如图 15 所示。

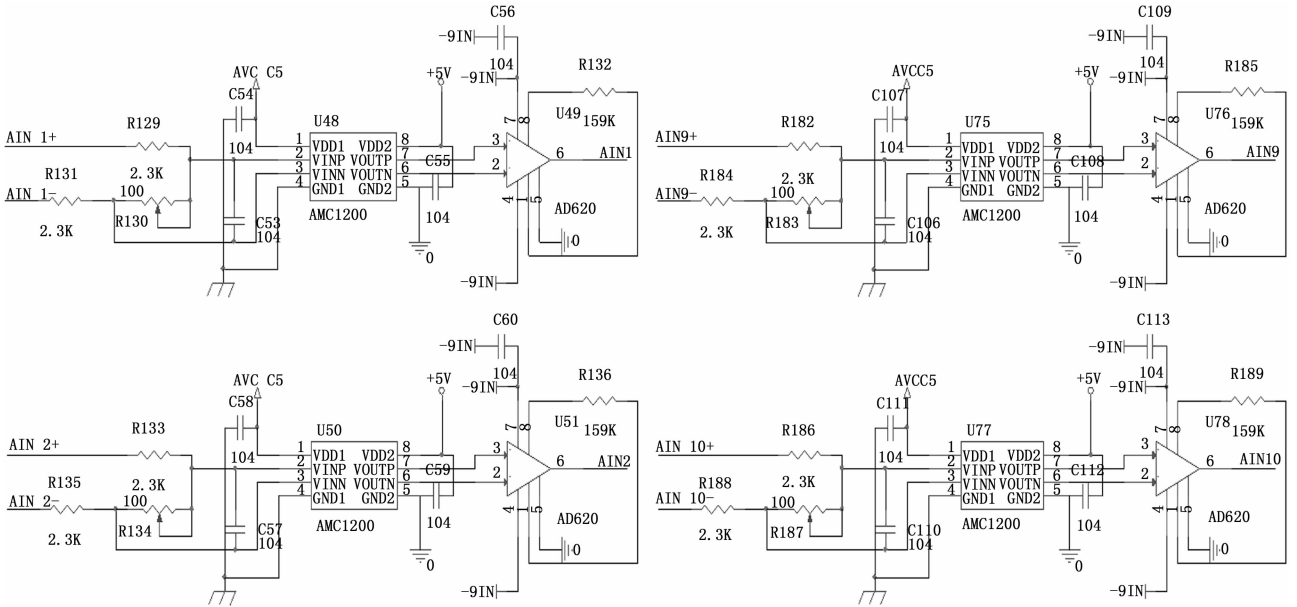


图 14 模拟量转换原理图

如图 15 所示，系统开始后，首先进行系统初始化。系统初始化主要完成整个软件系统的各个任务优先级配置，操作系统初始化，通信参数配置，控制参数配置等功能。

系统初始化完成后，主要进行系统任务的创建及调度运行。任务创建主要完成对整个系统的数据综合处理任务、模拟量数据处理任务、IO 开关量数据处理任务、无线通信任务以及故障处理任务的创建；任务创建完成后，即可启动任务调度；在软件启动任务调度之后，实时完成各任务调度，以实现相应的功能。

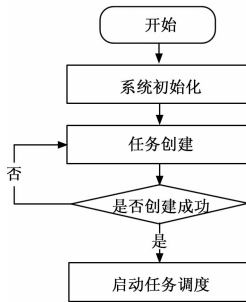


图 15 FPGA 软件任务调度系统流程

3.2 分系统板卡软件设计

分系统板卡主要包括通信板卡、模拟量采集板卡以及开关量处理板卡等，用以完成对预先指定的各种类型的数据量进行采集、通信以及控制等任务。另外，分系统板卡采用 ARM 架构的处理器作为核心处理器，通过移置 FreeRTOS 操作系统完成各个任务之间的相互转换和任务调度。

如图 16 所示，各分系统板卡软件的流程图与 FPGA 数据综合处理系统软件的基本一致。主要为分成三部分，分别为系统初始化、任务创建以及任务的启动调度。在各分系统板卡软件设计的过程中，系统初始化主要完成各个分系统板之间数据通信的参数配置、端口配置、中断配置等内

容。在任务创建的过程中主要对各分系统要完成的任务进行创建。在所有分系统任务创建完成之后，软件启动任务调度，完成各自的任务、功能。

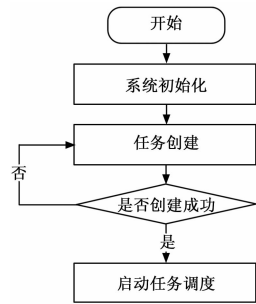


图 16 分系统软件流程图

4 FPGA 数据处理 IP 核

传统的基于 ARM 单字节中断获取数据的处理方式，在进行大数据连续多字节数据获取时极为不利，容易造成数据漏帧、漏包等现象；另外，大数据连续字节传输会不断地打断主程序的运行，影响整个主程序的任务调度。针对传统方式的不利点，整个测试系统设计了 FPGA 数据处理 IP 核。

FPGA 数据处理 IP 核作为整个数据处理系统的处理核心，它决定了整个数据采集、处理的速度。因此，采用 VHDL 语言单独设计了具有大吞吐量的数据处理 IP 核。

采用自主设计的 IP 核可以进行随时并行获取数据；自定义连续接受大数据包，可显著提高数据获取速度，同时，并行数据处理方式可完成所有数据一次性获取。IP 核流程图如图 17 所示，主要流程包括时钟配置、数据帧大小配置、字节大小配置、状态机配置。

IP 核在设计完成之后，对应的软件系统设计则调用对应的 IP 核，通过配置 IP 核的寄存器来完成对分系统板的一

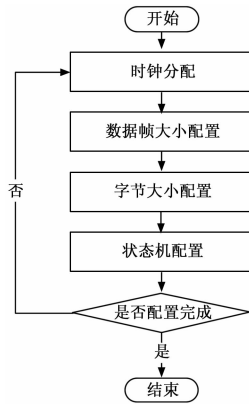


图17 IP核流程图

次性连续大数据包的采集和连续性大数据传输。

5 实验结果与分析

图18为整个系统核心部分的实物图,可以看出:相较于传统测试设备,整个系统的核心部分体积大幅降低,便于携带与转运。

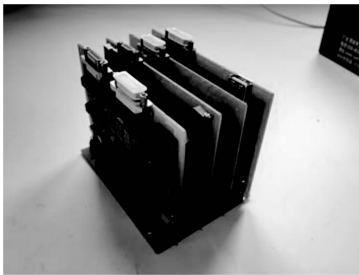


图18 系统核心部分实物图

整个系统的部分测试结果见表1和表2。

正确如表1所示,在测试过程分别对对应的电源进行了长时间加电测试。实验结果表明,设备在进行长时间加电时各工作电源均在合理的误差范围之内,同时模块测试电压值表明电源满足整个设备的预先设计要求。

表1 供电测试结果

测试参数	理论值(V)	实测值(V)
输入电压	+5V	+5.01
POW1	+5±0.15V	5.014
+5V	+5±0.15V	4.982
ADuM3440	+5±0.15V	5.010
CD4504	+5±0.15V	5.012
PC817-1	+5±0.15V	4.982
PC817-4	+5±0.15V	5.014
PIC16F877A	空载:+0V±0.5V	0.641
PIC16F877A	满载:+5V±0.5V	5.012

如表2所示,完成了设备部分主从通信功能模块的验证,在进行长时间加电、短时间传输数据的情况下,数据未出现漏报等情况。数据通信满足之前的预先设计方案。

表2 部分通信测试结果

测试参数	接收参数	结果
发送数据:0x1E 35 05 8B 8C 0C 00 18 C0 00 00 05 10 10 02 03 00 00 04 25	接收数据:0x1E 35 05 8B 8C 0C 00 18 C0 00 00 05 10 10 02 03 00 00 04 25	正确
发送数据:0xEB 90 01 1E 35 05 8B 8C 0E 01 18 00 C0 00 00 05 10 10 03 06 00 12 00 00 5A	发送数据:0xEB 90 01 1E 35 05 8B 8C 0E 01 18 00 C0 00 00 05 10 10 03 06 00 12 00 00 5A	正确

因此,综合以上测试数据表明,该测试方法可行,系统软硬件设计合理,测试结果正确。后续,还需要通过实际应用继续对该测试方法及整个测试系统进行完善及优化。

另外,部分数据由于保密原因没有附在整个文章的实验数据里面。

6 结论

1) 本文提出了一种面向导弹快速发射的基于FPGA的便携式批量化测试方法,该方法主要完成导弹的快速发射、便携式测试以及批量化导弹测试。

2) 文章给出了对应的系统总体设计方案,其中包含总体结构设计、数据综合处理系统设计、以及对应的分系统板卡设计。

3) 文章给出了整个测试系统的综合数据处理板系统、分系统板卡的硬件设计以及软件设计方案。

为了对整个测试方法进行验证,已完成了整个系统的主要硬件及软件设计,部分板卡已经得到验证,进一步说明了该方案的可行性。

参考文献:

[1] 李明雨,杨萍,毕义明. 常规导弹作战批量测试优化研究[J]. 活力与指挥控制, 2006, 31(12): 16-22.

[2] 董其义. 导弹测试系统统计过程控制方法及其实现[J]. 海军工程学院学报, 2009, 24(6): 665-667.

[3] 张东煜,摆卫兵,邓福平. 某型导弹伺服机构动态测试系统设计[J]. 仪表技术, 2014(1): 17-19.

[4] 居建军. 多机器人编队自修复算法设计与实现[D]. 上海: 上海交通大学, 2015: 1-2.

[5] 周金芳,李兴鹤,陈浩,等. 某型导弹自动驾驶仪动态测试系统的设计[J]. 电子产品世界, 2017(Z1): 60-63.

[6] 黄金峰,许化龙,蒲源,等. 导弹动态测试系统设计[J]. 计算机测量与控制, 2008, 16(3): 352-353.

[7] 张驰,梁明,郑建辉. 基于PXI总线的飞航导弹高度通道动态测试系统的设计与实现[J]. 战术导弹技术, 2010(2): 96-100.

[8] 郭洪岩,张秀勇,何慧. 基于PXI总线的飞航导弹武器装备ATS现场检定系统设计[J]. 计测技术, 2015(z1): 179-182.