

基于高速采样的实时 DDC 架构技术

吴晓晔¹, 胡志伟², 白晓远²

(1. 北京航天测控技术有限公司, 北京 100041; 2. 空装驻北京地区第二军事代表室, 北京 100074)

摘要: 近年来, 随着混合域示波器技术的发展, 示波器既要实现传统示波器的功能, 又要实现频域、调制域功能, 这样在数字域信号处理中需要实现实时数字下变频 (DDC) 功能, 实时 DDC 技术是实现示波器向频域和调制域功能扩展的基础, 可以实现示波器的增值应用, 大大扩大示波器的应用领域; 文章根据高速信号采样的特点, 给出了实时 DDC 技术架构, 该架构由数字正交混频、FIR1—FIR3 滤波器、HB1—HB10 滤波器组成, 对于 20 GSa/s 采样数据流而言, 最高支持 1.25 GSa/s I/Q 数据流输出, 最低 305 kSa/s I/Q 数据流输出, 可满足绝大多数应用场景; 对数字正交混频、FIR1 滤波器、FIR2 滤波器、FIR3 滤波器、HB 滤波器进行详细设计分析, 给出了实现架构, 对于 FIR 和 HB 滤波器, 还给出了最佳滤波器阶数及其幅频响应曲线; 对于数字正交混频、FIR1—FIR3 滤波器, 由于其数字速率超过了 FPGA 正常工作时钟范围, 通过多路并行处理的手段实现信号处理; 最后使用矢量信号分析软件对 DDC 的 13 种 I/Q 速率下的 EVM 性能进行了评估, 分别评估了载波频率 1.5 GHz 和 3 GHz 的 EVM 性能, 通过评估, EVM 值大部分集中在 0.5% 以下, 可满足使用需求。

关键词: 混合域示波器; 数字下变频; 数字正交混频; FIR; HB

Real-time DDC Architecture Technology Based on High-speed Sampling

Wu Xiaoye¹, Hu Zhiwei², Bai Xiaoyuan¹

(1. Beijing Aerospace TT&C Technology Co., Ltd., Beijing 100041, China;

2. Second Military Representative Office of Air Force Equipment Department in Beijing, Beijing 100074, China)

Abstract: In recent years, with the development of hybrid domain oscilloscope technology, the oscilloscope not only realizes the function of traditional oscilloscope, but also the function of frequency domain and modulation domain. So it is necessary to realize the function of real-time digital down-conversion (DDC) in digital domain signal processing. Real-time DDC technology is the basis of extending the function of oscilloscope to frequency domain and modulation domain. The value-added application of oscilloscope can be realized, and the application field of oscilloscope can be greatly expanded. According to the characteristics of high-speed signal sampling, this paper presents a real-time DDC technology architecture, which consists of digital orthogonal mixing, FIR1—FIR3 filter and HB1—HB10 filter. For 20 GSa/s sampled data stream, the maximum support is 1.25GSa/s I/Q data stream output and the minimum 305 kSa/s I/Q data stream output, which can satisfy most application scenarios. Then, the digital orthogonal mixing, FIR1 filter, FIR2 filter, FIR3 filter and HB filter are designed and analyzed in detail, and the implementation architecture is given. For FIR and HB filters, the optimal filter order and its amplitude-frequency response curve are also given. For digital orthogonal mixer and FIR1—FIR3 filter, signal processing is realized by means of multi-channel parallel processing because its digital rate exceeds the normal working time range of the FPGA. Finally, the EVM performance of DDC at 13 I/Q rates is evaluated by vector signal analysis software. The EVM performance of carrier frequencies of 1.5 GHz and 3 GHz is evaluated respectively. Through the evaluation, the EVM value is mostly concentrated below 0.5%, which can meet the needs of application.

Keywords: hybrid domain oscilloscope; digital down converter; digital orthogonal mixing; FIR; HB

0 引言

示波器是一种用途十分广泛的电子测量仪器, 它能把肉眼看不到的电信号变换为看得见的图像, 便于人们研究微观世界电现象的变化过程^[1]。在所有电子测量仪器中, 示波器市场规模最大。高端示波器可在通信、计算机、微电子等传统产业以及新一代信息技术、生物、高端装备制造、新能源、新材料等新兴产业的设计开发、生产中广泛应用, 地位显著, 是研发和生产过程中必不可少的设备, 对于提升我国电子测量仪器的整体水平具有重要意义。

近年来, 随着大规模数字集成电路、数模混合电路、模拟电路快速发展, 导致应用需求呈综合化发展趋势, 混合域示波器发展迅猛^[2-4], 示波器既要实现传统示波器的功能, 又要实现频域、调制域功能, 如实现频谱分析、矢量信号分析、跳频信号分析功能, 在这样的应用背景下, 示波器的数字域信号处理中需要实现实时 DDC 技术, 该技术是示波器功能扩展的基础, 可以实现示波器增值应用, 大大拓展示波器的应用领域。本文研究的示波器输入通道数为 4, ADC 的采样率为 20 GSa/s, 模拟带宽为 4 GHz, 垂直分辨率为 8 比特, 输入灵敏度为 1 mV_{pp}~1 V_{pp}, 输入阻抗为 50Ω 或 1MΩ。实时 DDC 的输入数据可以来源于任意一个输入通道, 即 DDC 的输入数据流速度为 20 GSa/s, 通过实时 DDC 处理, 用户根据分析带宽需求进行设置可以得

收稿日期: 2019-07-24; 修回日期: 2019-08-23。

作者简介: 吴晓晔(1981-), 女, 江苏宿迁人, 主要从事电子测量仪器, 自动测试系统, 先进测试总线技术方向的研究。

到不同速率的 I/Q 数据流，该 I/Q 数据流通过 PCIe DMA 操作送给计算机，计算机上通过不同的信号处理算法实现不同的功能应用。

本文组织如下，首先给出实时 DDC 架构，接着分析数字正交混频设计，下面分别给出 FIR1、FIR2、FIR3、HB 滤波器设计，最后通过矢量信号分析软件对实时 DDC 的指标进行了评估。

1 高速采集模块硬件方案

实时 DDC 运行的硬件平台为 20 GSa/s 高速信号采集模块，每个采集模块的支持 2 个模拟通道，总体方案如图 1 所示，该模块和 4 GHz 信号调理模块及背板交互。整机中有两个 20 GSa/s 高速采集模块，每个模块实现两通道 4 GHz 宽带模拟信号的 20 GSa/s 采集与信号处理。

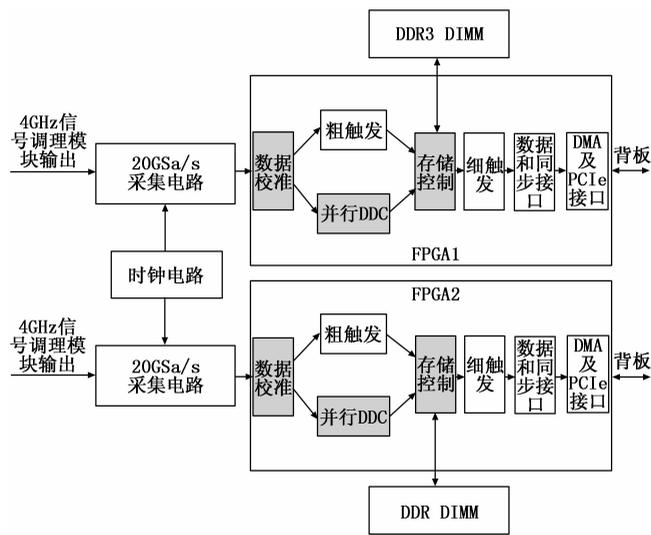


图 1 高速采集硬件方案

20 GSa/s 高速采集模块接收来自 4 GHz 信号调理模块的输出信号，将模拟信号数字化，然后进行数字逻辑处理和数字信号处理。背板与 20 GSa/s 高速采集模块的交互信号包括电源、PCIe 信号、时钟信号、触发与同步信号，20 GSa/s 高速采集模块内部的多个电源均源自背板提供的电源，将背板提供的电源进行 DC-DC 或 LDO 处理提供给相应芯片；通过 PCIe 信号实现对 20 GSa/s 高速采集模块的控制和数据读取方式，为了提高数据传输效率，采用 DMA 方式实现数据读取操作；时钟信号为 100 MHz，背板为两个 20 GSa/s 高速采集模块提供相同的基准时基；触发与同步信号的功能是实现多个采集模块的触发与同步操作。

该模块主要完成的功能包括：(1) 4 GHz 宽带模拟信号数字化；(2) 通道复用信号数字化后，高速 AD 数据流合成；(3) 高速触发逻辑实现；(4) 高速数据流的数据抽取，实现不同采样速率；(5) 实时 DDC 处理；(6) 高速数据流存储；(7) 缓存数据传输给计算机单元。

根据硬件功能需求，20 GSa/s 高速采集模块由电源转换电路、时钟电路、两个 20 GSa/s 模拟-数字转换电路、

两个 FPGA 芯片、两个 DDR3 SODIMM 模块、高速连接器等组成。时钟电路提供系统工作所需的多路时钟，包括 FPGA、高速 ADC、DDR3、PCIe 接口等需要的多种不同速率时钟。在这些时钟中，高速 ADC 电路对时钟的质量需求最高，对于时钟抖动有着严格的要求，时钟的质量直接影响 ADC 的有效位数。板卡上共有两个 20 GSa/s 模拟-数字转换电路，每个 20 GSa/s 模拟-数字转换电路由 4 个 5GSa/s ADC 通过交叉采样实现，这样 20 GSa/s 高速采集模块单板共需要 8 个 5 GSa/s ADC 完成双通道 20 GSa/s 信号采样。20 GSa/s 采样后形成的高速数据流通过 LVDS 接口送给 FPGA，由 FPGA 完成数据校准及后续处理工作。

2 实时 DDC 架构

实时 DDC 信号处理架构如图 2 所示，输入信号为 20 GSa/s 数据流，输入信号首先进行去载波操作，即输入信号和 $\cos(\omega t)$ 、 $\sin(\omega t)$ 相乘，相乘后数据流速度为 20 GSa/s，不论是 20 GSa/s 输入采样数据流还是 20 GSa/s 的 $\cos(\omega t)$ 、 $\sin(\omega t)$ 数据流，在 FPGA 内部都无法通过串行实现，因此需要通过并行的方法，本文通过 64 路 250 MSa/s 并行数据流实现 20 GSa/s 样本速率。 $\cos(\omega t)$ 、 $\sin(\omega t)$ 通过 NCO IP 核实现，64 路本地 NCO 的输出信号相位在 360 度内均匀分布，64 路本地 NCO 的复数输出和 64 路输入信号分别相乘，得到 64 路复数数据流。对 64 路并行复数数据流进行并行 FIR1 滤波操作，输出数据流为 1.25 GSa/s，之后为 2 个 FIR 滤波器和 10 个 HB 滤波器，每通过一个 HB 滤波器，输出数据速率降低一倍。

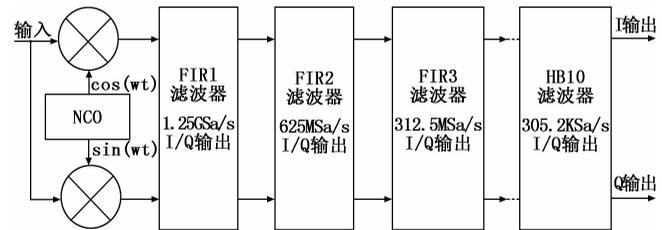


图 2 实时 DDC 架构

表 1 各级滤波器输入输出数据速率

类别	输入速率	输出速率
FIR1	20GSa/s	1.25GSa/s
FIR2	1.25GSa/s	625MSa/s
FIR3	625MSa/s	312.5MSa/s
HB1	312.5MSa/s	156.25MSa/s
HB2	156.25MSa/s	78.125 MSa/s
HB3	78.125 MSa/s	39.0625 MSa/s
HB4	39.0625 MSa/s	19.53125 MSa/s
HB5	19.53125 MSa/s	9.765625 MSa/s
HB6	9.765625 MSa/s	4.8828125 MSa/s
HB7	4.8828125 MSa/s	2.44140625 MSa/s
HB8	2.44140625 MSa/s	1.220703125 MSa/s
HB9	1.220703125 MSa/s	610.3515625kSa/s
HB10	610.3515625kSa/s	305.17578125 kSa/s

实时 DDC 的 NCO 载波中心频率可任意设置, 有效范围在 4 GHz 内, 最高 I/Q 输出速率为 FIR1 输出, 高达 1.25 GSa/s, 最低 I/Q 输出速率为 HB10 输出, 速率 305.175 781 25 KSa/s。实时 DDC 的设计最高可支持 500 MSymbol/s 符号速率, 最低可支持 1 kSymbol/s 符号速率, 可满足绝大部分应用需求。

3 数字正交混频设计

数字正交混频是实时 DDC 框架的第一步信号处理, 通过数字正交混频, 实现去载波化, 设输入信号为 $x(t)$, I 支路正交混频输出 $I_{mix}(t)$ 和 Q 支路正交混频输出 $Q_{mix}(t)$ 如下式所示:

$$I_{mix}(t) = x(t) \times \cos(\omega t) \quad (1)$$

$$Q_{mix}(t) = x(t) \times \sin(\omega t) \quad (2)$$

数字正交混频的数学处理过程非常简单, 但从工程角度而言, 具有一定的实现复杂度, 表现在超高速数据流并行处理环节, 输入信号为 20 GSa/s 数据流, 将 20 GSa/s 拆成 64 路 312.5 MSa/s 并行数据流, 即 20 GSa/s 数字输入序列 $x(n)$ 拆成 $x_1(n), x_2(n), \dots, x_{64}(n)$, 分别如下式所示:

$$x_1(n) = x(n \times 64) \quad n = 0, 1, 2 \dots \quad (3)$$

$$x_2(n) = x(n \times 64 + 1) \quad n = 0, 1, 2 \dots \quad (4)$$

⋮

$$x_{64}(n) = x(n \times 64 + 63) \quad n = 0, 1, 2 \dots \quad (5)$$

$\cos(\omega t), \sin(\omega t)$ 通过 FPGA 内部的 NCO IP 实现, 同样, 需要例化 64 个 NCO, 每个 NCO 的 \cos 和 \sin 输出的位宽为 12 位, 64 个 NCO 具有相同的工作时钟, 频率控制字相同, 64 个初始相位在 360 内均匀分布。

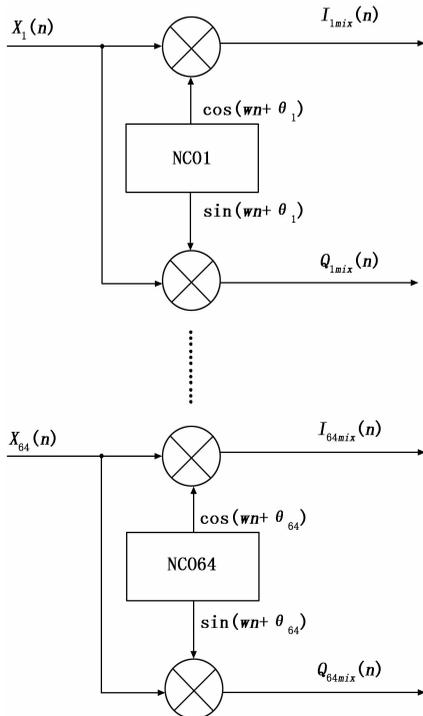


图 3 数字正交混频实现架构

示波器的模拟带宽为 4 GHz, 同时结合 20 GSa/s 的输入采样数据流速率, NCO 可设置的频率范围在 0~4 GHz 内, NCO 的位宽为 32 位, 对于 20 GSa/s 而言, LSB 代表的分辨率为 4.66 Hz。数字正交混频硬件架构如上图所示, 该架构共消耗 64 个 NCO、128 个乘法器, NCO 的深度为 4 096, 输出信号为 12 位有符号数, 乘法器两端的输入分别为 8 位和 12 位有符号数, 输出为 12 位有符号数。

4 FIR1 滤波器设计

4.1 FIR1 滤波器设计

FIR1 滤波器在数字正交混频之后, 第一级采用 FIR 滤波器的目的是为了更大的实现灵活性, 可以更好的抑制带外分量。FIR1 滤波器的输入数据流速率为 20 GSa/s, 输出 I/Q 速率为 1.25 GSa/s, 相当于 FIR1 滤波器实现低通滤波+16 抽取。

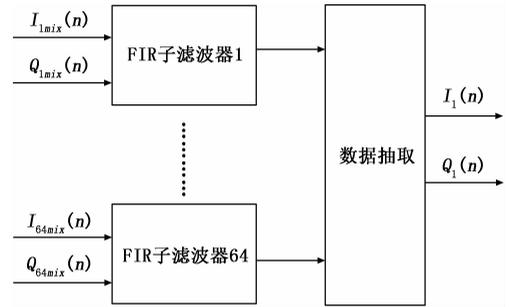


图 4 FIR1 滤波器架构

通过并行架构实现 FIR1 滤波器需要 64 个子 FIR 滤波器, 因此滤波器系数长度一定是 64 的倍数。输出 I/Q 速率为 1.25 GSa/s, 在 FPGA 内部通过 4 个并行的 312.5 MSa/s 数据流表示, 即 $I_1(n)$ 由 $I_{11}(n), I_{12}(n), I_{13}(n), I_{14}(n)$ 表示, $Q_1(n)$ 由 $Q_{11}(n), Q_{12}(n), Q_{13}(n), Q_{14}(n)$ 表示。

$$I_{11}(n) = \sum_{v=4k+1}^{64} I_{vmix}(n) * h_{FIRv}(n) \quad k = 0, 1, 2 \dots, 15 \quad (6)$$

$$I_{12}(n) = \sum_{v=4k+2}^{64} I_{vmix}(n) * h_{FIRv}(n) \quad k = 0, 1, 2 \dots, 15 \quad (7)$$

$$I_{13}(n) = \sum_{v=4k+3}^{64} I_{vmix}(n) * h_{FIRv}(n) \quad k = 0, 1, 2 \dots, 15 \quad (8)$$

$$I_{14}(n) = \sum_{v=4k+4}^{64} I_{vmix}(n) * h_{FIRv}(n) \quad k = 0, 1, 2 \dots, 15 \quad (9)$$

$$Q_{11}(n) = \sum_{v=4k+1}^{64} Q_{vmix}(n) * h_{FIRv}(n) \quad k = 0, 1, 2 \dots, 15 \quad (10)$$

$$Q_{12}(n) = \sum_{v=4k+2}^{64} Q_{vmix}(n) * h_{FIRv}(n) \quad k = 0, 1, 2 \dots, 15 \quad (11)$$

$$Q_{13}(n) = \sum_{v=4k+3}^{64} Q_{vmix}(n) * h_{FIRv}(n) \quad k = 0, 1, 2 \dots, 15 \quad (12)$$

$$Q_{14}(n) = \sum_{v=4k+4}^{64} Q_{vmix}(n) * h_{FIRv}(n) \quad k = 0, 1, 2 \dots, 15 \quad (13)$$

输入模拟信号频率范围 DC~4 GHz, 采样率 20 GHz, 对于第一级 FIR 滤波器而言, 输入 20 GSa/s 数据流, 输出 1.25 GSa/s 数据流, 通带频率设置在 0.4 GHz, 阻带频率设置在 0.85 GHz, 同时考虑滤波器的系数长度为 64 的整数

倍,对 64 阶、128 阶、192 阶、256 阶滤波器频响做仿真分析,以确定最佳长度滤波器,64 阶、128 阶、192 阶、256 阶滤波器频响曲线如图 5~9 所示。对 64 阶、128 阶、192 阶、256 阶滤波器幅频响应曲线进行分析可知 192 阶滤波器最佳,192 阶滤波器可在带外衰减 83 dB。

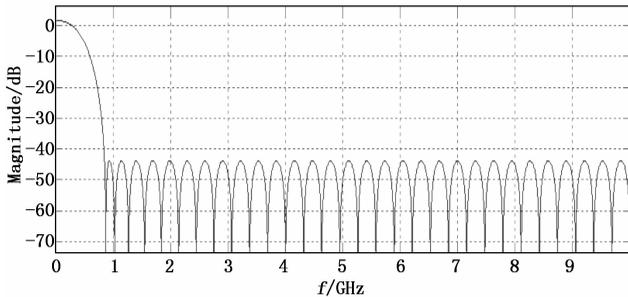


图 5 64 阶 FIR 幅频曲线

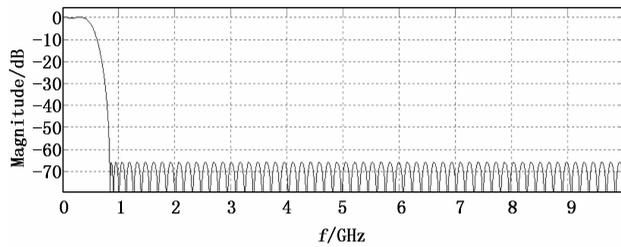


图 6 128 阶 FIR 幅频曲线

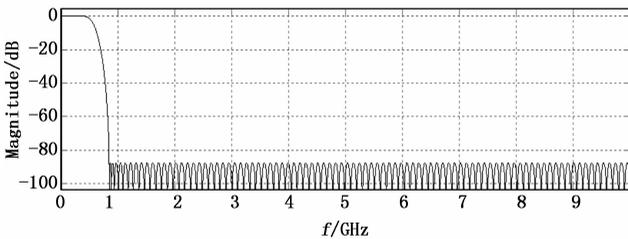


图 7 192 阶 FIR 幅频曲线

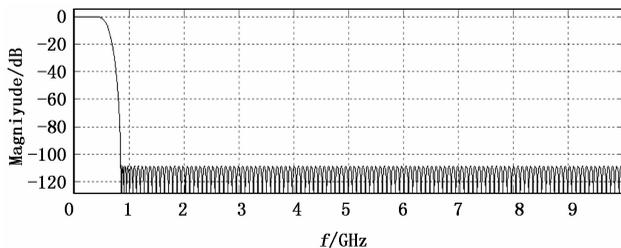


图 8 256 阶 FIR 幅频曲线

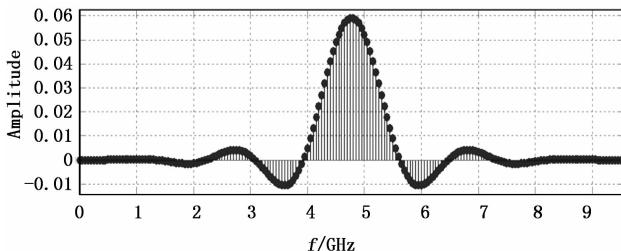


图 9 192 阶 FIR 滤波器脉冲相应曲线

得,对于 192 阶 FIR 滤波器而言,其系数记为 $h_0 h_1 h_2 \cdots h_{191}$,每个 FIR 子滤波器系数长度为 3, FIR1 系数为 $h_0 h_{64} h_{128}$, FIR2 系数为 $h_1 h_{65} h_{129}$, FIR64 系数为 $h_{63} h_{127} h_{191}$,其它依此类推。FIR1 滤波器的输入为 12 位有符号数,滤波器系数为 16 位有符号数,输出为 12 位有符号数,为了实现 FIR1 滤波器输入信号和输出信号的幅度一致性,需要对 FIR1 滤波器系数实现归一化操作。

4.2 FIR2 滤波器设计

FIR1 滤波器之后为 FIR2 滤波器, FIR2 滤波器的输入数据流速率为 1.25 GSa/s,输出 I/Q 速率为 625 MSa/s,相当于 FIR2 滤波器实现低通滤波+2 抽取。

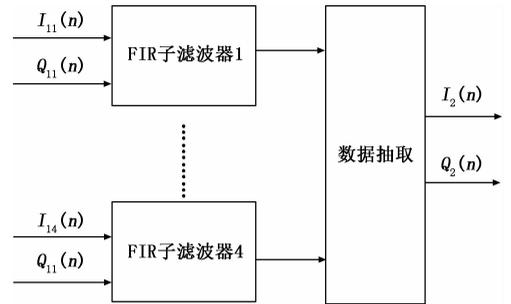


图 10 FIR2 滤波器架构

通过并行架构实现 FIR2 滤波器需要 4 个子 FIR 滤波器,因此滤波器系数长度一定是 4 的倍数。输出 I/Q 速率为 625 MSa/s,在 FPGA 内部通过 2 个并行的 312.5 MSa/s 数据流表示,即 $I_2(n)$ 由 $I_{21}(n), I_{22}(n)$ 表示, $Q_2(n)$ 由 $Q_{21}(n), Q_{22}(n)$ 表示。

$$I_{21}(n) = I_{11}(n) * h_{FIR21}(n) + I_{13}(n) * h_{FIR23}(n) \quad (14)$$

$$I_{22}(n) = I_{12}(n) * h_{FIR22}(n) + I_{14}(n) * h_{FIR24}(n) \quad (15)$$

$$Q_{21}(n) = Q_{11}(n) * h_{FIR21}(n) + Q_{13}(n) * h_{FIR23}(n) \quad (16)$$

$$Q_{22}(n) = Q_{12}(n) * h_{FIR22}(n) + Q_{14}(n) * h_{FIR24}(n) \quad (17)$$

FIR2 滤波器的通带频率 250 MHz,阻带 312.5 MHz,通过仿真分析,48 阶 FIR 滤波器可以很好的满足要求,其幅频响应曲线如图 11 所示。

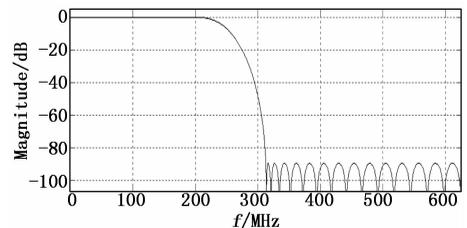


图 11 FIR2 幅频曲线

4 个子 FIR 滤波器的系数由 FIR2 滤波器系数抽取而得,对于 48 阶 FIR2 滤波器而言,其系数记为 $h_0 h_1 h_2 \cdots h_{47}$,每个 FIR 子滤波器系数长度为 12, FIR21 系数为 $h_0 h_4 h_8 \cdots h_{44}$, FIR22 系数为 $h_1 h_5 h_9 \cdots h_{45}$, FIR23 系数为 $h_2 h_6 h_{10} \cdots h_{46}$, FIR24 系数为 $h_3 h_7 h_{11} \cdots h_{47}$ 。FIR2 滤波器的输入为 12 位有符号数,滤波器系数为 16 位有符号数,输出为 12 位有符号数,为了实现 FIR2 滤波器输入信号和输出信号

64 个子 FIR 滤波器的系数由 FIR 滤波器系数抽取而

的幅度一致性, 需要对 FIR2 滤波器系数实现归一化操作。

4.3 FIR3 滤波器设计

FIR2 滤波器之后为 FIR3 滤波器, FIR3 滤波器的输入数据流速率为 625 MSa/s, 输出 I/Q 速率为 312.5 MSa/s, 相当于 FIR3 滤波器实现低通滤波+2 抽取。

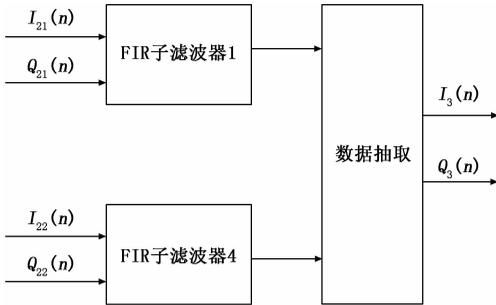


图 12 FIR3 滤波器架构

通过并行架构实现 FIR3 滤波器需要 2 个子 FIR 滤波器, 因此滤波器系数长度一定是 2 的倍数。输出 I/Q 速率为 312.5 MSa/s, 在 FPGA 内部通过一路 312.5 MSa/s 数据流表示, 即 $I_3(n)$ 和 $Q_3(n)$ 。

$$I_3(n) = I_{21}(n) * h_{FIR31}(n) + I_{22}(n) * h_{FIR32}(n) \quad (18)$$

$$Q_3(n) = Q_{21}(n) * h_{FIR31}(n) + Q_{22}(n) * h_{FIR32}(n) \quad (19)$$

FIR3 滤波器的通带频率 250 MHz, 阻带 312.5 MHz, 和 FIR 滤波器采用一样的系数架构, 2 个子 FIR 滤波器的系数由 FIR3 滤波器系数抽取而得。2 个子 FIR 滤波器的系数由 FIR3 滤波器系数抽取而得, 对于 48 阶 FIR3 滤波器而言, 其系数记为 $h_0, h_1, h_2, \dots, h_{47}$, 每个 FIR 子滤波器系数长度为 24, FIR31 系数为 $h_0, h_2, h_4, \dots, h_{46}$, FIR32 系数为 $h_1, h_3, h_5, \dots, h_{47}$ 。FIR3 滤波器的输入为 12 位有符号数, 滤波器系数为 16 位有符号数, 输出为 12 位有符号数, 为了实现 FIR3 滤波器输入信号和输出信号的幅度一致性, 需要对 FIR3 滤波器系数实现归一化操作。

4.4 HB 滤波器设计

FIR3 滤波器之后为 10 个 HB 滤波器, HB 滤波器的输入数据速率在 FPGA 芯片接受的范围内, 因此, 10 个 HB 滤波器的架构相同, 采用串行架构即可实现 HB 滤波器, 工程实现较为简单, 以 HB1 为例, 输入数据流速率为 312.5 MSa/s, 输出数据流速率为 156.25 MSa/s, 实现框图如图 13 所示。



图 13 HB1 滤波器架构

HB1 滤波器的通带频率为 125 MHz, 通过仿真分析, 29 阶 HB1 滤波器就可以满足需求, 其幅频响应曲线如图 14 所示, 在带外可抑制 85 dB。

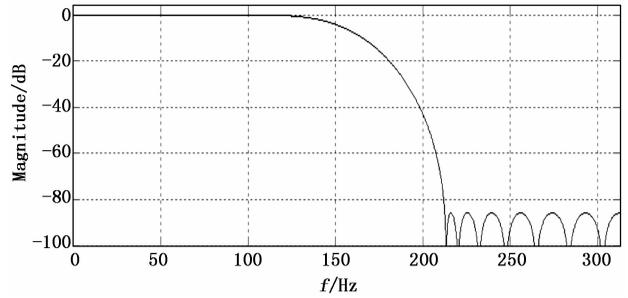


图 14 HB1 幅频曲线

号数, 滤波器系数为 16 位有符号数, 输出为 12 位有符号数, 为了实现 HB 滤波器输入信号和输出信号的幅度一致性, 需要对 HB 滤波器系数实现归一化操作。

5 实时 DDC 指标评估

如上所述, 实时 DDC 共有 13 种抽取速率, 最高 I/Q 速率 1.25 GSa/s, 最低 305.175 781 25 kSa/s。通过 65 GSa/s 宽带任意波形发生器施加激励信号, 从实时 DDC 评估角度而言, 仅需产生 BPSK 调制信号即可, BPSK 的数据流设置为 01010101 交替数据, 对应不同的 I/Q 速率, 设置不同符号速率, 载波频分别设置为 1.5 GHz 和 3 GHz, 使用矢量信号软件包进行 EVM 评估, 可判断实时 DDC 设计是否满足要求。矢量信号软件包界面如图 15 所示, 1.5 GHz 载波频率下 EVM 评估结果如表 2 所示, 3 GHz 载波频率下 EVM 评估结果如表 3 所示。

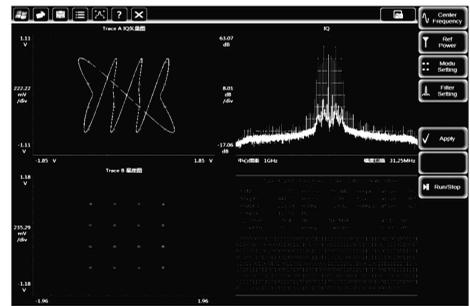


图 15 矢量信号分析软件

表 2 1.5 GHz 载波频率下 EVM 评估结果

类别	符号速率设置	实测 EVM	合格判据	结论
FIR1	500MSym/s	1.3%		合格
FIR2	200MSym/s	0.9%		合格
FIR3	100MSym/s	0.6%		合格
HB1	50MSym/s	0.6%		合格
HB2	25MSym/s	0.5%		合格
HB3	10MSym/s	0.4%		合格
HB4	5MSym/s	0.4%	<3%	合格
HB5	2MSym/s	0.4%		合格
HB6	1MSym/s	0.3%		合格
HB7	500kSym/s	0.3%		合格
HB8	200kSym/s	0.3%		合格
HB9	100kSym/s	0.3%		合格
HB10	50kSym/s	0.3%		合格

HB 滤波器的架构相同, 介数相同, 输入为 12 位有符

表 3 3 GHz 载波频率下 EVM 评估结果

类别	符号速率设置	实测 EVM	合格判据	结论
FIR1	500MSym/s	1.7%		合格
FIR2	200MSym/s	1.1%		合格
FIR3	100MSym/s	0.9%		合格
HB1	50MSym/s	0.8%		合格
HB2	25MSym/s	0.6%		合格
HB3	10MSym/s	0.5%		合格
HB4	5MSym/s	0.5%	<3%	合格
HB5	2MSym/s	0.4%		合格
HB6	1MSym/s	0.3%		合格
HB7	500kSym/s	0.3%		合格
HB8	200kSym/s	0.3%		合格
HB9	100kSym/s	0.3%		合格
HB10	50kSym/s	0.3%		合格

6 结束语

本文针对混合域示波器对调制域、频域等多种应用需求，提出了一种实时 DDC 框架结构，该架构为 20 GSa/s 示波器功能扩展提供服务。该架构由并行数字正交混频、并行 FIR1—FIR3 滤波器、HB1—HB10 滤波器组成，该架构支持高至 1.25 GSa/s I/Q 速率低至 300 kSa/s I/Q 速率，具有极其良好的频率响应特性和幅度归一化特性。通过矢量信号分析软件，对 13 种 I/Q 速率进行了 EVM 评估，EVM 值大部分集中在 0.5% 以下，远远满足指标要求。

(上接第 254 页)

测试项目	标准值	下限	指示值	上限	单位	Pass/Fail
自校 (SELF TEST)						Pass
电压测量准确度 (DCV Measure Accuracy)						
Channel 1						
5 V/div	34.04	35.01	35.96		V	Pass
2 V/div	13.616	14.000	14.384		V	Pass
1 V/div	6.808	7.000	7.192		V	Pass
500 mV/div	3.404	3.501	3.596		V	Pass
200 mV/div	1.3616	1.4000	1.4384		V	Pass
100 mV/div	680.8	699.8	719.2		mV	Pass
50 mV/div	340.4	349.9	359.6		mV	Pass
20 mV/div	136.16	139.90	143.84		mV	Pass
10 mV/div	68.08	70.03	71.92		mV	Pass
5 mV/div	34.04	34.98	35.96		mV	Pass
2 mV/div	13.232	13.969	14.768		mV	Pass

图 5 报告样式

4 结束语

文章首先介绍了数字示波器校准的现状和 METCAL 软件系统的特点，然后详细介绍了 METCAL 开发环境、系统的硬件配置、软件开发流程及重点模块的编制方法，最后通过与手动测试结果的比对验证了该软件的正确性和可靠性。合理的利用该自动校准软件，可大幅提高工作效率及可靠性。

自动测试是计量的发展现状，该软件不仅可以应用于数字示波器的自动校准，经过修改还可以应用于其他种类的仪表，如数字多用表、电源等。

该软件具有易开发、可靠等特点，但是 METCAL 只支持校准过程的编辑，不支持整个校准过程的交互设计，对

本文开发的实时 DDC 可以大大拓展示波器的应用领域，该关键技术可为矢量信号分析、跳频信号分析、普通频谱分析和实时频谱分析等频域和调制域应用奠定基础，实现示波器增值。

参考文献:

- [1] 朱英明. 数字示波器原理与测试分析 [J]. 电子测试, 2007 (Z1): 60-63.
- [2] 周 懿. 高速混合信号示波器高级触发及协议分析功能设计 [D]. 成都: 电子科技大学, 2014.
- [3] 泰克公司. 泰克公司显著提升全球首款混合域示波器的频谱分析性能 [J]. 电子测量与仪器学报, 2013 (11): 1105.
- [4] 泰克公司. 六合一. 泰克公司在集成方面实现重大突破 [J]. 电子测量与仪器学报, 2014 (3): 342.
- [5] 胡志臣, 刘家玮, 林 桐. 20 GSa/s 高速采集模块设计与实现 [J]. 计算机测量与控制, 2007 (1): 196-197.
- [6] 曾娟英. 基于 FPGA 的多通道数字下变频的研究与设计 [J]. 电子技术与软件工程, 2018, 21: 63-66.
- [7] 许 丹. 基于 FPGA 的 DDC 设计与功能实现 [J]. 自动化与仪器仪表, 2018, 9: 33-36.
- [8] 田剑峰. 一种宽带信号数字下变频的实现方法 [J]. 火控雷达技术, 2010 (3): 69-73.
- [9] 李丽斯, 崔志华, 殷 晔, 等. 基于 FPGA 的 PCIe 总线 DMA 控制器的设计与验证 [J]. 计算机测量与控制, 2014, 22 (4): 1166-1168.

交互要求高的用户需要借助于其他开发环境: 如 Visul Studio 等。

参考文献:

- [1] 中国合格评定国家认可委员会. CNAS—CL07: 测量不确定度的要求 [S]. 2011, 1-7.
- [2] 邓晓莉, 郭伟民, 马红梅, 等. GJB7691-2012 数字示波器检定规程 [S]. 总装备部军标出版社发行部, 2012, 5-30.
- [3] 梁志国, 张 扬, 曹英杰, 等. JJF1057-1988 数字存储示波器检定规程 [S]. 北京: 中国标准出版社, 1996, 1-17.
- [4] 雷 鸣, 郭 玥. MET/CAL 自动校准软件及 FSC 语言简介 [J]. 湖北电力, 2009 (A1): 79-80.
- [5] 福禄克公司. Fluke Calibration METCAL Reference Guide [Z]. 美国: 2010: 1-50.
- [6] 泰克公司. TDS3000C Series Service Manual [Z]. 美国.
- [7] 王 池, 原遵东, 林延东. JJF 1117-2010 计量比对 [S]. 北京: 中国标准出版社, 2010: 17.
- [8] 叶德培, 赵 峰, 施昌延, 等. JJF1059. 1-2012 测量不确定度评定与表示 [S]. 北京: 中国标准出版社, 2012: 11-23.
- [9] 李金红, 薛国轩. 9500B 示波器校准仪测量不确定度分析与评定 [J]. 计量与测试技术, 2017, 44 (9): 21-22.
- [10] 毛玉苹. 基于 Fluke MET/ CAL 和 5700A 的 Agilent 34401A 自动校准系统 [J]. 国外电子测量技术, 2007 (10), 55-59.