

基于 Zynq 的高速数据记录仪的设计与实时性分析

杜金艳

(天津航计算技术研究所, 天津 300308)

摘要: 为了在无人机飞行过程中实时监测并记录飞行数据, 设计了数据记录仪, 并对该数据记录仪的接口实时性进行了研究; 根据实时性的分析结果, 按照所需记录数据的速度和时间要求, FPGA 设计中断方式和乒乓缓存, 得到最优记录模式; 软件根据记录数据的优先级进行处理, 改进软件指令和中断处理方式, 实际应用表明, 优化后的图像数据搬移时间达到 $90 \mu\text{s}$, 同步串口是数据搬移时间达到 $740 \mu\text{s}$, 大大提高了实时性, 同时减轻了 CPU 的负担, 达到了无人机对数据记录仪的实时性要求。

关键词: 数据记录仪; 中断方式; 乒乓缓存; 实时性

Design and Real-Time Analysis of High-Speed Data Recorder Based on Zynq

Du Jinyan

(Tianjin Jinhang Computing Technology Research Institute, Tianjin 300308, China)

Abstract: In order to record parameters on high reliability electronic equipment, a data recorder is designed, the timing of each interface of the data recorder is also studied. The interface of the data recorder is analyzed in real time, according to the speed and time requirement of recorded data, PL designs interrupt mode and ping-pong buffer, and obtains the optimal recording mode. PS is processed according to the priority of recorded data, Improving software instruction and interrupt processing. Experimental results indicate that the optimized software has shorter interrupt response time. The moving time of image data can reach 90 microseconds. The moving time of sync-uart data can reach 740 microseconds. The system test shows that the system has the characteristic of simple operation and high efficiency, at the same time release the main CPU, that it can meet the real-time requirement of UAV for data recorder.

Keywords: data recorder; interrupt; ping-pong buffer; real-time

0 引言

目前, 在一些高性能、高可靠性的电子设备上, 为了分析系统参数, 查看产品的工作过程状态等原因, 在大系统上通常都安装了数据记录仪。而作为无人机电数据记录仪, 则是在无人机飞行过程中, 实时监测并记录飞行数据及设备的状态信息^[1], 分析系统参数不可缺少的设备。

根据某型无人机系统的总体要求, 在该无人机电系统的初期研制阶段, 为了监测无人机的各设备的性能指标, 在实际飞行试验过程中都要装有数据记录仪, 然而对于无人机电系统, 又由于结构复杂, 各种器部件较多, 各个系统又由于功能不同, 所采用的通讯方式也不尽相同, 使得各硬件接口通讯速率不一致, 最终导致每个设备接口的数据量有所差别^[2]。因此, 开展了高速率、多接口、大容量并行结构的数据记录仪设计和研究, 对加快无人机的研制进程、缩短研制周期、提高武器性能, 具有十分重要的意义^[3]。

1 系统架构及原理

实时性指标是作为数据记录仪的最重要的性能之一, 即作为记录仪, 要完整记录所有设备接口接收到的数据, 且不允许记录时丢帧^[4]。通常, 在实际的设计系统中, 系统的硬件平台设计和软件优化这两个方面则是影响系统实时性指标的主要因素。在工程设计阶段, 有很多实际因素要需要考, 其中包括设备的研制成本、研发周期及可靠性等诸多方面, 所以, 一般硬件平台的设计要选择成熟度高、设计简单的方案, 而当硬件平台设计完成后, 硬件接口通讯的处理方式、软件优化程度都会对系统实时性的提高起着决定性作用^[5]。下面首先对硬件平台进行分析。

1.1 系统架构

Xilinx 公司的 Zynq 芯片 XC7Z045, 集成了 ARM Cortex A9 双核 (PS, processing system)、以及可达最多相当于 500 多万个逻辑门可编程逻辑 (PL, Programmable Logic) 单元, 它能够简单灵活地用于各种目的的应用^[6]。Zynq-7000 芯片系列的架构为用户提供了一个开放式的设计环境, 在可编程逻辑中, 丰富的接口便于双核 Cortex-A9MPCore、及并行加速功能的开发, 从而加速了产品开发进度。

收稿日期: 2019-05-21; 修回日期: 2019-07-30。

作者简介: 杜金艳(1977-), 女, 辽宁黑山人, 硕士研究生, 高工, 主要从事电路与系统方向的研究。

本系统的数据处理部分设计采用了 ARM + FPGA 架构的 Zynq-7000 芯片, 该设计是以 ARM Cortex A9 处理器为核心, FPGA 可编程逻辑部分作为扩展子系统, 实现各种硬件接口的通讯协议, 两者之间使用高效的 AXI (advanced extensible interface) 总线互连^[10], DDR3 作为接收数据存储的中间站, 最终要通过 SRIO 高速通道转存至数据存储板, 网络接口作为记录数据的回放通道; 电源管理部分产生各器件所需的电压种类, 并进行电源管理。这样, 通过一起进行软硬件协同来实现系统各个接口数据的高速采集、传输, 同时为缩短产品的研制周期, 系统中的数据存储模块则采用成熟的技术, 货架模块产品, 在此不做过多描述。

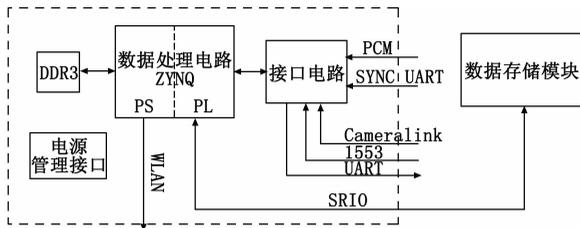


图 1 系统结构框图

1.2 系统原理

在图 1 的系统架构中, Zynq-7000 芯片中的 PS (ARM) 端作为数据处理模块的主控制器, 它负责管理和控制各个硬件接口数据的接收和转存工作, 同时 DDR3 内存颗粒用来做接收数据的大容量缓存。数据处理模块的工作流程如下: Zynq-7000 芯片中的 PL (FPGA) 实现与各个硬件外部接口通讯的功能, 还要实现 SRIO 高速接口与数据存储板通讯, 它与 PS 是通过 AXI 总线互联, AXI 总线协议是基于冲突传输的, 提供了单一的接口定义, 地址通道携带了控制消息, 用于描述被传输的数据属性, 数据传输里实现“主”到“从”的传输是通过写通道, 写响应通道来完成一次“从”使用写传输; 读通道用来实现数据从“从”到“主”的传输, 它可以很方便的实现几种典型的系统架构拓扑。PS (ARM) 则根据接收数据的数据量和数据速度要进行分别处理, 同时 PS (ARM) 端还要及时将 PL (FPGA) 缓存的接收数据搬移到 DDR3 中, 避免缓存数据被覆盖; 与此同时, PS (ARM) 还要找到并利用接收数据的空闲时间, 调度 SRIO 模块接口, 及时的将数据转移到数据存储模块中, 避免异常情况下的数据丢失。

2 设计需求分析

根据 Zynq-7000 芯片的强大的处理能力, 在搭建的系统硬件平台上, 如果采用 ARM 处理器配合 FPGA 按接口顺序完成数据采集, 会由于硬件接口接收的数据量和传输速度不相同, 导致系统接收丢失数据, 从而实时性得不到保证。在此要求下, 就要发挥 FPGA 并行处理的能力, 对各个硬件接口并行处理数据, 来实现对数据处理的提速。因此, 这个系统设计对 Zynq-7000 芯片的 PL 并行设计和

PS 软件的数据处理设计均提出了较高的要求^[7], 同时要发挥软硬件协同的优势。

2.1 需求分析

在进行 Zynq-7000 芯片的 PL 设计时, 首先要分析各个对外硬件接口的时序需求, 才能保证设计实现能够满足系统的实时性要求。首先, 对于接收数据的 PCM 同步串口, 它的传输数据量中等, 每帧 64 个字节, 传输时钟为 2.56 MHz, 虽然传输速度不太高, 但在产品加电期间一直会有数据传输, 数据存储总量还是很可观的, 因此, FPGA 要对接收数据帧进行多包缓存, 缓解 ARM 频繁读取该数据缓存, 这样就不会过多占用 ARM 的处理时间; 其次, 对于同步串口传输的数据, 传输的数据量大, 每帧数据量 4 K 字节, 8 Mbps 的波特率, 数据的传输周期为 10 ms, 同样在产品加电期间也一直进行数据传输, 作为 FPGA 无法缓存太多的接收数据, 因此, 需要 ARM 及时将数据取走, 避免丢失数据帧; 最后, 对于 CameraLink 图像传输接口, 需要接收的图像数据量巨大, 每幅图像数据为 $6\,600 \times 4\,401 \times 2$ 字节, 大小约为 60 MB, 数据传输周期为 3 s, 其中只有 1 s 有有效数据传输, 其余 2 s 无数据传输, 是空闲时间, 在产品加电期间, 图像数据传输时间约为 200 s, 因此 CameraLink 图像接口的数据是实时性要求最高的, 系统要优先处理; 对于 SRIO 高速接口要及时将数据传输到存储板, 更要尽量少占用 ARM 的处理时间; 对于 1553 等其他接口速度和数据处理实时性要求不高, 软件正常处理即可。

2.2 时间剖面

通过以上对各个硬件接口需求进行分析, 可以得到几个关键硬件接口传输数据时间维度, 如图 2, 以时间为横轴, 各个时间段的数据传输密度是不同的, 通过图可以更清晰的看到在图像数据 1 s 的传输时间里, 数据量达到最大。因此, 要充分利用接口数据传输的各个空闲时段, 关键是在图像传输的空闲 2 s 时间段, 要把同步串口和 PCM 硬件接口的数据接收完成, 如果有可能还要完成数据存储。在实际产品的工作过程中, 由于同步串口数据的传输速度, 在其接收和存储过程中会被图像数据流多次打断, 这个情况从上图也可以看到。因此, 最关键的是在保证图像数据优先接收的同时, 要保证同步串口数据和 PCM 接口数据不丢失。

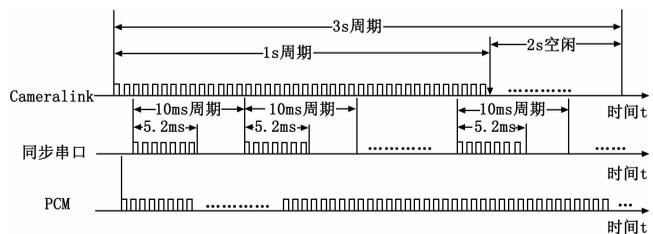


图 2 接口传输数据时间剖面图

3 硬件设计

按照硬件接口数据传输的速度及实时性的要求, 要进行数据处理优先级排队, 根据上述分析, 软硬件要优先处

理接收的图像数据，当 PS 接收到完整的一帧图像数据时，SRIO 高速接口要及时将数据传输到存储板；同时，PS 要利用图像数据接收的空闲时间处理同步串口数据和 PCM 接口数据，最后，如果系统有需要，再利用空闲时间偶尔处理一下其他接口的数据。

3.1 图像数据

对于 Cameralink 接口传输的图像数据，由于一幅图像数据量太大，FPGA 的内部缓存不能存储完整的一帧图像数据，因此，就要将一帧图像数据按照二维的“行”和“列”进行分解，FPGA 设计按照图像的“行”来进行存储，每行数据为 $6\ 600 \times 2$ 个字节，因此，在 FPGA 内部开设 $8\ K \times 16\ bit$ 的 RAM 空间作为一行数据缓存，同时还要防止丢失数据，设置 A/B 缓存来乒乓缓冲，当 FPGA 接收到一行图像数据时，放到 A 缓存，及时产生“行”中断信号通知 ARM，ARM 接收到“行”中断信号后，启动 DMA 把数据从缓存搬到 DDR3 中，在这个过程如果再来图像数据，要放到 B 缓存；同时，PL 还要记录图像数据的“行”和帧的各种状态，包括图像数据的行数、列数等参数供 ARM 来查询。

涉及到进行高速数据传输时，主要是应用 DMA 功能。DMA 主要采用的是 PL 侧的 AXI CDMA 核，ARM 设置传输的源地址和目的地址、以及传输的数据长度，ARM 通过 AXI-lite 接口 (AXI-GP) 向 AXI CDMA 发送指令，AXI CDMA 则是通过 Zynq 的 AXI-HP 通路和 DDR3 交换数据，PL 侧是通过 AXI-S 来读写 DMA 的数据。

由于传输的图像数据是 16 bit，而 ARM 的总线宽度是 32 bit^[9]，如果 FPGA 对图像数据不进行任何处理，这样在进行 DMA 传输时，传输总线的有效传输效率只有 50%，浪费了一半的带宽，因此，FPGA 还要将图像数据组合成 32 bit，提高总线的 DMA 传输效率。具体实现框图如下。

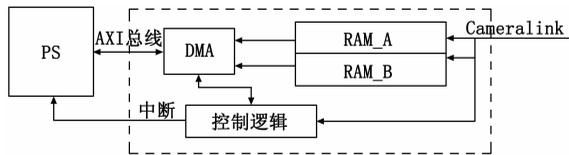


图 3 PL 接收图像数据框图

3.2 串口数据

对于同步串口数据和 PCM 硬件接口的数据，经过上述需求分析，也需要对接收数据进行 A/B 乒乓缓存处理，ARM 应用查询方式处理。PL 侧同步串口数据及 PCM 接口接收数据框图如图 4，两个接口的处理方法类似。

当串口电路工作在接收模式时，串行数据和串行时钟同时进入到串并转换器，FPGA 自动检测帧起始标志，并判断帧头格式。当接收到正确的帧头后，控制 CRC 校验使能有效，并根据接收到的数据帧长度对数据进行接收，将接收数据缓存到 FPGA 内部 RAM，同步串口和 PCM 接口开设的缓存大小均为 4KB。数据接收完成后，进行 CRC 校验并记录相应硬件状态来供 PS 查询，当 PS 在空闲时间查

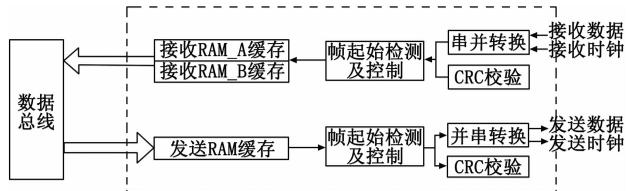


图 4 FPGA 接收串口数据框图

询到接收数据完成标志后，把 PL 内部缓存数据搬运到 DDR3 中。发送模块工作原理也相似，当 ARM 想发送数据时，先把发送数据填充到发送缓冲区，然后启动发送命令，FPGA 按照发送格式自动发送帧头和数据，发送完成进行 CRC 校验，置发送完成标志。

在实际系统工作时，同步串口数据在搬运到 DDR3 的过程中，在同步串口的 10 ms 周期里，可以计算得出，大约会传输图像数据约 45 行。因此，同步串口数据搬运过程会被图像数据流频繁打断，当该过程被接收图像数据打断后，PS 主流程会先处理图像数据，当搬移完一行的图像数据后，再回来继续处理同步串口数据。因为同步串口是 A/B 乒乓缓存，若 46 行图像数据处理的时间小于同步串口一帧的数据传输周期，同步串口数据就不会丢失。

这个同步接口未采用 FPGA 内的 DMA 方式进行传输，主要是考虑到：如果同步接口的 DMA 和图像的 DMA 同时传输时，都会占用 DDR3 的总线，都会占用 ARM 的 AXI-GP 端口，这样不能保证图像数据存储的优先性，因此该接口未采用 DMA。后续可以对此进行验证。

3.3 SRIO 高速接口

SRIO 互联技术是面向嵌入式系统开发的，它提出了高性能、同时基于包交换的新一代高速互联技术，它的数据传输过程是基于请求和响应机制的。SRIO 传输能够在某种模式下扮演主模块的角色，即能够直接向处理器推送数据，而不需要产生中断。这样有一个好处，就是可以减少来中断数量，减少与中断的握手时间，并将 DMA 释放给执行其他任务。

在 FPGA 的 SRIO 模块设计过程中，由于 ARM 时序紧张，所以要尽量利用 PL 来完成 SRIO 的传输操作，不过多占用 ARM 的时间。在 FPGA 设计中采用 AXI DataMover IP 核设计来完成 PL 侧的 DMA 功能，DataMover IP 核用来实现流接口 (AXI4 STREAM) 和存储器接口 (AXI4 Memory Mapped) 的转换，是一个数据传输通道；DataMover 的状态接口主要用来描述 DMA 的工作状态等信息；配置寄存器模块主要用来对 AXI_DataMover IP 核进行初始化的配置，以使其能正常的工作。PL 侧的 SRIO 模块会根据系统的需要来主动发起不同的事务类型，设置一定的数据长度进行数据传输，从而不需要 PS 的参与，节省了 ARM 的时间开销。

在 SRIO 模块中，PS 设置命令参数，SRIO 模块会根据不同的参数，执行不同的事务类型，组织相关的请求事务的数据包。SRIO 模块主要采用 SRIO 的 IP 核进行设计，

SRIO 的 IP 核实现了 SRIO 的链路层, 在这个基础上 FPGA 进行了数据的打包和拆包功能, 并解析 SRIO 的事务类型, 经过 SRIO 的物理链路把数据包发送到目标端口, 要是带有响应的事务, 还要查询相应的响应端口, 接收处理响应数据。图 5 是 SRIO 模块进行数据传输的示意图。

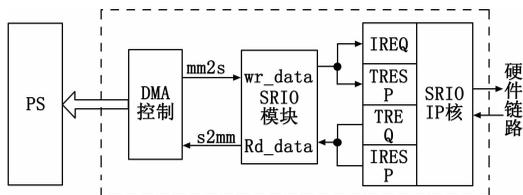


图 5 SRIO 模块传输示意图

4 软件设计

PS 中的 ARM 软件处理和 PL 遵循同样的优先级处理原则, 实现系统实时接收的目标。ARM 软件的处理流程为: ARM 软件初始化并设置中断使能, 在主程序中处理各种数据及流程, 当接收到图像数据中断后, ARM 软件要立即响应, 启动 DMA 搬移图像数据到 DDR3 中, 在此过程中 ARM 不响应任何其他的操作, 当接收到完整的一行数据后, ARM 可以继续执行被打断的任务, 直到下次中断的到来; 当接收到完整的一帧图像数据后, 通知 SRIO 模块, SRIO 模块启动 PL 中的 DMA 功能, 设置事务类型, 将数据转存到存储板; ARM 软件在接收图像数据的空闲时间要查询同步串口和 PCM 接口的数据的标志, 当查询到串口的接收数据满后, ARM 将数据陆续搬移到 DDR3 中, 而在此过程中, 要实时响应图像数据的中断并进行数据处理, 当中断处理完成后, ARM 再继续搬移串口数据, 由于各个接口之间的速度差异性, 并不会导致同步串口及 PCM 接口丢失数据。ARM 利用空闲时间启动 SRIO 及时将数据转存到存储板。流程图如图 6 所示。

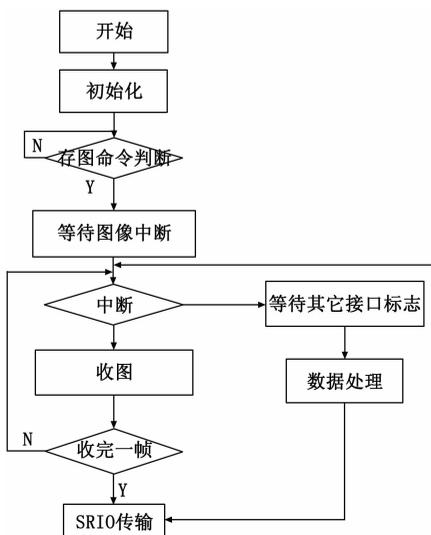


图 6 软件流程框图

5 实验结果与分析

完成系统设计后, 要对系统的指标进行测试, 验证系统是否满足设计需求。首先进行各个硬件接口数据采集时间和转存时间进行测试, 测试各时间指标时发现, 同步串口和 PCM 接口的 ARM 处理时间开销太大, 而图像数据处理的时间是足够的。经分析, 原因为 2 个串口的数据都是 8 bit, ARM 软件在处理数据时, 采用 FOR 循环语句进行字节读取, 这样处理的效率非常低, 因此更改为采用 memcpy 内存拷贝函数指令, 而 memcpy 指令是 4 字节对齐的, 因此, 要在 PL 中将串口数据都拼接为 32 bit, 这样 memcpy 函数指令的源地址和目的地址都为 4 字节对齐, 就可以通过双字赋值的方式来完成数据拷贝的, 这样提高了总线传输效率。ARM 软件按照上述更改完成后, 同步串口和 PCM 接口数据的处理时间都得到了很大的提升。系统模拟实际的工作状态并对其进行性能测试, PCM 接口是 40 包数据缓存, 测试的时间指标如表 1。

5.1 时间指标测试

表 1 数据记录仪接收数据详情

数据源	波特率/MHz	帧长度/Byte	传输时间	搬移时间
Cameralink 一行	30	6 600 * 2	220 us	90 us
SRIO	3 125	1 M		18 ms
同步串口+时标	8	4 000	6 ms	740 us
PCM+时标	2.56	64	200 us	2.8 ms/40

5.2 软件系统测试

产品设计完成后, 应用测试设备对产品进行测试, 开发了测试程序, 测试环境框图如图 7。

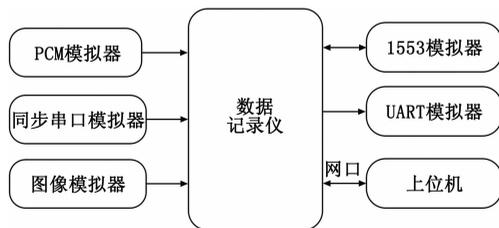


图 7 系统结构原理框图

在对产品测试的过程中发现, 由于图像数据的 DMA 搬移过程是在 ARM 软件的主流程中进行的, 图像数据还是受到了同步串口和 PCM 接口数据流的影响, 当其串口搬移时间过长 (超过 220 μ s * 2) 时, 就会导致接收的图像丢失了某行数据。最后经过分析, 将 ARM 软件的处理改为: 在中断程序中搬移每行图像数据, 这样会占用 ARM 的中断时间 90 μ s, 90 μ s 时间对同步串口和 PCM 接口的数据影响不大, 因为串口是 10 ms 一帧的周期, PCM 接口每帧传输是 200 μ s, 且 40 包缓存, 所以串口不会丢帧。经过更改后, 测试结果正常, 数据记录仪工作可靠, 实时性高, 已满足实际应用要求。

6 结束语

针对 ZYNQ 芯片的异构处理器结构特征, 通过对外部

