

# 高速高精度 ADC 动态参数评估系统的设计与实现

黄朴, 冯洋, 虞致国, 何芹, 顾晓峰

(江南大学 电子工程系物联网技术应用教育部工程研究中心, 江苏 无锡 214122)

**摘要:** 高速高精度模数转换器 (ADC) 广泛应用于信号处理领域, 其动态性能直接决定系统性能的优劣; 由于实际使用的芯片与设计的额定指标间会存在偏差, 有必要评估 ADC 的实际动态性能; 基于 FPGA 及 Labview 实现了一个低成本、高可靠性的高速高精度 ADC 性能评估系统; 系统由底层控制待评估 ADC 子卡, 提供精确的采样样本; 采用异步 FIFO 进行数据缓存, DMA 方式优化数据存储; Labview 定义通信模块, 结合 Matlab 测试脚本完成动态参数测试; 最后使用 ADI 公司的 AD9467 进行了测试验证; 实验结果表明, 该系统运行稳定, 与 datasheet 相比, 参数误差不超过 1.89%, 达到了 IEEE Std 1241-2000 的测试标准, 降低了测试系统构建难度和成本。

**关键词:** 模数转换器; 动态参数; 模块化; 数据采集

## Design and Implementation of Dynamic Parameter Testing System for High-speed and High-precision ADCs

Huang Pu, Feng Yang, Yu Zhiguo, He Qin, Gu Xiaofeng

(Ministerial Engineering Research Center of IoT Technology Applications, Department of Electronic Engineering, Jiangnan University, Wuxi 214122, China)

**Abstract:** High-speed and high-precision analog-to-digital converters (ADCs) have been widely used in signal processing, their dynamic characteristics directly determine the system performance. Since there always exist deviations between practical chip parameters and designed indices, it is necessary to evaluate the actual dynamic performance of ADCs. By building an ADC hardware and software test platform based on FPGA and Labview, a low cost and high reliability performance evaluation system is constructed for high-speed and high-precision ADCs. The system controls the sub-ADC in bottom layer to provide accurate sampling; Asynchronous FIFO is used to carry out data cache, and DMA method to optimize data storage; Labview defines the communication module, combined with Matlab's scripts to test the dynamic parameters. Finally, AD9467, a high-speed and high-precision ADC of ADI, is used for verifying the implemented system. Experimental results show that the system works stably, and the errors are within 2% compared with datasheet, which reaches the test standard provided by IEEE Std. 1241-2000, and the difficulties and cost in constructing the evolution system can be reduced.

**Keywords:** analog-to-digital converter; dynamic parameter; modular approach; data collection

## 0 引言

随着微电子技术的发展, 模数转换器 (Analog-to-digital Converter, ADC) 经历了由低速低精度向高速高精度发展的过程。高速高精度 ADC 在仪器仪表、无线通信、雷达信号处理、航空航天等领域的应用极其广泛<sup>[1]</sup>, 对其进行性能测试十分重要, ADC 的动态特性更是决定系统性能的重要因素<sup>[2-5]</sup>。目前, 高速高精度 ADC 性能测试的方案大都基于高性能的自动化测试设备 (ATE)<sup>[6]</sup>, 存在测试成本高、测试难度大的问

题, 因此, 构建实用的 ADC 性能测试系统来快速准确地评估高速高精度 ADC 的动态性能参数, 具有重要的工程实践价值<sup>[7-9]</sup>。

## 1 ADC 的动态性能参数

### 1.1 动态性能参数与测试原理

ADC 的性能测试分为静态测试和动态测试。静态测试法有其局限性, 不能准确地反映 ADC 的动态特性<sup>[10]</sup>。动态参数一般包括信噪比 (SNR)、总谐波失真 (THD)、无杂散动态范围 (SFDR)、有效位数 (ENOB), 主要采用快速傅里叶变换 (FFT) 法进行测试, 即对在时域内采集的一组正弦信号的采样信号进行 FFT 变换, 然后从得到的傅里叶频谱中提取有关信息, 对 ADC 的动态特性在频域上给出全局性的描述。主要动态参数<sup>[11]</sup>的计算公式如下:

$$SNR = 10 \log_{10} \frac{P_{\text{signal}}}{P_{\text{noise}}} \quad (1)$$

$$SINAD = 10 \log_{10} \frac{P_{\text{signal}}}{P_{\text{noise}} + P_{\text{harmonic}}} \quad (2)$$

$$ENOB = \frac{SINAD - 0.76 \text{ dB}}{6.02} \quad (3)$$

收稿日期: 2015-11-30; 修回日期: 2015-12-25。

**基金项目:** 江苏省自然科学基金资助项目 (BK20130156); 江苏省六大大人才高峰资助项目 (DZXX-027); 中央高校基本科研业务费专项资金资助项目 (JUSRP51323B); 江苏省普通高校研究生实践创新计划项目 (SJZZ\_0148, KYLX15\_1192)。

**作者简介:** 黄朴 (1990-), 男, 江苏邳州人, 硕士研究生, 主要从事集成电路测试技术方向的研究。

虞致国 (1979-), 男, 江西万年人, 副教授, 主要从事集成电路设计与测试方向的研究。

顾晓峰 (1971-), 男, 江苏无锡人, 教授, 主要从事半导体材料与器件方向的研究。

$$THD = 10 \log_{10} \frac{P_{\text{harmonic}}}{P_{\text{signal}}} \quad (4)$$

$$SFDR = 10 \log_{10} \frac{P_{\text{signal}}}{\max(P_{\text{harmonic}}(2:10))} \quad (5)$$

式中,  $P_{\text{signal}}$ 、 $P_{\text{noise}}$ 、 $P_{\text{harmonic}}$  分别为信号功率、噪声功率及谐波功率。

### 1.2 窗函数的选择

利用 FFT 法测试 ADC 动态参数时很难做到相干采样和整周期截断, 需要使用合适的窗函数对信号截断。矩形窗是最简单的窗函数, 若将其改为两端平滑的窗函数来处理时域数据, 可显著减少采样数据点的非连续性效应, 减弱频谱泄漏<sup>[12]</sup>。窗函数种类很多, 主瓣宽度、最大旁瓣衰减水平和旁瓣衰减速度是描述窗函数的 3 个基本特性。但是, 这 3 个基本特性不可能同时得到优化, 因此不同的窗函数抑制频谱泄漏的效果不同。表 1 给出了本文使用的各项窗函数的旁瓣特性。

表 1 Hanning 窗和 4 项 3 阶 Nuttall 窗函数的旁瓣特性

窗函数类型	最大旁瓣峰值电平/dB	旁瓣衰减速度/(dB/oct)
Hanning 窗	-32	18
4 项 3 阶 Nuttall 窗	-82.6	30

## 2 评估系统整体结构设计

如图 1 所示, 高速高精度 ADC 动态参数评估系统主要由待评估 ADC 子卡、基于 FPGA 的数据采集控制核心板、基于 PC 端 Labview 的数据采集和控制端、信号发生器等 4 个部分组成。其中信号发生器包括时钟源与同源信号源, 对接相应频率的滤波器以保证信号的高纯度。

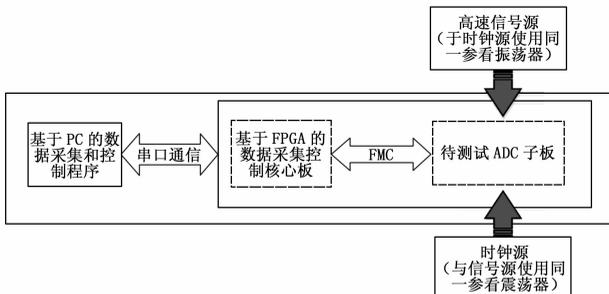


图 1 高速高精度 ADC 动态参数评估系统

信号发生器产生一幅度略小于 ADC 满测试量程的正弦波, 作为采样信号输入到待评估 ADC 子卡的 SMA (Sub-Miniature-A) 接口; 采样信号滤波后到达 ADC 模拟信号输入端, 通过模拟输入电路转换为差分信号; 然后进行模数转换, 经 FIFO (First In First Out) 缓冲后利用 DMA (Direct Memory Access) 通道输出至 DDR3 (Double Data Rate 3) 内存进行保存; 最后送入 PC 机的 Labview 控制测试端, 进行动态特性测试。PC 机和 FPGA 核心板采用串口进行通信, 可满足数据传输和通信控制需求。不同的 ADC 芯片性能测试, 均采用同一个数据采集硬件平台。

本文选用 XC7K325T 芯片作为控制核心。该芯片为 Xilinx 公司生产的高性能嵌入式微处理器, 总线工作频率高达 150 MHz, 带有片内 RAM, 并配备 DDR3、SPI (Serial Peripheral Interface) 等丰富的外设。为验证系统性能, 采用 ADI 公司生

产的 AD9467 作为评估芯片, 其采样率默认为 250 MspS, 转换精度高达 16 位。

## 3 数据采集与存储系统设计

### 3.1 待评估 ADC 子卡设计

#### 3.1.1 模拟输入电路

考虑到采用模块化方法构建系统, 因此评估 ADC 动态参数时, 待评估 ADC 子卡与通用核心板需要通过前端接口 FMC 进行连接, 以减少 ADC 变更的影响。图 2 为待评估 ADC 子卡的功能模块示意图。最终输入到 A/D 芯片的是差分信号, 包括电压差分信号和时钟差分信号, 输出包括 OR (Over-Range)、Data 与 DCO 等 3 种差分信号。OR 端占用 2 bit, 高低各 1 bit, 作为超出量程的标志信号; D 端为 16 bit 的数据端, 高低两路各 8 bit; DCO 端为时钟信号。采样信号是发生器产生的模拟输入信号, 默认是电压输入, 对 ADC 来说, 电流输入可选。

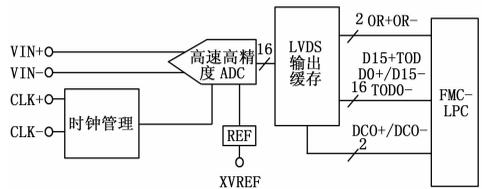


图 2 待评估 ADC 子卡功能模块

在实际的信号采样过程中, 由于信号发生器只能产生单端信号, 需要用到模拟输入电路进行差分变换。模拟输入电路是 A/D 芯片的信号缓冲区。电压模式模拟输入电路如图 3 所示, 该模拟输入电路工作于 0—300 MHz 之间。

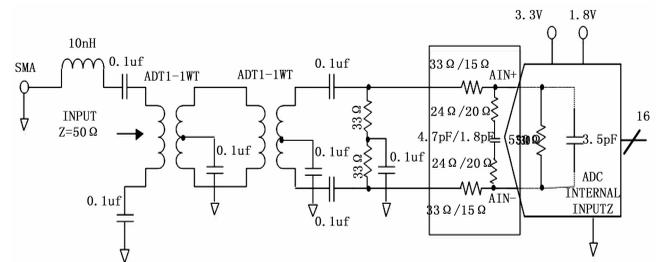


图 3 电压模式模拟输入电路

不论输入信号频率多少, 电路元件固有的噪声总会降低 ADC 的 SNR, 因此模拟电路利用变压器, 通过提供高质量的高频输入耦合机制以解决噪声问题。另外, 输入信号频率高达 250 MHz, 若只是用 2 个变压器, 则寄生电容耦合会导致二次输出, 最终结果是输出不对称, 并且造成转换器的模拟输入及 2 阶谐波数字信号的扭曲。解决办法是在第一个级联 (图 3 中的左边矩形) 应用第二个变压器, 通过提供额外的电流隔离来减少电容式直通的平衡问题。

#### 3.1.2 量化与编码

通常 A/D 转换经过采样后还需要进行量化、编码两个步骤。AD9467 支持偏移码、补码、格雷码 3 种数据格式, 默认情况下使用偏移码以保证转换后的量化电平始终大于 0, 具体可参考表 2。

### 3.2 数据存储系统设计

#### 3.2.1 数据存储系统设计

存储系统结构分为三部分: 一是基于 FPGA 的存储控制模

表 2 数字输出编码

十进制编码	$(VIN_+) - (VIN_-) = 2.5 V_{p-p} (V)$	数字输出偏移 二进制 (D15:D0)
65,536	+1.25	1111 1111 1111 1111
32,768	0.00	10000000 0000 0000
32,767	-0.000038	0111 1111 1111 1111
0	-1.25	0000 0000 0000 0000

块,二是 FMC-ADC 完成数据采集,三是存储单元 DDR3,如图 4 所示。基于 Micrblaze 的存储控制模块作为核心部分,一方面负责控制待评估 ADC 子卡的数据采集与存储,另一方面需要与基于 Labview 的测试控制端进行通信。待评估 ADC 子卡采集数据后,利用 AXI-4 协议总线完成数据交换任务,AXI-4 总线速率可达 150 MHz,而数据采集速率高达 250 MHz,每秒钟产生  $250 M \times 16 b = 4 Gb$  的数据,因此以低速总线完成数据交换成为构建存储系统的关键。为保证数据采集的实时性,应尽可能减少数据实时采集、预处理、存储和传输过程中的时间开销,需设计高性能的数据链路以实现高速采样数据的存储,故系统采用 Xilinx 高性能 IP 核 DMA 与 AXI-4 总线配合完成高速数据存储。存储介质为 1 GB 的 DDR3,则对于 16 bit 的 ADC 来说样本空间可达 400—500 M,足以应对各种评估算法的样本需求。

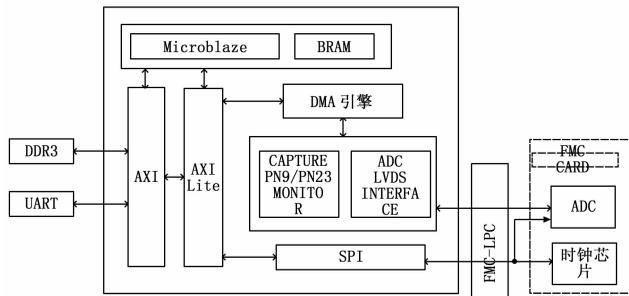


图 4 数据存储系统整体结构

系统采用 DMA 方式实现数据存储,其结构如图 5 所示。数据存储路径为:模拟输入电路生成的两路模拟差分信号进入 ADC,进行 A/D 转换后输出两路 8 位数字差分信号;信号通过 Xilinx 自带基本元件 IBUFDS 缓冲,经过一定的延迟后组合成 16 位数据;经过异步 FIFO 后转换为 64 位数据,通过 DMA 送入 DDR3 中。系统构建中需要注意,尽管 DMA 包含 MM2S (Memory Map To Slave)、S2MM (Slave To Memory Map) 双通道,但系统是由 FMC-ADC 获取数据存入 DDR3 中,所以只需开启 S2MM 通道。存在多个 ADC 时,只需为每个 ADC 添加各自的 S2MM 通道即可。

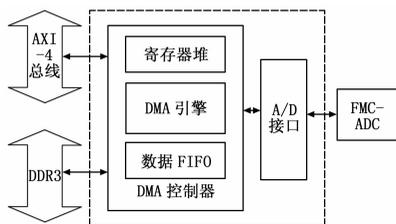


图 5 DMA 控制器结构

3.2.2 异步 FIFO 设计

考虑 ADC 接口模块通过 FMC-LPC 完成数据采集,经

DMA 通道送入 DDR3,但由此引出一个问题:待评估 ADC 子卡采样时钟为高达 250 MHz 的外部时钟,而 DMA 控制器与系统总线时钟一致,仅为 150 MHz,即数据传输需要经过异步时钟域。因此,为不丢失地跨时域传输数据,需利用异步 FIFO 进行数据缓存。

为解决跨时域传输造成的亚稳态,需要一个二进制到 Gray 码的转换电路,将地址转换为相应的 Gray 码,然后将 Gray 码同步到另一个时钟域进行对比,作为空满状态的检测。图 6 为基于 FPGA 实现的 Gray 码的转换电路示意图。

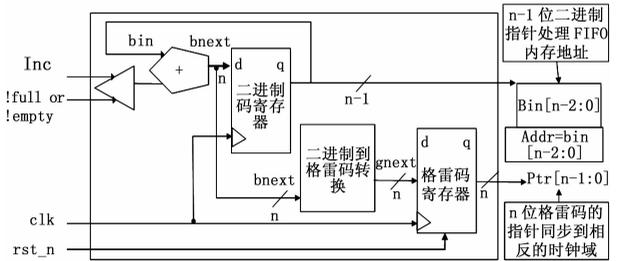


图 6 Gray 码转换电路示意图

使用 Gray 码解决了亚稳态问题,同时也带来另一个问题,即在 Gray 码域如何判断空与满。对于“空”的判断依然依据二者完全相等(包括 MSB);而对于“满”的判断,由于 Gray 码除了 MSB 外,具有镜像对称的特点,当读指针指向 7,写指针指向 8 时,除了 MSB,其余位皆相同,不能说它为满。因此不能单纯地只检测最高位,在 Gray 码上判断为满必须同时满足以下 3 条:

- 1) wptr 和同步过来的 rptr 的 MSB 不相等,因此 wptr 必须比 rptr 多折回一次;
- 2) wptr 和 rptr 的次高位不相等;
- 3) 剩下的其余位完全相等。

3.3 Labview 控制测试端设计

采用 Labview 作为系统的控制测试端,与基于 Microblaze 的 FPGA 存储控制模块通过串口通信。ADC 初始化成功,Labview 端接收到返回的信息后,通过可视化界面发送指令给 FPGA,开始数据采集与存储,并将采样数据由串口返回 Labview 端进行动态测试。Labview 端动态测试提供多种算法选择,其控制流程如图 7 所示。

其中,系统初始化运行时,CPU 与 PC 端还未成功建立通信,直至串口参数配置完成。发送与接收指令均使用 ASCII 编码。通过 PC 端的 Labview 图形化界面控制系统的运行,如图 8 所示。界面左侧给出系统的控制参数及测试所得的各项 ADC 动态参数,包括 SNR、SINAD、ENOB、SFDR、THD 以及基波频率等。

此外,由于数据量大,为方便管理,控制面板提供保存数据至 TXT 文档以及保存频域波形的选项,可通过面板实现对历史数据的查询。

4 测试结果分析

图 9~10 给出了输入信号频率 10.3 MHz、电压幅值 2.5 V<sub>pp</sub>、A<sub>m</sub> 为 -1 dBFS 的测试结果,设置加窗函数部分为五项最大旁瓣衰减窗函数 MSLD5<sup>[13]</sup>,采集的样本空间大小为 2<sup>14</sup> = 16K 个样本点。理论上数据越多,测试结果越接近真实值。左下部分为与核心板的串口通信相关参数配置。电压对比部分

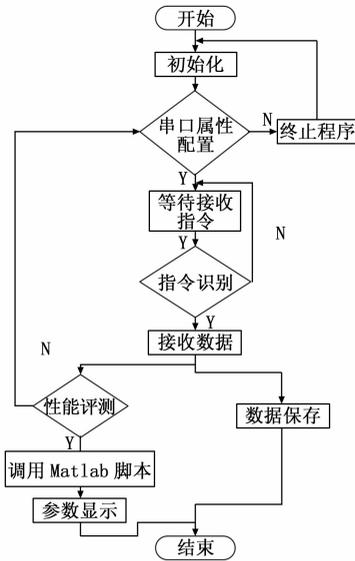


图 7 Labview 测试控制流程

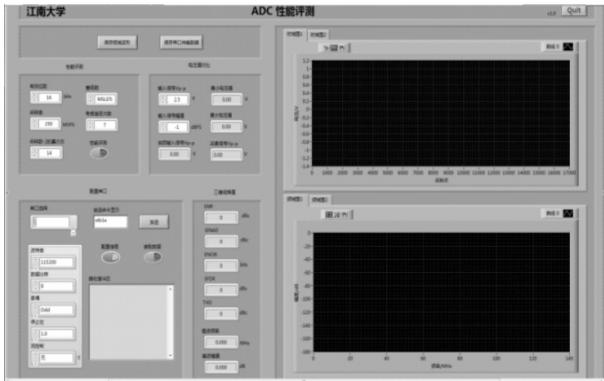


图 8 Labview 测试控制端配置

输入信号置为 2.5 V, 但实际输入电压为 2.23 V, 实际输入电平为量程的 89%, 符合 ADC 的输入要求。

经过调试, 该系统能够可靠并稳定运行。图 9 为采集数据的时域图, 其中纵轴的电压幅值通过数字输出编码转换得到, 横轴为样本点递增。可看出, 电压幅值约为 1.12 V, 与设置相符; 另外, 图中以小圆点表明样本点, 遍历样本点数与设置的样本空间大小一致。

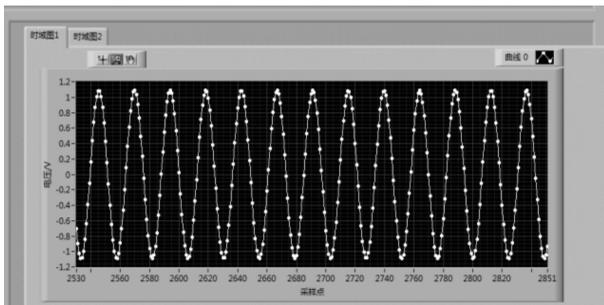


图 9 ADC 测试时域图

根据样本点可得到 A/D 芯片的频谱图, 如图 10 所示。可以发现, 得到的频谱图噪声基底较小, 量化噪声集中在几条谱线上, 其余为时基抖动、非线性失真等其他因素产生的噪声,

能真实地反映 ADC 的动态特性。

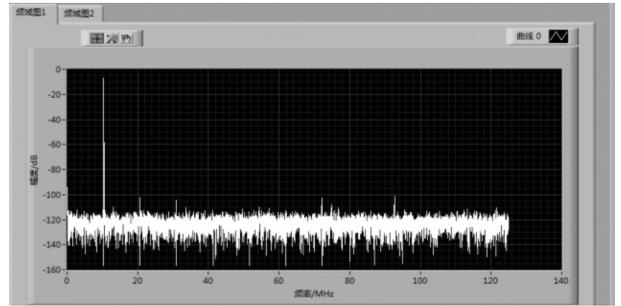


图 10 ADC 测试频域图

表 4 给出了基于同种加窗函数、输入信号不同频的动态参数测试结果以及与 datasheet 的数据误差, 由于 ENOB 与 SINAD 是直接关联的, 故测试结果只需给出其中一种参数即可。另外, datasheet 的数据由高端专用 ATE 测得, 等同于相干采样, 可视作标准 FFT 算法值。观察表 4 可以发现: 1) 本系统利用 3 种加窗函数动态测试得到的结果与 datasheet 中给出的各参数非常接近, 误差不超过 1.89%; 2) 不同的窗函数间测试结果相近, 系统能可靠并稳定地运行; 其中加窗函数为 MSLD5 时, THD 与 SFDR 结果不变, 但 SNR 与 ENOB 的测试结果更加优秀。

表 4 不同窗函数的测试结果

	SNR/dBFS	ENOB/BITS	THD/dBFS	SFDR/dBFS
标准 FFT	74.60	12.15	-91.63	95.50
	0.00%	0.00%	0.00%	0.00%
MSLD5	74.46	12.07	-92.90	95.18
	0.18%	0.66%	1.39%	0.33%
Hanning	73.42	11.95	-92.78	96.27
	1.58%	1.64%	1.25%	0.81%
4 项 3 阶	73.44	11.92	-92.56	96.72
Nuttall	1.55%	1.89%	1.01%	1.27%

### 5 结束语

基于 FPGA、Labview 与待评估 ADC 子卡构建了一套高速高精度 ADC 的动态参数评估系统。系统为解决跨时域问题, 利用异步 FIFO 进行缓存完成了高速数据采集; 采用 DMA 方式控制高速数据流至内存, 优化了数据存储; 然后通过 Labview 界面定义了通信模块进行采集控制, 并选用非相干采样下相应算法评估, 能够在短时间内精确地评估 ADC 动态性能。实验结果显示, 各项参数与标准 FFT 算法值相比误差不超过 1.89%, 符合 IEEE Std 1241-2000 的测试标准, 且相比传统价格昂贵的测试方法, 该系统构建难度及成本低, 可移植性强, 操作简单易行, 具有良好的实际应用前景。

### 参考文献:

[1] 黄 欣, 张 平, 童智勇, 等. 基于 FPGA 的软件无线电宽带多通道数字接收技术 [J]. 科学技术与工程, 2009, 9 (12): 3292-3296.

[2] 戴 澜, 姜岩峰, 刘文楷. 基于 Matlab 的高速高精度 ADC 测试研究 [J]. 计算机测量与控制, 2010, 18 (9): 2044-2049.

(下转第 301 页)

皆为 1.000, 随着运行时间的增加, 系统可靠度和安全度均有所下降。图 7 所示的仿真波形为  $t=0-3.5 \times 10^8$  s、 $\lambda=1.07$  day<sup>-1</sup> 时, 三模冗余与回读刷新系统的可靠度和安全度随修复率  $\mu$  的变化曲线。

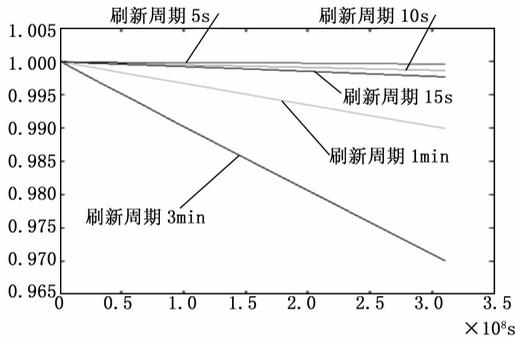


图 7 不同刷新周期系统可靠度  $r$  随时间  $t$  变化曲线

图 8 所示为  $t=0-3.5 \times 10^8$  s、 $\lambda=1.07$  day<sup>-1</sup> 时, 采用三模冗余有回读刷新设计的 FPGA 系统与三模冗余无刷新 FPGA 系统的可靠度比对。由图中可以看出, 随着时间的增加, 两者的可靠度均有所下降, 但采用三模冗余有回读刷新的 FPGA 系统可靠度明显优于无刷新系统。

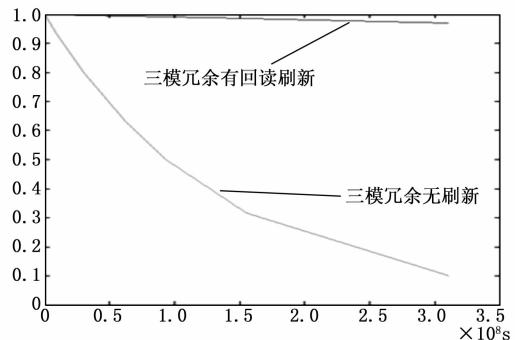


图 8 三模冗余有刷新系统与三模冗余无刷新系统的可靠度比对

#### 4 结束语

为了提高宇航控制器的集成度、可靠性, 本文提出一种在 FPGA 内部嵌入 CPU (8051)、存储器等 IP 核的设计方案, 但 FPGA 应用于空间环境中易受空间高能粒子干扰, 产生单粒子翻转 (SEU) 风险, 对飞行器功能造成影响。文章分析了常规三模冗余抗辐加固设计的不足后, 提出了一种采用三模冗余架

构 (TMR) 并对 FPGA 配置区域进行刷新重载的解决方案, 并对其可靠性进行了仿真分析, 仿真数据证明该设计架构具有较高的可靠性, 对小型化、高可靠宇航控制器设计具有较好的参考意义。

#### 参考文献:

[1] 陈金恩, 周赢武. 基于 FPGA 与 MC8051 IP 核的可调窄脉冲激光泵浦源的研制 [J]. 闽江学院学报, 2011, 32 (5): 23-27.

[2] 王 瑞, 游志宇, 杜 杨, 等. MC8051 单片机 IP 核的 FPGA 实现与应用 [J]. 电子设计工程, 2009, 17 (1): 57-63.

[3] 丁 昊, 庄贵敏, 宋 杰, 等. 基于 MC8051 内核的便携幅频特性测试仪设计 [J]. 嵌入式技术, 2011, 37 (4): 29-32.

[4] 邢克飞, 杨 俊, 王跃科, 等. Xilinx SRAM 型 FPGA 抗辐射设计技术研究 [J]. 宇航学报, 2007, 28 (1): 123-129.

[5] 周秀娟, 叶荣润. Virtex-II 系列 FPGA 的回读与部分重配置 [J]. 现代电子技术, 2012, 35 (13): 159-161.

[6] 邱金娟, 徐宏杰, 潘 雄, 等. SRAM 型 FPGA 单粒子翻转测试及加固技术研究 [J]. 电光与控制, 2011, 18 (8): 84-85.

[7] 黄 伟, 刘 涛, 王 华, 等. SRAM 型 FPGA 的单粒子效应及 TMR 设计加固 [J]. 航天返回与遥感, 2012, 33 (2): 49-53.

[8] 顾义坤, 倪风雷, 刘 宏. Xilinx FPGA 自主配置管理容错设计研究 [J]. 宇航学报, 2012, 33 (10): 1520-1521.

[9] 刘斐文, 姚 睿. 基于 FPGA 动态部分重构的 D/TMR 系统设计 [J]. 计算机工程与应用, 2010, 46 (35): 55-57.

[10] Graham P, Caffrey M, Johnson D E, et al. SEU mitigation for half-latch in Xilinx Virtex FPGA [J]. IEEE Transactions on Nuclear Science, 2003, 50 (6): 2139-2146.

[11] 邹见效, 徐红兵, 张正迁. 基于三重冗余的 ETS 控制系统设计及可靠性评估 [J]. 电子科技大学学报, 2010, 39 (5): 793-799.

[12] 王丽华, 徐志根, 王长林. 可维修三模冗余结构系统的可靠度与安全度分析 [J]. 西南交通大学学报, 2002, 37 (1): 103-107.

[13] 曾声奎. 系统可靠性设计分析教程 [M]. 北京航空航天大学出版社, 2004.

[14] 沈 洁, 单 冬. 三模冗余计算机联锁系统可靠性安全性分析 [J]. 北方交通大学学报, 1998, 22 (5): 111-114.

[15] 靳红涛, 焦索夏, 王少萍, 等. 高可靠三冗余度数字式作动器控制器设计与实现 [J]. 北京航空航天大学学报, 2006, 32 (5): 548-552.

[16] Swift G M, et al. Dynamic testing of Xilinx Virtex-II field programmable gate array (FPGA) input/output blocks (IOBs) [J]. IEEE Tran. on Nuclear Science, 2004, 51 (6): 3469-3474.

[9] NI. 高性能测试测量与控制平台—PXI 产品 [EB/OL]. <http://sine.ni.com/nips/cds/view/p/lang/zhs/nid/1527>.

[10] Grace C R, Denes P, Gnani D, et al. Radiation-tolerant code-density calibration of nyquist-rate analog-to-digital converters [J]. IEEE Transactions on Nuclear Science, 2013, 60 (2): 1303-1310.

[11] 周 娟, 蒋登峰. 基于 Matlab 的 ADC 自动测试系统开发 [J]. 中国计量学院学报, 2008, 19 (3): 219-224.

[12] ADI. AD9254 14-Bit, 150 MSPS, 1.8 V, Analog-to-Digital Converter [M]. ADI INC. 2006.

[13] He Q, Huang P, Zhao L, et al. A five-item MSLD windowed triple-spectrum-line interpolated FFT algorithm for measuring SFDR [A]. 2014 12th IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT) [C]. IEEE, 2014: 1-3.

(上接第 297 页)

[3] 黄深喜, 樊晓萍, 刘少强, 等. 高速 ADC 频域特性测试系统的设计 [J]. 计算机工程, 2009, 35 (9): 277-279.

[4] 董振龙, 董 惠, 武 锦. 基于 FPGA 的高速高精度 ADC 测试平台的设计 [J]. 计算机测量与控制, 2012, 20 (9): 2372-2374.

[5] 成章, 王 健, 刘 敏, 等. 关于 ADC 测试平台的探讨 [J]. 电子信息对抗技术, 2012, 27 (4): 77-80.

[6] 何 芹, 黄 朴, 虞致国, 等. 基于平均频谱测试高速 ADC 动态参数的方法 [J]. 电子测量与仪器学报, 2014, 28 (7): 755-762.

[7] 裴颂伟, 李兆麟, 李圣龙, 等. 基于 V93000 的 SoC 中端口非测试复用的 ADC 和 DAC IP 核性能测试方案 [J]. 电子学报, 2013, 41 (7): 1358-1364.

[8] 贺志容, 石 坚, 韩红星. 93k 集成电路测试系统校准原理及实现方法研究 [J]. 宇航计测技术, 2009 (3): 66-69.