

基于 FPGA 的国产 MSA009 加速度计测试系统设计

胡陈君¹, 李杰^{1,2}, 景增增¹, 郝晓明¹

(1. 中北大学 电子测试技术国防科技重点实验室, 太原 030051;

2. 中北大学 仪器科学与动态测试教育部重点实验室, 太原 030051)

摘要: 针对国产 MEMS 加速度计 MSA009 的工作原理和输出特性, 设计了一种测试系统, 以 Spartan II 系列的 XC2S30 为主控芯片, 并结合外围电路搭建了测试系统; 基于 ISE 8.1 平台, 采用 VHDL 硬件描述语言实现了对 A/D 转换芯片和 Flash 的控制, 完成了加速度计输出信号的实时采集与存储; 利用高精度三轴位置速率转台对测试系统进行试验验证, 并对所采集的数据进行分析处理; 经试验论证, 该测试系统实现了对 MSA009 加速度计的测试, 具有良好的实用性、稳定性。

关键词: MEMS 加速度计; FPGA; 测试系统; 存储

Design of Testing System for Domestic MEMS Accelerometer MSA009 Based on FPGA

Hu Chenjun¹, Li Jie^{1,2}, Jing Zengzeng¹, Hao Xiaoming¹

(1. Science and Technology on Electronic Test & Measurement Laboratory, North University of China, Taiyuan 030051, China;

2. Ministerial Key Laboratory of Instrumentation Science & Dynamic Measurement, North University of China, Taiyuan 030051, China)

Abstract: In this dissertation, according to the principle and the output property of the domestic MEMS accelerometer MSA009, a measurement system is designed, which used Xilinx company's XC2S30 as the main control chip combine with peripheral circuit. On the basis of ISE 8.1 development tool, the design realized the control of the A/D chip and Flash and completed collection and storage of the output signal of accelerometer. The measurement system is experimentally demonstrated by use of high precision three axis position turntable and the collected data were analyzed. As is shown in the test, the measurement system achieves the test of MSA009 accelerometer and has the guiding role in the late work.

Keywords: MEMS accelerometer; FPGA; measurement system; storage

0 引言

MEMS 惯性器件是 IMU (惯性测量组合) 的重要组成部分, 因其具有体积小、质量轻、抗冲击、成本低等特点, 也是构建微型捷联惯性导航系统的核心部分^[1]。而 MEMS 惯性器件则主要包括 MEMS 加速度计和 MEMS 陀螺仪。国产 MEMS 惯性传感器技术在近些年得到了快速发展, 产品性能在不断提高, 逐步从研究走向实际工程应用。同时, 由于国产器件自主性强, 可以打破国外垄断, 不受进口限制, 在军工等特殊行业领域有巨大的应用价值和潜力, 而且其实际应用又可以催生国内 MEMS 工艺水平和设计理念的提升^[2-3]。

本文设计的基于 FPGA 的测试系统则是为了有效完成对国产 MEMS 加速度计 MSA009 的性能测试与评估, 在分析其工作原理的基础上, 完成了测试系统软、硬件的设计, 并通过试验论证和加速度计试验数据的处理, 证明本文所设计的测试

系统具有可行性、实用性。

1 系统总体设计方案

测试系统由信号采集模块、系统控制模块、数据存储显示模块三部分组成, 该系统组成原理框图如图 1 所示。

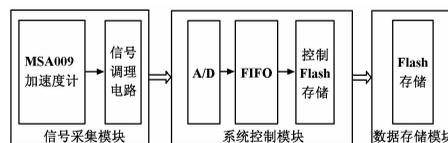


图 1 系统组成原理框图

测试信号通过传感器的信号采集模块进行处理并存储^[4], 信号采集模块以 MSA009 加速度计为主, 以模拟量形式输出数据。系统控制模块以 FPGA 为主控单元, 实现对整个系统的逻辑控制, 主要包括: 时钟产生、A/D 控制、存储器的读写等。时钟模块为系统各芯片提供工作时钟, 并产生适合的采样时钟信号, 同时, FPGA 通过控制 A/D 转换器对加速度计的输出信号进行采样, 并将模拟量转换成数字量, 完成对 MSA009 加速度计输出信息的采集。最后, 在 FPGA 的控制下, 将数据存储到 Flash 中, 便于事后进一步的数据分析和处理。

2 硬件设计

2.1 电源模块

系统中, FPGA 的工作电压为 3.3 V 和 2.5 V 时, A/D 转

收稿日期: 2014-09-02; 修回日期: 2014-10-23。

基金项目: 国家自然科学基金(50905169); 武器装备探索研究项目(7131017)。

作者简介: 胡陈君(1990-), 男, 河南信阳人, 硕士研究生, 主要从事微系统集成、惯性测量方向的研究。

李杰(1976-), 男, 山西吕梁人, 教授, 主要从事微系统集成理论与技术、惯性感知与控制技术、组合导航理论、计算几何及智能信息处理等方向的研究。

换器和传感器的工作电压为 5 V, Flash 的工作电压为 5 V。系统通过 REG104-5 将 7.4 V 转换为 5 V, 运用 MAX882EUTAQ 将电压转换为 3.3 V 和 2.5 V, 为系统各组成部分提供电源。REG104-5 和 MAX882EUTAQ 均具有极低的自有噪音和较高的电源纹波抑制性能^[5], 因此, 这两款电源转换芯片适用于电路板或重要器件供电的电压转换。

2.2 信号采集模块

MSA009 加速度计是中电 13 所设计的一款新型的超小体积的高精度惯性加速度传感器。该款加速度计采用 5 V 单电源供电, 以模拟方式输出; 同时具备传感器自检测功能, 具有体积小、精度高等优点。该加速度计采用气密封装, 可在低电压环境中保证正常输出, 能够承受高冲击的作用^[6]。基于 MSA009 加速度计的特点, 本文设计的信号采集模块采用多元化的设计原则, 改变阻容的接通方式和数值大小, 即可实现加速度计的模式选择和参数设置。信号采集模块原理图如图 2 所示。

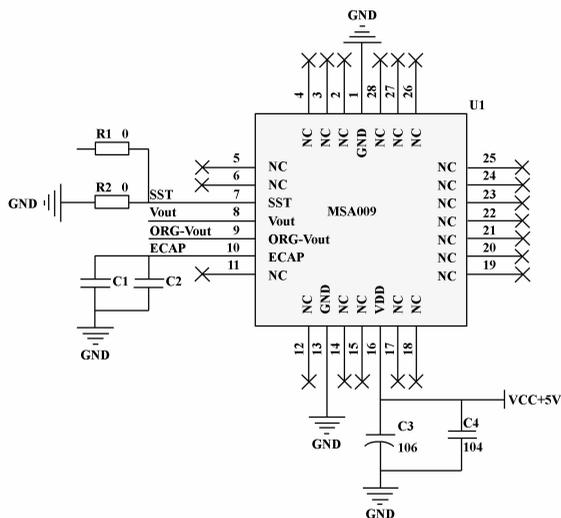


图 2 信号采集模块电路图

通过调整 R_1 、 R_2 两个零欧电阻的焊接方式来选择 MSA 加速度计的模式。当 R_1 焊接、 R_2 悬空时, 传感器处于自检测模式; 当 R_2 焊接、 R_1 悬空时, 传感器处于正常工作模式。同时, 可以通过改变电容 C_1 和 C_2 的容值来调节带宽。

2.3 系统控制模块

系统控制模块由 FPGA 和 A/D 转换器组成, 是系统进行信号采集的重要组成部分。

FPGA 采用自上而下的设计思想, 其内部的具逻辑功能可以根据需要配置, 移植性好, 方便电路的维护和升级。本设计中采用了 XILINX 公司的 Spartan II 系列 XC2S30 芯片。该芯片拥有 3 万门阵列资源和 32 KB 的缓存, 可以用来实现复杂的逻辑控制。FPGA 整个采集系统的核心, 控制着系统数据的采集、编帧、通信和存储^[7]。

本系统中模数转换器选用 TI 公司生产的 ADS8365, 是一款高速、低功耗、16 位、6 通道同步采样的芯片。ADS8365 有 A、B 和 C 三组 6 个模拟输入通道, 通过控制 HOLDA、HOLDB、HOLDC 3 个保持信号来启动各组的 A/D 转换, 当 ADS8365 的 HOLDX 保持 20 ns 的低电平后开始转换^[8]。6 个通道可以进行同步采样和转换, 同时还可根据需要设置采样

率, 本设计采用 5K 时钟作为启动转换信号, 实现 5K 的采样率; 本设计将地址控制线设置为 $A_2A_1A_0=110$, 使 A/D 转换器读写模式工作在循环模式下。当转换结果被存入输出寄存器后, EOC 引脚将输出低电平, 且保持半个时钟周期, 以便于 FPGA 控制器进行转换结果的接收, 控制器通过将 RD 和 CS 置为低电平来使数据通过并行输出总线读出。同时, 控制器通过将 BYTE 和 ADD 置为高电平来控制 A/D 转换器输出数据通过第一次读出数据 $DV A_2 A_1 A_0 DB_3 DB_2 DB_1$, 第二次读出数据 $DB_7 \dots DB_1$, 第三次读出数据 $DB_{15} \dots DB_8$ 。

2.4 数据存储模块

本设计所采用的数据存储模块以 SAMSUNG 公司的 NAND 型 K9K8GU0M 芯片为主。该款 Flash 芯片是拥有 8448 Mbit 的大容量、能够多路传输存储器件, 电源电压范围 2.7~3.6 V, 按页写入与读取, 按块擦除, 具有数据访问速度快、大容量、低功耗等优点。由 8192 Blocks 组成, 而每块包含 64 Pages, 每页有 2K+64 个字节, 其中, 用于保护用户数据的主存储区容量为 2 KB, 用于保存无效块标志位等状态信息的辅助存储区容量为 64 Byte。

3 系统软件设计

3.1 A/D 转换时序逻辑设计

ADS8365 需要一个 5 MHz 的外部时钟来控制 A/D 转换, 该时钟可以通过 FPGA 内部分频得到。FPGA 控制器通过控制 RESET 和 HOLDX 来控制 ADS8365 的 ADS8365 的转换时序如图 3 所示。

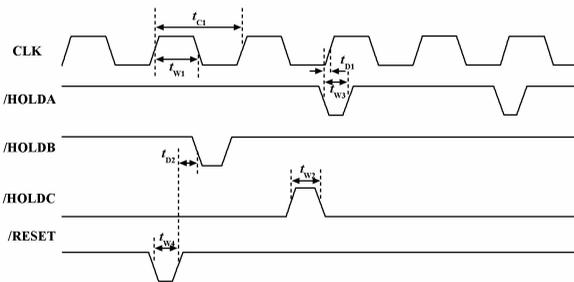


图 3 ADS8365 的转换时序

3.2 FPGA 内部 FIFO 设计

为了达到将 A/D 采集的高速数据流与 Flash 的存储速度相匹配的目的, 在 FPGA 内部利用双口随机存储器开辟一个 FIFO 数据缓存器, 通过对缓存器输入输出的控制操作, 达到数据速率匹配的要求, 从而实现测试系统对传感器信号的实时采集, 保证数据的完整性^[10]。本设计中, 采用一种充分利用 FPGA 内部的 RAM 资源, 在 FPGA 内部实现异步 FIFO 模块的设计方法。这种异步 FIFO 比外部 FIFO 芯片更能提高系统的稳定性。FIFO (First In First Out) 是一种采用环形存储结构的先进先出存储器。其使用一个双端口存储器存放数据, 数据发送方在一端写入数据, 接收方在另一端读出数据, 能够协调好两个时钟域的工作, 满足高时钟频率的要求。本设计中采用 8 Bit×1k 的高速 FIFO, 图 4 为异步 FIFO 工作原理框图。

FPGA 缓存 FIFO 中数据的存储量可以通过 FIFO 的空标志来实现, 即通过实时判断读地址和写地址是否相等来实现。

当写地址大于或等于读地址时,

$$\text{offset} = \text{wr_ADDR} - \text{rd_ADDR};$$

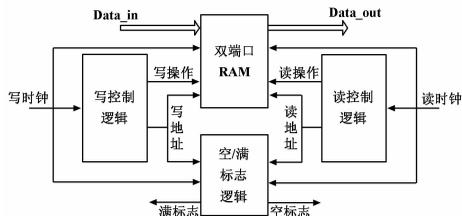


图 4 异步 FIFO 工作原理框图

当写地址大于读地址时，

$$\text{offset} = ("1111111111" - (\text{wr_ADDR} - \text{rd_ADDR}) + "0000000001");$$

其中，offset 表示 FIFO 中的数据存储量，wr_ADDR 表示写地址，rd_ADDR 表示读地址。当读地址等于写地址时，表明当前 FIFO 中的存储容量为 0，即空状态。

3.3 采集数据写入 Flash 的接口逻辑设计

本设计中，FPGA 控制器通过对 Flash 无效块的管理和有限状态机的方法完成了对 Flash 的读写控制。所选用的 NAND 型 Flash 具有数据传输快、容量大的优点，但由于工艺的限制，会随机产生不可避免的无效块，当对这些无效块进行读写操作时由于某些位不能正常跳变，会造成读写错误及数据的丢失和误码^[11]。为了提升 Flash 存储数据的安全性和存储速度，进行数据读写操作前需要对 Flash 进行无效块判断。若当前块为无效块，则跳过，继续下一块并进行判断；若当前块为有效，则进入页编程过程，进行数据读写操作。然后片选计数器加 1，进行下一片对应块判断，实现了对 FLASH 存储器中无效块的识别，并建立一个无效块地址列表，存储在 FPGA 的 RAM 中。无效块判断流程图如图 5 所示。

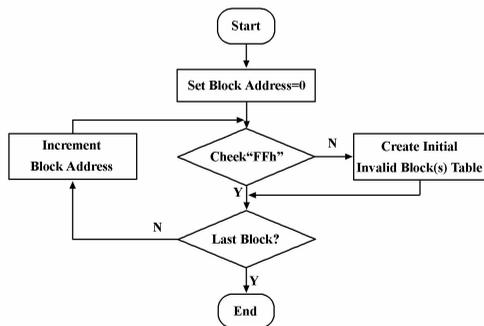


图 5 无效块判断流程图

在对 Flash 进行读写操作时，先将该块的地址依次与无效块地址列表中的地址相比较，若该块为无效块，则执行下一块操作，如果该块为有效块，则执行读写操作。图 6 是读写过程中无效块的跳转图。

本存储系统通过采用 VHDL 语言设计有限同步状态机实现指令序列的时序状态转换，结合系统控制选择模块完成 Flash 页读写、块擦除的设计^[12]。当 R/B 信号保持低电平时，首先需要将写指令字 80 h 和目标地址加载到芯片中，此时外部控制电路再将一页的数据按顺序加载到 Flash 中，同时数据加载结束后发送写结束指令字 10 h，最后 Flash 芯片将进入内部自动编程过程。芯片内部控制电路将加载到页寄存器中的数据写入存储阵列的目标地址中，数据写入完毕，且 R/B 信号重新跳变为高电平。

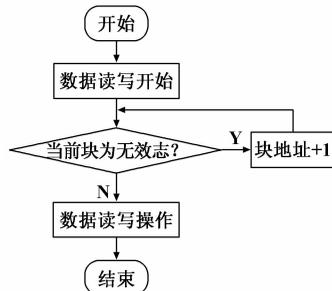


图 6 无效块的跳转流程图

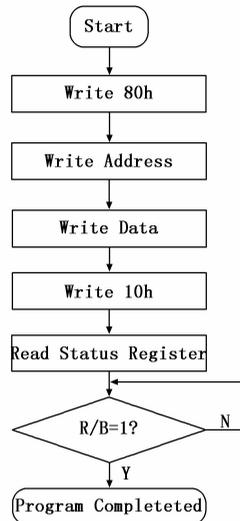


图 7 FIFO 数据写入 Flash 流程图

4 试验验证

本文提出的测试系统，由于信号采集模块采取兼容性设计，可根据需要来选择 MSA009 加速度计的模式。为验证该测试系统的可行性，利用高精度三轴位置速率转台来验证本文提出的测试系统。

表 1 MSA009 转台试验测试参数

加速度计	零点 (V)	标度因数 (V/g)	线性度 (%)
MSA009 (量程±10g)	2.493	0.966921	0.1

根据以上测试结果可以看出，MSA009 加速度计的零位、标度因数、线性度与改型传感器原有标定的结果基本一致。试验论证表明：该测试系统采集的数据没有丢帧、跳帧的情况，能很好的还原被测信号，具有可行性。

5 结束语

本文中设计的基于 FPGA 的 MSA009 加速度计测试系统主要介绍了 MSA009 加速度计的信号采集模块、系统控制模块及数据存储模块。通过试验论证，该测试系统可以方便、快捷地完成对 MSA009 加速度计的测试工作，且工作稳定、可靠，亦可用于同类传感器的测试，具有一定的应用价值。

参考文献：

[1] 张瑞霞, 张 魁, 赵海龙. MEMS 加速度计可靠性评价技术 [J]. 微纳电子技术, 2014, 51 (3): 198 - 202.

[2] 姚 钢. 深迪半导体破局国产 MEMS 陀螺仪 [J]. EDN CHINA 电子设计技术, 2010, (2): 63 - 63.

[3] 孔星炜, 郭美凤, 董景新, 等. 国产微惯性传感器应用于 INS/GPS 系统的设计与实现 [A]. 中国航空学会控制与应用第十三届学术年会论文集 [C]. 2008: 1 - 5.

[4] 田晓春, 李 杰, 范玉宝, 等. 基于 FPGA 的 MEMS 陀螺仪 SAR150 实时数据采集系统设计 [J]. 计算机测量与控制, 2012, 20 (11): 3107 - 3112.

[5] 马游春, 张 涛, 李锦明. FPGA 集成 FIFO 在高过载存储测试系统中的应用 [J]. 仪器仪表学报, 2006 (z3): 2350 - 2351.

[6] MSA009 Technical Datasheet [EB/OL]. http://www.cetc13.cn, 2012, 04 - 23

[7] Sun N, Wu Q, Jin Z. A Storage Architecture for High Speed Signal

Processing; Embedding RAID 0 on FPGA [J]. Journal of Signal & Information Processing, 2012, 3 (3).

[8] 徐 博, 熊庆国, 原 辉. 基于 ADS8361 与 FPGA 器件的新型数据采集系统设计 [J]. 工业安全与环保, 2013, (7).

[10] Li J M, Liu Y, Gong J, et al. Application of FIFO Integrated into FPGA in the Image Acquisition and Storage System [J]. Applied Mechanics and Materials, 2011, 58: 2676 - 2681.

[11] Samsung Electronics. Datasheet [EB/OL]. http://www.samsung.com.cn, 2010 - 01 - 30.

[12] Ming L, Mingjie L. Research on Missile-Borne Storage Measurement System [A]. Measuring Technology and Mechatronics Automation, 2009. ICMTMA'09. International Conference on [C]. IEEE, 2009, 1: 326 - 329.

(上接第 1471 页)

在抖动的测量中, 需进行近似计算得到, 下面举例说明: PN9000 相位噪声测试系统测试时钟振荡器相位噪声谱如图 6 所示, 时钟信号频率为 100 MHz, 需求出 10 kHz 到 10 MHz 这个频带范围内噪声引起的抖动, 由式 (2) 可知, 抖动需通过 $L(f)$ 函数在测量频段内 (即 10 kHz 到 10 MHz 频段内) 积分得到, 作为工程计算, 可以通过采用直线拟合曲线, 求出该频带范围内 $L(f)$ 的积分, 间接求出抖动值。如图 7, $L(f)$ 频率轴、电平轴为对数坐标, 相位噪声通常可通过分段线性法近似得到。 $L(f)$ 可以表示为:

$$L(f) = \sum_{i=1}^{m-1} [k_i(\lg(f) - \lg(f_i)) + b_i][U(f - f_i) - U(f - f_{i+1})] \quad (4)$$

$$k_i = (L(f_{i+1}) - L(f_i))/(\lg(f_{i+1}) - \lg(f_i)), b_i = L(f_i)$$

其中: $m-1$ 为分段函数的线段数, k_i 为线段斜率, b_i 为线段端点处电平值, 而 $U(f)$ 为阶跃函数。

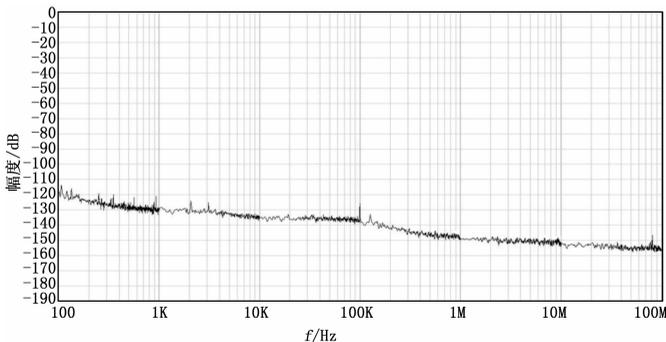


图 6 时钟信号相位噪声谱

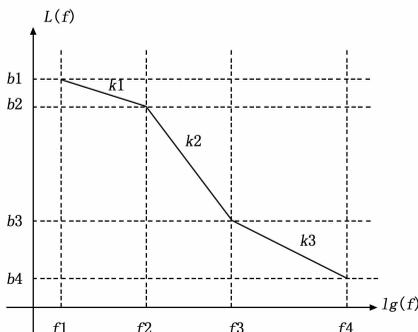


图 7 计算示意图

将式 (4) 中的 $L(f)$ 带入式 (3), 可以得到:

$$J(t) = \frac{1}{2\pi f_c} \times \sqrt{2 \int_{f_i}^{f_{i+1}} \sum_{i=1}^{m-1} [k_i(\lg(f) - \lg(f_i)) + b_i] df} = \frac{1}{2\pi f_c} \times \sqrt{2 \int_{f_i}^{f_{i+1}} \sum_{i=1}^{m-1} 10^{\frac{b_i}{10}} f_i^{-\frac{k_i}{10}} f^{\frac{k_i}{10}} df} = \frac{1}{2\pi f_c} \times \sqrt{2 \sum_{i=1}^{m-1} 10^{\frac{b_i}{10}} f_i^{-\frac{k_i}{10}} (f_{i+1}^{\frac{k_i}{10}+1} - f_i^{\frac{k_i}{10}+1}) / (\frac{k_i}{10} + 1)} \quad (5)$$

表 2 为计算参数, 用于分段函数参数计算, 其中 $f_c = 100$ MHz。

表 2 $L(f)$ 参数值

f/kHz	10	100	1 000	10 000
$L(f)/\text{dBc}$	-135	-138	-149	-152
i	1	2	3	4
f_i/kHz	10	100	1 000	10 000
$k_i/\text{dBc/decade}$	-3	-11	-3	N/A
b_i/dBc	-135	-138	-149	-152

将表 2 中的数值带入式 (5), 可以得到:

$$J(t) = 0.25\text{ps} \text{ (带宽在 } 10 \text{ kHz 到 } 10 \text{ MHz)}$$

由于近似计算采用的是直线拟合曲线, 其结果比数字积分计算出的值往往要小一些, 通过增加拟合直线的数量, 可以更近似相位噪声曲线, 计算更精确。在抖动测量中, 相位噪声测量方法在所有的的方法中是最灵敏的。

3 结束语

抖动测量在高速串行数据系统中非常重要, 本文推导了在时域测量的抖动和在频域测量的相位噪声之间的数学关系, 基于两者的数学关系, 从工程计算的角度, 提出了一种用相位噪声谱间接测量周期抖动的快速评估方法, 不仅改变了传统的抖动测量方式, 还能以飞秒级分辨率对时钟抖动进行全面分析, 对于系统电路的设计应用以及快速验证具有重要意义。

参考文献:

[1] Agilent. Measuring Jitter in Digital Systems [Z]. 5988 - 9109.

[2] Agilent. Using Clock Jitter Analysis to Reduce BER in Serial Data Applications [Z]. 5989 - 5718.

[3] Agilent. Jitter Analysis Techniques for High Data Rates [Z]. 5988 - 8425.