

基于 FPGA+ARM 的高速 U 盘记录仪的设计

张少华^{1,2}, 李锦明^{1,2}, 杜东海^{1,2}, 南雪莉^{1,2}

(1. 中北大学 电子测试国家重点实验室, 太原 030051;

2. 中北大学 仪器科学与动态测试 教育部重点实验室, 太原 030051)

摘要: 为了满足对高速串行数据长时间实时显示存储的要求, 提出了一种采用 FPGA+ARM 作为主控制器结合大容量 Flash 缓冲的设计方案; 系统前端采用 FPGA 串并转换并控制 Flash 进行数据采集, 后端采用 ARM 进行实时显示存储; 该系统采集速率高, 能够采集高达 8.45 Mbps 的输入数据, 存储容量可扩; 系统是针对两路输入速度高达 460 800 bps 的串行数据而设计的, 经测试验证, 数据存储可靠稳定, 可广泛应用于飞行装置上。

关键词: U 盘记录仪; S5PV210 处理器; FPGA

Design of High-Speed U Disk Recorder Based on FPGA+ARM

Zhang Shaohua^{1,2}, Li Jinming^{1,2}, Du Donghai^{1,2}, Nan Xueli^{1,2}

(1. State Key Laboratory for Electronic Measurement Technology, Taiyuan 030051, China; 2. Ministerial Key Laboratory of instrumentation Science & Dynamic Measurement, North University of China, Taiyuan 030051, China)

Abstract: In order to meet the requirements of high-speed serial data of long time display and storage, this paper proposes a design of host processor using FPGA+S5PV210 which combined with large-capacity Flash buffer. The front-end system using FPGA SERDES for data acquisition, which transforms and controls Flash, the backend using ARM for real-time display storage. The sampling rate of the system is high, the rate of its data inputting can up to 8.45 Mbps, the Storage capacity of it can be expanded. The design of the recorder is based on serial data which two-way data input speed is 460800bps, the data storage of the recorder is stable and reliable after testing and validation, which can be widely used in flight device.

Keywords: U-disk recorder; S5PV210 processor; FPGA

0 引言

该 U 盘记录仪是应用于某飞行装置上, 主要用来采集来自 POS 机的两路波特率高达 460 800 bps 的高速 422 串行数据, 并可以对采集的数据进行实时存储和现场分析。只针对 ARM 开发的 U 盘记录仪虽然可以实现实时数据采集及完全脱离 PC 进行可靠的数据现场分析, 但由于串行接口芯片及驱动速率的限制, 串口所能达到的最高采集速率为 235 kbps, 无法满足系统所需的 460 800 bps 速率要求^[1-2]。系统通过采用 FPGA 进行串并转换, 配合大容量 Flash 缓冲, 可以将采集速率提高到 8.45 Mbps, 弥补了嵌入式开发的不足。系统的实时显示部分则由 ARM 完成, 系统采用了 U 盘作为存储介质, 使得存储容量具有可扩性^[3-4]。

通过持续采集来自 POS 机的两路波特率高达 460 800 bps 的 8 位高速 422 串行数据, 从而验证系统可靠存储数据的时间不少于 40 小时, 能够满足大多数飞行装置上数据实时显示存储需求。

1 硬件设计

系统由 ARM 模块、FPGA 数据采集模块、存储模块、LCD 显示模块、USB 接口模块和电源转换模块组成。

收稿日期: 2014-05-23; 修回日期: 2014-06-30;

作者简介: 张少华(1989-), 女, 山西吕梁市人, 硕士研究生, 主要从事测试计量技术及仪器的研究。

FPGA 数据采集模块通过控制信号线和数据线与 ARM 模块并行通信, 当 FPGA 接收到处理器控制线发送的读写命令后将 Flash 存储器中的数据传输给 ARM, ARM 处理器通过 USB 接口模块在 U 盘准备好的情况下对 U 盘进行读写^[5]。为了防止 U 盘中的数据因外界因素损坏而丢失, 系统选用了 Flash 作为备份。ARM 处理器一方面与 FPGA 构成的数据缓存部分进行通信, 另一方面监测 U 盘的状态。并在系统层建立可靠的数据分析软件使系统完全脱离 PC 机对存储的数据进行现场分析处理, 如图 1 为系统硬件结构图。

1.1 核心控制部分设计

FPGA 选用 Xilinx 公司的 XC3S500E 芯片, 该芯片的 I/O 接口多达 108 个兼容多种电平标准, 有利于 FPGA 与 ARM 处理器和 Flash 存储介质并行通信, 360 Kb 的 Block RAM 缓存资源, 通过 FPGA 内核自带的高速异步 FIFO, 可方便地为数据读写提供缓冲空间^[6]。

ARM 处理器选用三星推出的 S5PV210 芯片。主频可达 1 GHz, 64/32 位内部总线结构, 32/32 kB 的数据/指令一级缓存, 512 kB 的二级缓存, 可以实现 2000 DMIPS (每秒运算 2 亿条指令集) 的高性能运算能力, 适合高速数据采集^[7]。FPGA 与 ARM 的并行通信硬件连接如图 2 所示。

为了满足系统长时间对海量数据的可靠存储。系统选用了三星公司的 K9MDG08U5M 作为大容量的缓存介质, 芯片的存储容量为 16 GB, 与 U 盘容量相当, 满足海量数据缓冲所需

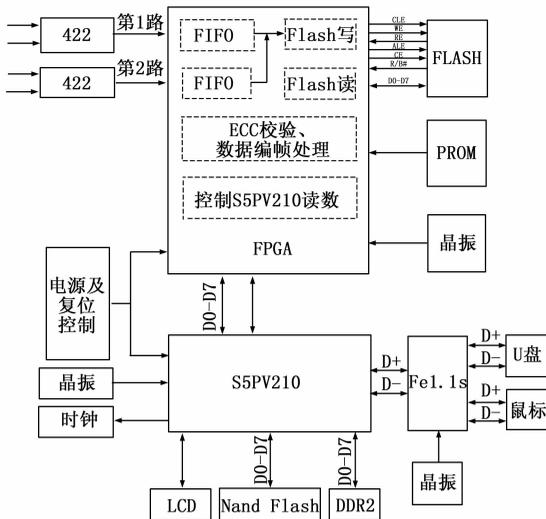


图 1 硬件结构图

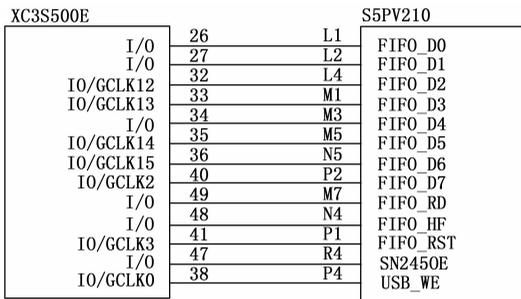


图 2 FPGA 与 ARM 的硬件连接

空间。写入速度最高可达 8.45 Mbps，该速度也是本系统整体可达到的最高读写速度，Flash 的引入提高了系统的整体性能。

1.2 USB 通信接口模块

本文采用的 USB 接口芯片是 Fe1.1s，其最大的特点是使用了 MTT 技术，该技术的 USB HUB 会让每一个 USB 接口独占带宽，不出现数据拥堵、速度下降的情况，符合通用串行总线 2.0 规格。FE1.1S 提供 4 个 USB Port，丰富的外接口除了可以控制 U 盘外还可以连接鼠标，从而更加灵活的进行系统层界面操作。

Fe1.1s 芯片的 DM、DP 引脚分别为下游端口的 D-、D+ 双绞线各接一个 15 k 下拉电阻分压，可以使得在没有设备插入的时候，D-、D+ 上始终保持低电平。DPU、DMU 为上游端口的 D+、D- 双绞线与 ARM 连接，实现上游集线器的通讯。USB 总线速度通过 USB2.0 通信协议识别，由 U 盘内置的上拉电阻决定。

2 系统的软件设计

系统软件部分由上位机和下位机组成。上位机软件主要是 ARM 处理器控制实现，通过移植 WinCE 操作系统，并在系统层开发相关的应用软件，完成了两路数据的分数及单路数据波形显示。下位机软件主要通过 FPGA 中编写硬件逻辑，从而实现数据的串并转换、仲裁、编帧、控制 Flash 大容量缓冲的读写及实现与 ARM 处理器的并行通信。

2.1 上位机部分设计

作为后端数据显示，系统在 ARM 处理器控制平台上移植了具有友好操作界面的 WinCE 系统，该系统具备实时采集、即时显示、自动存储、自动处理、自动传输等功能。为现场数据的真实性、有效性、实时性、可用性提供了保证，较适用于工业数据采集。

WinCE 的应用软件开发及其他的一些服务都是通过 Win32 CE API 函数来支持，通过 API 函数与内核空间对话，达到控制硬件的目的。而一般由硬件厂家提供的 BSP，保证了嵌入式操作系统可以在硬件平台上运行。WinCE 操作系统就是采用硬件抽象和 BSP 底层结构的设计思想。

如果说 BSP 包与开发操作系统映像相对应，那么 SDK 包就与开发应用软件相对应。系统在 WinCE6.0 平台上，利用 VS2008+SDK 搭建的开发环境使用 C# 语言编制了数据分析软件。操作系统的 API 函数丰富，驱动资源易获取，这样就大大减轻了软件开发的难度。

2.2 FPGA 内部逻辑设计

作为前端数据接收部分，系统主要围绕 FPGA 实现，内部逻辑全部采用 VHDL 语言实现，如图 3 为 FPGA 内部 RTL 级。

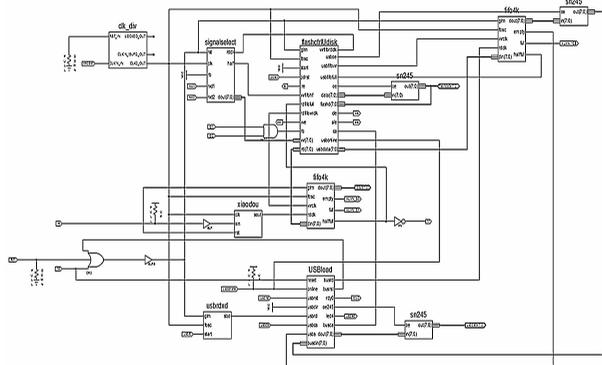


图 3 FPGA 内部 RTL 级

Clk_div 模块通过 8 分频主频为 29.4912 MHz 的系统以 8 倍于串行数据波特率的时钟进行采样保证了数据接收的可靠性。

2.2.1 Signalselect 模块

Signalselect 模块主要实现数据的串并转换、仲裁、编帧。

根据串行数据传输格式，先检测数据的起始位当检测到上升沿后，8 个时钟周期采样一位数据位，将采到的数据存入内部信号 rx_d_buf [7: 0] 中，从低到高直到 8 位数据全部存入后，将 rx_d_buf [7: 0] 中数据并行输出存入 8 k 的 FIFO，从而实现数据的串并转换。两路串行数据的传输互不影响，但两路数据最终要存入一片 Flash 中，需要对两路数据进行仲裁，如图 4。仲裁的过程根据 FIFO 产生的半满标志位判断，在各自的 FIFO 存储数据量达到一半时会产生半满标志，依据半满标志位的有效顺序来决定存储哪路数据到 Flash。本设计中 FIFO 容量为 8 k 使用半满标志也就是在数据量达到 4 k 时对缓冲中的数据进行读写操作^[8-9]。为了方便后期对两路数据的分析处理，系统采用不同的帧标志来区分两路数据，按照指定的帧格式对数据进行编帧，即 FIFO 连续读回 4 089 字节数据后，插入 7 个字节的帧标志，分别是 BEH、90H、通道标

志、00H、SDI1~SDI3 帧计数。一旦半满标志位有效, 系统将会把编帧好的 4 k 数据量存入 Flash 数据读写控制模块。数据软件将通过通道标志位来分别处理两路数据。

2.2.2 FlashctrUdisk 模块

FlashctrUdisk 模块主要控制 Flash 大容量缓冲的读写及实现与 ARM 处理器 S5PV210 的通信。

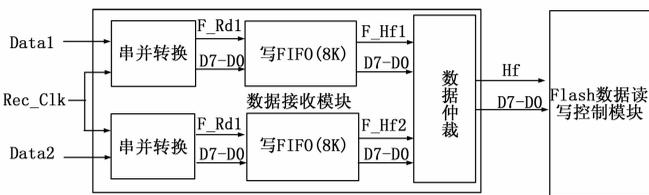


图 4 Signalselect 模块内部程序框图

在图 5 中 FIFO_Hf 为写 FIFO 半满标志信号, Wr_addr 与 Rd_addr 分别为写数据地址和读数据地址。FPGA 对读写数据操作的判断依赖于 FIFO_Hf 和 Wr_addr 与 Rd_addr 相比较结果。Flash 的使用为 U 盘写准备提供了足够的延时, 同时 Flash 作为非易失性存储器可以备份数据, 为数据的可靠存储提供保障。

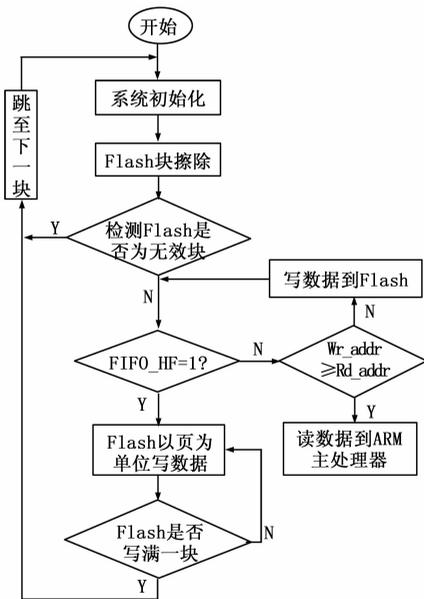


图 5 FlashctrUdisk 模块内部程序流程图

3 测试结果

系统测试验证利用 POS 机产生两路波特率为 460 800 bps 的 RS422 串行 8 位数据作为数据源。两路数据采用不同波形, 第一路为锯齿波, 第二路为正弦波。待数据采集完成后, 将 U 盘中存储的数据通过数据分析软件显示波形。图 6 为两路不同波形实时显示, 两路波形一旦重叠将无法对存储的数据进行直观正确的分析, 有必要对数据进行分数处理。如图 7~8 为分数后的波形, 经验证得知使用该系统开发的 U 盘记录仪能够实现数据的可靠存储。

4 结束语

该 U 盘记录仪是针对两路速度为 460 800 bps 的串行数据

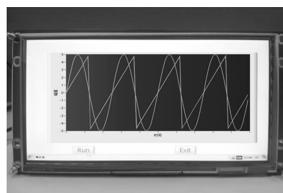


图 6 分数前两路波形



图 7 分数后锯齿波

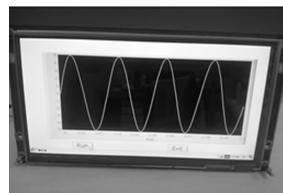


图 8 分数后正弦波

设计的, 但实际工作中能够处理的输入数据速度更大, 经测试, 选用高性能 U 盘的情况下, 数据可靠存储的容量为 16 GB, 极限数据输入速度可达 8.45 Mbps, 数据可靠存储的时间不小于 40 小时, 满足飞行装置 U 盘记录仪的高速海量数据存储。系统总体性能优良, 能够满足海量数据高速长时间存储和携带方便的要求, 从而提高了系统的实用价值。

参考文献:

- [1] 王红亮, 符多铎, 广威, 等. 基于 ARM 的数据采集存储系统设计 [J]. 火力与指挥控制, 2014 (1): 119-121.
- [2] 刘苍, 王建业, 张景伟, 等. 基于 ARM 的便携式数据采集存储系统设计 [J]. 仪表技术与传感器, 2013 (8): 89-92.
- [3] 徐萌萌, 刘晓娜, 陶灿辉, 等. 一种基于 FPGA 的高速数据采集系统设计 [J]. 测控技术, 2013, 32 (3): 14-17.
- [4] 郭磊, 廖启征, 魏世民. 基于 ARM 和 USB 存储器的数据采集系统设计 [J]. 电子测量技术, 2008 (1): 178-180.
- [5] 王安, 魏程程, 何林. 便携式双机牵引转辙机测试仪的研制 [J]. 计算机测量与控制, 2012 (11): 3116-3118.
- [6] 马游春, 王文杰, 李锦明, 等. 基于 FPGA 和 UART 接口的多路数据采集系统的实现 [J]. 火力与指挥控制, 2010, 35 (9): 134-136.
- [7] 查长流, 丁希仑, 俞玉树. 微小型空中机器人大容量数据记录仪的设计与实现 [J]. 中南大学学报 (自然科学版), 2013 (S2): 77-83.
- [8] 马游春, 张涛, 李锦明, 等. FPGA 集成 FIFO 在高过载存储测试系统中的应用 [J]. 仪器仪表学报, 2006, 27 (z3): 2350-2351.
- [9] 李长星, 王波, 胡振华, 等. 基于 FPGA 和 ARM 的实时数据采集显示系统 [J]. 现代电子技术, 2014 (3): 151-154.