

基于 Miron NAND Flash 的弹载数据记录器的设计

孙 伟, 张会新

(中北大学 电子测试技术国家重点实验室, 太原 030051)

摘要: 为解决传统以三星 NAND Flash 为基础的弹载数据记录器存储容量有限、存储速度难以提升的问题, 以兼容 ONFI2.2 协议的 MT29F32G08ABAAA 为存储芯片, 采用高效流水线操作以及无效块管理的逻辑设计, 对芯片工作模式进行合理配置, 设计了新一代数据记录器; 介绍了该记录器的工作特性、能够满足特殊环境要求的硬件设计和基于高效流水线操作以及无效块管理的高速逻辑设计, 最终实现了写入速度为 56 MB/s、存储容量为 4 G 的高速大容量数据记录器。

关键词: MT29F32G08ABAAA; ONFI2.2 协议; 高速; 数据记录器

Design of Missile-borne Data Recorder Based on Miron NAND Flash

Sun Wei, Zhang Huixin

(State Key Laboratory for Electronic Measurement Technology, North University of China, Taiyuan 030051, China)

Abstract: In order to solve the problems of limited storage capacity and low storage speed of Samsung NAND Flash-based missile-borne data recorder, ONFI2.2 protocol compatible MT29F32G08ABAAA is used as the memory chip. By using efficient pipeline operation and invalid block management and configuring the work mode of the chip reasonably, we design the new recorder. The paper introduces the characteristics of the data recorder, the hardware design cater to demands in specific environments, and the logical design based on the efficient pipeline operation and invalid block management. The new and large capacity data recorder with 56MB/s recording speed and 4G capacity is achieved finally.

Keywords: MT29F32G08ABAAA; ONFI 2.2 protocol; high speed; data recorder

0 引言

弹载数据记录器的主要功能是对飞行中的武器各种参数进行采集与记录, 在记录器回收后可通过串口通信将数据回读并进行分析。通过了解武器内部部件在飞行过程中的实际工作情况, 可为各部件的设计和仿真提供真实的试验数据^[1]。然而随着信息技术的发展, 对数据记录器的存储速度与存储容量提出了更高的要求, 三星 NAND Flash 性能的局限性也越来越突出。

1 系统总体设计

通过地面测试台和地面计算机配合弹载数据记录器完成对存储器的功能及状态测试, 并完成对数据的回收和相应的数据处理功能。记录器地面测试组成原理如图 1 所示。



图 1 地面测试组成原理框图

本数据记录器主要接收 LVDS^[2] 模式传输来的 2 路数据, 经过对串行数据准确、可靠地解码后, 可靠地存储到 Flash 中。存储速度要求不低于 56 MB/s, 存储容量为 4 G, 要求记录器与监控设备之间至少 15 m 的传输距离, 抗高过载能力 $\geq 20\ 000\ g$, 实现硬着陆回收。

收稿日期: 2013-12-21; 修回日期: 2014-03-04。

作者简介: 孙 伟(1990-), 男, 在读硕士, 主要从事仪器与仪表工程方向的研究。

2 系统硬件设计

存储模块电路主要包括以下几个部分: 中心逻辑控制芯片 FPGA^[3]、配置芯片 PROM、LVDS 电缆均衡器、LVDS 解串芯片、存储芯片 Flash、电源模块以及 60 MHz 晶振等, 其组成如图 2 所示。

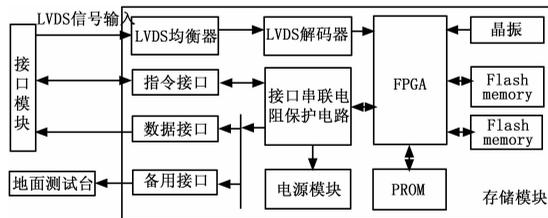


图 2 系统组成框图

电压要求数据记录器与地面监控设备之间的传输距离最少为 15 m, 为了实现数据的准确传输, 在数据记录器的 LVDS 通讯接口接收端, 采用均衡器与解串器结合的方式, 先将衰减的信号经过均衡器 CLC014 进行均衡, 以补偿信号在长线传输过程中的损耗, 再使用 10 位 LVDS 解串器 DS92LV1224 将串行数据转换为并行数据并重建时钟接收数据。这样不仅可以解决在接收端由于时钟和数据不严格同步而带来的高速传输受制约的问题, 也使得 LVDS 通讯接口可以应用于远距离传输。

在本设计中, 弹载存储器经过飞行后具有较大的速度, 落地后会受到大约 20 000 g 的冲击力, 若不加防护措施, 数据存储模块将在冲击中遭受毁坏。为了实现数据存储模块硬着陆回收, 需要在结构上对存储模块进行灌封保护, 使其具有高抗过载能力。在结构上采用分离式的结构设计, 将数据采集接收模块与数据存储模块分割开来。为了便于对存储模块进行灌封防

护处理，数据存储模块体积不宜过大，数据存储模块内部电路只采用 Flash 存储芯片和少量的外围电子元器件组成。

3 系统逻辑设计

除 Flash 的性能外影响存储速率的两个主要因素为无效块地址管理和页编程方式^[4]。本设计中所选用的存储芯片是 Micron 公司生产的兼容 ONFI 2.2 协议的 MT29F32G08ABAAA，ONFI (Open NAND Flash Interface, 开放式 NAND 闪存接口) 规划是一种 Flash 闪存接口的标准，它是 Intel 为统一当初混乱的闪存接口所倡导的标准。本文所采用的芯片单片容量为 4 G，由 4 096 个存储块 (1 M) 组成，每块由 128 页 (8 K)，组成。MT29F32G08ABAAA 的优势在于提供 5 种时序模式，可以满足不同读写擦除速度的要求，设计更加灵活。它的典型页编程时间为 350 μs，即 8 K/350 μs，远高于三星的 2 K/200 μs 的速度，同时在擦除跟读数速度上也有较大提高。这些性能的提升都为高速大容量数据记录器设计奠定了基础。Flash 的工作流程如图 3 所示。

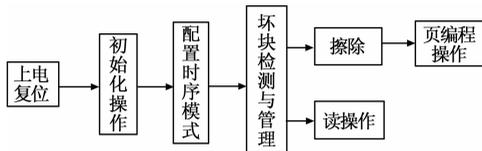


图 3 flash 工作流程图

4 关键技术研究

4.1 流水线页编程技术

为提高 Flash 的存储速度，对内部有多个逻辑单元 (LUN) 的存储芯片，可以采用流水线操作技术，基本思想是时间复用，就是在第一个逻辑单元 (chip # 1) 页编程等待期间，可以对第二个逻辑 (chip # 2) 单元进行加载命令、地址和数据。当第一个单元页编程结束时，第二逻辑单元正好加载完成，可以继续第一个逻辑单元的操作。依次递推，可以实现对页编程时间复用，提高存储速度。

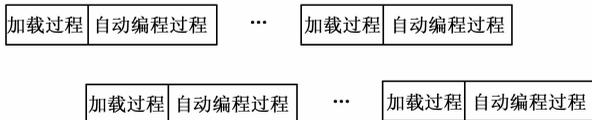


图 4 流水线操作过程

为了实现数据流的平均有效速率达到 56 MB/s 的要求，只要单片 Flash 写入速度能够达到 28 MB/s，即可满足要求。设计中假设数据传输速率为 40 MB/s，则存满 8 K 寄存器所需时间为： $\frac{8\ 192\ \text{Byte}}{40\ \text{MB/s}} = 204.8\ \mu\text{s}$ ，则可计算出单片 Flash 的写入速度为： $\frac{8\ 192\ \text{Byte}}{204.8\ \mu\text{s} + 350\ \mu\text{s}} = 14.8\ \text{MB/s} < 40\ \text{MB/s}$ ，可以看出数据存储速率小于传输速率，在记录器存储数据时会数据阻塞，造成大量丢数，理论上是不可行的。采用流水线操作后仍假设数据传输速率为 40 M/s，写满一页寄存器需 204.8 μs，小于 350 μs 的页编程时间，意味着 chip # 2 执行完加载操作后，chip # 1 还处于内部自动编程操作。所以待 chip # 1 完成页编程操作后，无需等待，直接进入下一轮的 8 K 写数操作。

对 chip # 1 每完成 8 K 数据的写入操作全过程中，总共完成了 chip # 1 和 chip # 2 两页数据的载入操作。对 chip # 1 每完成 8 K 数据的完全写入操作所需时间为： $\frac{8\ 192\ \text{Byte}}{40\ \text{MB/s}} + 350\ \mu\text{s} = 554.8\ \mu\text{s}$ ，这样写入速度可达到： $\frac{16\ 384\ \text{Byte}}{554.8\ \mu\text{s}} = 29.5\ \text{MB/s} > 28\ \text{MB/s}$ ，采用流水线操作技术，Flash 的存储速度提高了近一倍，满足了设计要求。

4.2 无效块管理

NAND 型 Flash 在出厂时，由于工艺原因都存在无效块，并且不同的 Flash 的无效块地址是不一样的。对于无效块，在使用的过程中，编程操作和读操作都会失败，因此在对 Flash 进行编程和读数时，应对无效块进行相应的处理，否则会造成有效数据的丢失。

本设计中无效块管理方案为每次上电后先扫描 Flash 内部无效块，并生成无效块列表存放于 FPGA 中的 RAM 中，只要设备不断电，Flash 的擦除、读、写操作都按照列表操作，不再进行无效块检测，这样相对于传统的在每次进行编程操作的时候均需判断无效块的处理办法，可以极大地缩小操作时间，其流程如图 5 所示。

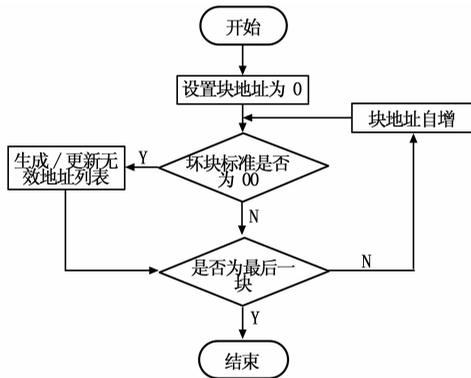


图 5 流水线操作过程

5 结论

文中设计的高速数据记录器采用新型号 Flash 芯片，使弹载数据记录器在性能上有了更大的提升空间。并采用流水线技术跟无效块列表管理提高记录器的存储速度。信号接收模块采用 LVDS 驱动及解串芯片相配合，实现了信号数据远距离传输，完全满足设计要求的高速存储要求。目前，该记录器通过了高低温试验、冲击试验和噪声试验，具有较高的可靠性，能够满足实际的工程需求。

参考文献：

- [1] 李袁鑫, 沈海斌. 支持 ONFI 同步模式的 NAND Flash 控制器设计 [J]. 电子技术, 2011, 38 (3): 14-16.
- [2] 储成群. 基于 LVDS 接口的高速数据记录器的设计 [D]. 太原: 中北大学, 2011.
- [3] 郭巧莲, 孟丁, 任勇峰. 某数据记录器的优化设计 [J]. 计算机测量与控制, 2013, 21 (11): 3050-3052.
- [4] 王强, 文丰, 任勇峰. 基于 FPGA 的高速实时数据采集存储系统 [J]. 仪表技术与传感器, 2009, (1): 50-52.