

基于 FPGA 的 PLC 位信息输出控制器设计

周曙光, 李克俭, 蔡启仲, 未庆超, 李 静

(广西科技大学 电气与信息工程学院, 广西 柳州 545006)

摘要: 提出应用 FPGA 设计 PLC 位信息输出与读取控制器的思路。该控制器执行输出位信息相关命令时, 在内部时序脉冲控制下按照 Y 编号地址自主完成位信息在位存储单元的寻址和读写操作; 论述了控制器的电路构成和基本原理, 应用 Verilog HDL 语言实现硬件电路的构建与连接; 测试表明, 该控制器在 PLC 用户程序执行过程中可以自主将位信息按要求输出和读取, 使输出位信息命令的执行与系统其它功能模块实现并行处理, 提高了 PLC 执行指令序列的速度, 缩短了 PLC 扫描周期。

关键词: FPGA; 控制器; PLC; 位信息; verilog

Design of Bit Information Output Controller in PLC Based on FPGA

Zhou Shuguang, Li Kejian, Cai Qizhong, Wei Qingchao, Li Jing

(Guangxi University of Technology, Liuzhou 545006, China)

Abstract: This paper proposed a method which employed FPGA to design PLC information output and read controller. By the control of internal timing pulse, the controller will accomplish the bit information's addressing and read/write operations in storage unit with Y numbered address independently while the controller carrying out the output information command. This paper discusses the circuit composition and basic principle of the controller. Using Verilog HDL language to implement the construction and the connection of the hardware circuit. The test result shows that: while the PLC user program is running, the controller can read or write the bit information according to the command independently, making the execution of the output bit information command and other system function module in parallel operation to improve the speed of PLC instruction execution sequence, shorten the PLC scan cycle.

Key words: FPGA; controller; PLC; bit information; verilog

0 引言

PLC 采用周期循环扫描、集中输入与集中输出的工作方式, 一个扫描周期分为输入采集、用户程序执行、输出刷新 3 个阶段^[1]。PLC 在输出刷新阶段将输出映像存储器存储的所有的输出开关量位信息输出到输出端口。PLC 用户程序执行过程中, 需要频繁地对输出映像存储器进行写入或读出输出开关量位信息的操作^[2]。而在具有位信息存储区域的微处理器中, 需要将输出映像存储器中需要处理的位信息所在的字节或字存入位信息存储区域, 读出或写入该位信息, 对于写入处理还需要将该字节或字传输给输出映像存储器; 没有位信息存储区域的微处理器处理位信息的读写步骤更多。应用 FPGA 并行处理的特点^[3-5], 设计 FPGA 位信息输出控制器, 控制器接收到 PLC 主机发来的位信息处理命令字后, 在控制器内部时序脉冲控制下, 自主完成位信息在位存储单元的寻址和读写操作, 减少 PLC 系统在输出和读取位信息时的读写处理程序操作, 从而缩短 PLC 程序执行的扫描周期。

1 控制器总体设计

1.1 控制器基本功能

PLC 位信息输出控制器的主要功能包括: (1) 复位控制: 包括命令寄存器、输出映像存储器和输出锁存器的复位; (2) 控制高速输出位信息: 通过位存储单元的寻址将输出的位信息传输到输出锁存器和输出映像存储器中相对应的位存储单元中, 该功能只对低 8 位位信息有效; (3) 控制输出位信息: 通过位存储单元的寻址将位信息存入输出映像寄存器中相对应的位存储单元中; (4) 控制输出位信息的刷新: 将输出映像存储器中的 64 位数据传输到输出锁存器予以锁存并输出到 PLC 输出端口; (5) 控制位信息读取: 通过位存储单元的寻址从输出映像寄存器读出位存储单元的位信息并传输到数据总线 D0 位。

1.2 总体方案设计

对应上述基本功能, 设计控制器硬连接电路框图如图 1 所示, 控制器由命令、Y 编号写入控制模块、写入位信息存储模块、PLC 输出映像存储器、位信息读写控制模块、高速输出位信息控制器、脉冲分配器和 PLC 输出端口与输出锁存器等组成。主要完成模块复位、高速输出位信息、输出位信息、输出刷新和位信息读取 5 条操作命令, 命令字格式如表 1 所示。控制器根据输出 Y 编号低 2 位和高 4 位地址控制位信息在输出映像寄存器中的读写操作, 根据 Y 编号低 3 位地址控制位信息的高速输出, 根据 Y 编号高 4 位和低 2 位地址选取位信息输出到总线 D0 位。

控制器与 PLC 系统总线连接的信号包括: (1) 数据总线:

收稿日期: 2013-10-12; 修回日期: 2013-12-25。

基金项目: 广西科学基金项目(桂科自 2011GXNSFA018153, 桂科自 0991067); 广西研究生教育创新计划资助项目(2013105940811M01)。

作者简介: 周曙光(1985-), 男, 湖北随州人, 硕士研究生, 主要从事过程控制与自动化装置方向的研究。

李克俭(1962-), 女, 湖北武汉人, 教授, 高级工程师, 主要从事电力电子技术与自动化装置方向的研究。

16 位 (D15~D0); (2) 地址总线: 使用系统地址总线的高 5 位, 用于选中控制器; (3) WR: 写信号, 将命令和数据从数据总线写入控制器; (4) RD: 读信号, 从控制器读取位信息传输到数据总线的 D0 位。此外还有系统时钟和系统复位控制线, PLC 输出端口: 64 个输出端口的编号为 Y63~Y00。

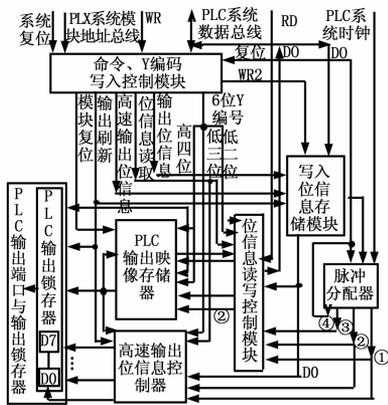


图 1 系统电路连接框图

表 1 给出了 32 位命令字的格式, 5 条命令的操作特征编码为高 3 位数据。

表 1 命令字格式

D15~D13	D12 ~D6	D5~D0
操作特征编码	无关数据项	Y 元件编码

2 功能模块设计

2.1 命令、Y 编号写入控制模块

命令、Y 编号写入控制模块电路原理如图 2 所示。该控制模块通过模块地址识别被 PLC 系统选中时^[6-9], 图 2 中的 CS 置 0, 命令寄存器和 +1 计数器被使能, 在 PLC 系统连续 2 个 WR 信号的作用下, 加 1 计数器进行加 1 操作, 顺序输出 WR1 和 WR2 脉冲, WR1 使得命令寄存器存储命令字经译码输出命令信号, 存储并输出 Y 元件的编号, 命令输出低电平有效。WR2 将数据总线上的位信息 D0 写入到位信息存储模块中。复位时命令寄存器输出全为 0, 不执行任何操作。

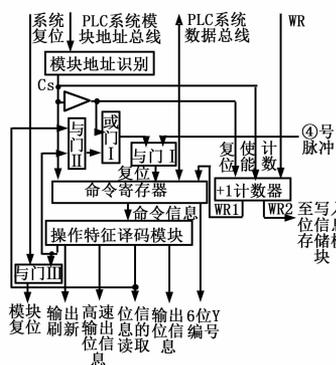


图 2 命令、Y 编码写入控制模块电路图

2.2 写入位信息存储模块

写入位信息存储模块由 1 个与门、1 个或门及 1 个 D 触发

器组成。主要功能是发出脉冲分配器的启动信号和执行高速输出位信息或输出位信息命令时, 存储数据总线上的位信息。脉冲分配器被启动工作之后, PLC 系统对控制器的写入位信息操作便结束, 控制器在内部时序作用下自主完成位信息的写入操作。

执行高速输出位信息或输出位信息命令时, 与门输出为 0, 在 WR2 下降沿作用下, 或门将 1 变为 0, 将 D0 存入 D 触发器, 实现位信息的存储和输出。执行输出刷新命令, 或 WR2 为低电平且执行输出位信息、高速输出位信息命令时, 启动脉冲分配器。

2.3 PLC 输出端口与输出锁存器

设计的 PLC 有 64 位输出端口, FPGA 输出端口与输出锁存器的输出端连接, 并连接 PLC 输出驱动电路。PLC 输出锁存器的写入信息分为高 56 位和低 8 位 2 部分进行控制。输出映像寄存器输出的高 56 位数据在输出刷新命令有效时直接写入 PLC 输出锁存器, 输出的低 8 位数据分为输出刷新和高速输出位信息两种情况写入锁存器。复位时 PLC 输出锁存器所有存储单元清零。

2.4 PLC 输出映像寄存器

PLC 输出映像寄存器由一个用于写入位信息的 4 入 64 位出存储器和一个用于读出位信息的 64 入 4 位出存储器组成。执行输出位信息、高速输出位信息或读取位信息命令时, 其地址值为 PLC 输出软元件 Y 编号的高四位。

执行输出位信息、高速输出位信息命令时, 在 4 位数据写入脉冲作用下, 4 入 64 位出存储器按 Y 编号高 4 位地址值寻址, 将 4 位输入数据 in1 存入存储器相应的存储单元。64 入 4 位出存储器的 64 位数据输入端与 4 入 64 位出存储器的 64 位输出端直接连接, 命令执行结束时, 在 64 位数据写入脉冲作用下, 将 4 入 64 位出存储器的 64 位数据写入 64 入 4 位出存储器, 使得两个 64 位存储器存储的 64 位数据完全一致。

执行读取位信息命令时, 64 入 4 位出存储器按照 Y 编号高四位地址值输出相应存储单元的四位位信息。执行复位命令时, 将 2 个存储器的所有存储单元清零。

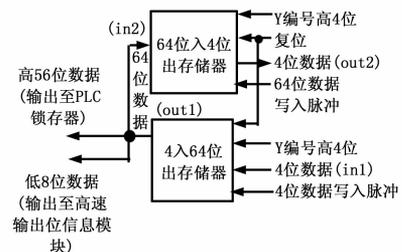


图 3 PLC 输出映像寄存器电路图

2.5 脉冲分配器的程序设计

脉冲分配器作为控制器的内部时序控制模块, 用于产生内部脉冲控制输出位信息、高速输出位信息和输出刷新命令的有序执行。脉冲分配器启动后延时半个 PLC 时钟周期顺序发出 4 个下降沿脉冲①、②、③、④。

执行输出位信息或高速输出位信息命令时, ①号脉冲作为低 8 位位信息的输出刷新信号, ②号脉冲作为 PLC 输出映像寄存器的 4 位数据写入脉冲。如图 4、图 5 所示, ①、②号脉

b0; 同理, DB_in=16'hBF69 时执行高速输出位信息命令, WR2 写入位信息并启动脉冲分配器, 数据经命令和内部脉冲时序控制, 输出结果传输到 PLC 输出锁存器低 8 位并刷新输出映像寄存器中的位信息, 得 $y=64'h0000000000000002$, com=1; DB_in=16'h9F69 时执行输出位信息命令, 命令执行结果刷新映像寄存器中的位信息, 输出锁存器中的数据不被刷新, 得 $y=64'h0000000000000002$, com=1; DB_in=16'h7F69 时执行数据刷新命令, 将输出映像寄存器中的 64 位数据传输到 PLC 输出端口, 此时 $y=64'h000000200000000002$, com=1; DB_in=16'h3F69 时执行位信息读取命令, 系统读信号 RD 到来时, 将位信息输出到系统数据总线 D0 位, 并将控制器复位, 此时内部数据总线输出寄存器 DB_out=64'hzzzzzzzzzzzzzz1, $y=64'h0$, com=0。

并行数据输出控制器系统经 Synplify 综合后产生的 RTL 电路图显示, 系统由 7 个主要的功能模块组成, 相对原理图多出一个封装优化模块, 电路结构与设计原理图一致。消耗芯片资源情况为 Core 和全局连接线分别占用 1.56% 和 16.67%。实验验证了设计从原理到实现的硬件电路可行性和功能可行性。

4 结语

本文介绍了一种利用 FPGA 实现 PLC 位信息输出控制的方法。FPGA 位信息输出控制器是一个由硬连接控制电路构建, 数个模块构成且协同工作的系统。控制器从数据总线获取命令和数据后根据内部时序自主完成位信息在存储单元的读写操作, 不需要 PLC 处理器参与控制。充分利用了 FPGA 并行工作的特点, 实现输出位信息与 PLC 执行用户程序指令的并行操作, 并通过仿真实验验证。但对于系统的控制效率和速度

有待进一步研究、完善。

参考文献:

- [1] 方承远, 张振国. 工厂电气控制技术 (第 3 版) [M]. 北京: 机械工业出版社, 2009.
- [2] 李克俭, 蔡启仲, 覃永新, 等. 输出位信息的读写与时序控制器 [P]. 中国专利: CN202677383U, 2013. 1. 16.
- [3] 张 炜, 李克俭, 蔡启仲, 等. 基于 FPGA 的 PLC 并行计数器的设计 [J]. 计算机测量与控制, 2013, 21 (4): 1044-1047.
- [4] Yu L, Li K J, Cai Q Z, et al. Design of PLC timer system based on ARM+FPGA [A]. 2012 3rd International Conference on Applied Mechanics and Mechanical Engineering (ICAMME 2012) [C]. Macau, 2012: 1188-1194.
- [5] Oh J, Roh J, Yang H J. The development of bay control unit with flexible IO module [A]. 2011 The International Conference on Advanced Power System Automation and Protection [C]. Beijing, 2011: 1110-1114.
- [6] 陈传鹏. 基于 FPGA 的并行控制器设计 [D]. 武汉: 华中科技大学, 2008: 4-5.
- [7] 曾青林, 李锦明, 马游春. 反熔丝 FPGA 在多路数据采集存储系统中的应用 [J]. 计算机测量与控制, 2011, 19 (11): 2874-2876.
- [8] 夏宇闻. Verilog 数字系统设计教程 (第 2 版) [M]. 北京: 北京航空航天大学出版社, 2008.
- [9] Brown S, Vranesic Z. Fundamentals of digital logic with verilog design (2th Edition) [M]. New York, McBraw-Hill 2008: 217-225.
- [10] ProASIC3 器件手册 [Z]. 广州: 广州周立功单片机发展有限公司, 2010.

~~~~~

(上接第 1737 页)

有跑道, 但是结合该区域其他特征, 综合分类结果为非包含机场区域, (g) 候选区域为包含机场区域。

又如图 6 (f) 所示, 该实验图像机场候选区域在提取机场跑道特征的时候, 由于主跑道遮挡过短和辅跑道过窄, 该区域没有提取出满足跑道特征的直线, 传统方法中会判定为没有检测出机场, 但是本文方法综合结果判定为包含机场区域。

综上所述, 本文方法可以提高识别率。在识别的过程中, 后向散射特征在机场识别中起到至关重要的作用。实验表明, 提取后向散射特征, 可以明显提高机场的识别率。

#### 5 结论

本文提出了一种基于多源遥感图像特征提取的机场检测定位方法, 引入 SAR 图像后向散射特征。通过提取多光谱图像纹理特征, 跑道平行线特征和 SAR 图像后向散射特征, 有效提高了机场识别率。

#### 参考文献:

- [1] 隋东坡, 周 焰. 利用多光谱遥感图像融合机场识别方法 [J]. 计算机测量与控制, 2005, 13 (1): 72-75.

- [2] 孔祥维, 赵全顺. 遥感图像中机场识别技术研究 [D]. 大连: 大连理工大学, 2011.
- [3] 陈旭光, 林 卉. 遥感图像中机场目标的识别方法 [J]. 计算机工程与应用, 2012, 48 (25): 194-197.
- [4] 谭毅华, 彭碧发. 高分辨率遥感图像目标识别方法研究 [D]. 武汉: 华中科技大学, 2011.
- [5] 张洪刚, 刘丽霞. 图像纹理特征研究和比较 [D]. 北京: 北京邮电大学, 2011.
- [6] 曹世翔, 江 洁, 张广军, 等. 长线状特征下机场跑道检测方法 [J]. 红外与激光工程, 2012, 41 (4): 1078-1082.
- [7] Aytakin, Zongur, Halici. Texture-based airport runway detection. IEEE Geoscience and Remote Sensing Letters [J]. 2013, 10 (3): 471-475.
- [8] 娄 军, 今 添, 宋 千, 等. 高分辨率 SAR 图像散射中心特征提取. 电子与信息学报 [J]. 2011, 33 (7): 1661-1666.
- [9] Zhao B, Cui T J. Scattering characteristics of targets above a rough surface in SAR images [J]. International Journal of Antennas and Propagation, 2012.
- [10] Wang X, Lv Q, Wang B, et al. Airport detection in remote sensing images; a method based on saliency map [J]. Cognitive Neuro Dynamics. 2013, 7 (2): 143-154.